

电工与电子技术 综合实训

主 编 梁向红
副主编 林康红
蔡小颀



NLIC2970863823

傅新庆
储开斌



科学出版社

(TM-0647. 0101)

电工与电子技术 综合实训

www.sciencep.com

科学出版社 工科分社
联系电话: 010-64005312
E-mail: gk@mail.sciencep.com



定价: 52.00 元

电工与电子技术综合实训

主 编 梁向红
副主编 林康红 蒋新庚
蔡小颀 储开斌



NLIC2970863823

科学出版社

北 京

内 容 简 介

本书是在作者总结多年教学实践经验的基础上,根据高等教育的基本要求编写的。本书内容打破了传统学科体系,主要考虑教学实践的要求,使学生在“基本实践知识、基本实践理论和基本实践技能”三方面得到较为系统的学习和训练。为了适应电子信息技术的快速发展,在书中融入了电子电路计算机仿真设计与分析、EDA 技术及应用、电子技术课程设计等知识,把软件技术结合渗透到电子器件和电子产品的设计与制作之中。

全书包括 14 章,第 1、2 章介绍常用仪器仪表,第 5~7 章以电工与电子电路的验证型实验为核心内容,第 3、4、8、9 章主要阐述 Multisim 软件及其电路分析方法及计算机仿真实验等内容,第 10~13 章论述 EDA 技术在数字电路系统方面的应用实验、介绍电子设计自动化软件 MAX+plus II 和电子电路计算机仿真设计与大规模可编程逻辑器件 FPGA 应用的技术,第 14 章介绍虚拟仪器的知识和应用实例。

本书适合作为高等学校和高职院校理工科专业电路、模拟电子技术、数字电路逻辑设计、EDA 技术及应用、电工技术、电子技术类课程实验和实践训练的教材,也可作为有关工程技术人员的参考书。

图书在版编目(CIP)数据

电工与电子技术综合实训/梁向红主编. —北京:科学出版社,2013.2

ISBN 978-7-03-036621-4

I. ①电… II. ①梁… III. ①电工技术-高等学校-教材②电子技术-高等学校-教材 IV. ①TM②TN

中国版本图书馆 CIP 数据核字(2013)第 020952 号

责任编辑:于海云/责任校对:赵桂芬

责任印制:闫 磊/封面设计:迷底书装

科学出版社出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

化学工业出版社印刷厂印刷

科学出版社发行 各地新华书店经销

*

2013 年 2 月第 一 版 开本:787×1092 1/16

2013 年 2 月第一次印刷 印张:23

字数:576 000

定价:52.00 元

(如有印装质量问题,我社负责调换)

前 言

本教材是为贯彻落实教育部“卓越工程师教育培养计划”而编写的,旨在培养造就一大批创新能力强、适应经济社会发展需要的高质量各类型工程技术人才,为国家走新型工业化发展道路、建设创新型国家和人才强国战略服务。为了培养具有创新精神的高素质人才,适应电子信息技术的发展,高校在理工科课程中安排了电路、模拟电子、数字电子、电工、电子技术、电子电路计算机仿真设计与分析、EDA 技术及应用、电子技术课程设计等课程,这些课程都是高等工科院校实践性很强的技术基础课程,随着我国高等教育的不断普及和电类学科的多领域渗透,对课程体系建设必然提出了更新更高的要求。我们认为,在电类基础学科的实践环节,应该模糊电类和非电类专业界限,敷设全方位多层次结构,扩展多元化功能。所以,学校应十分重视实验教学环节及其多元化功能,在理论教学的同时,加强实验教学环节,特别是综合以上几门课程的实验内容。本书是根据“‘十二五’普通高等教育本科国家级规划教材”的立项要求,适应当前教学改革的需要编写的一本能够满足高等学校和高职院校电子信息工程、自动化、电气工程、通信工程和计算机等相关专业以及非电类的电工技术、电子技术与课程设计的实验实训课程教材。本书是作者在总结多年电路、模拟电子、数字电子、电工、电子技术、EDA 技术等实验课程教学经验的基础上,吸取了本校及国内院校一些实践教学改革的经验编写而成。

本书在章节安排上既考虑了与理论教学保持同步,又考虑了培养学生能力的循序渐进的过程,把软件技术结合渗透到电子器件和电子产品的设计与制作之中。实现了从计算机仿真验证、基础实验验证到设计再到综合设计的教学模式,有利于在培养学生基本实践能力的基础上,进一步培养他们的创新意识和能力。

全书共分为 14 章。第 1 章绪论、第 2 章常用仪器仪表,这 2 章是实践的基本技能和独立分析和解决问题的入门向导。第 5 章、第 6 章、第 7 章电工与电子技术基础实验是以电工与电子电路的验证型实验为核心内容,目的是使学生掌握基本的电工电子电路的实验方法,加深对理论课内容的理解。第 3 章、第 4 章、第 8 章主要阐述 Multisim 软件及其电路分析方法、电工与电子技术的计算机仿真实验,基于 Multisim 的电子电路的课程设计仿真等内容。第 9 章电子电路设计及综合型实验是培养学生进行综合设计和创新设计的能力,第 10 章到第 13 章论述 EDA 技术在数字电路系统方面的应用实验,介绍了电子设计自动化软件 MAX+plus II 和电子电路计算机仿真设计与分析的技术,除了介绍常用的 EDA 工具的使用方法外,还配有相关的仿真与设计的实验内容供学生使用,其特点是能够满足电子技术课程体系改革和实验教学改革的要求。第 14 章介绍了虚拟仪器的知识(LabVIEW 软件)。实验内容详细完整,引进计算机仿真技术,计算机虚拟实验与传统的实际工程实验有机的结合,突出的优点是省下购买实验设备的资金但却给实验者观察电工及电子技术中实际元件的运行规律及可调可观察的参数变化情况,帮助实验者理解电工及电子器件参数的物理意义和电工及电子系统可实现的功能,提供给实验者先进的实验技术和发挥想象力、创造力的空间。

全书将传统的电子线路设计方法电路与现代的电子线路设计手段相结合,使学生在掌握

电子产品电路系统设计方法、设计过程的同时,更新其设计观念,培养他们工程设计能力、综合应用能力、创新能力和计算机应用能力。

本书的编写打破了传统学科体系,主要考虑教学实践要求,使学生在“基本实践知识、基本实践理论和基本实践技能”三方面得到较为系统学习和训练,逐步培养他们“爱实验、敢实验、会实验”,即突出基础实训的重要性,又增加设计及综合型实验,鼓励学生去观察、思考、分析、设计、创新。每章围绕实验教学的基本要求,介绍必要的理论知识、应用知识和实际操作方法。内容充实、详略得当、可读性强,兼有实用性、资料性和先进性。可作为高等院校和高职院校理工科专业电路、模拟电子技术、数字电路逻辑设计、电工技术、电子技术类课程实践训练的教材,以及 EDA 类课程实践训练的教材,也可作为有关工程技术人员的参考书。

本书引用了诸多学者和专家的著作,在此代表编者和使用本书的读者向他们表示衷心的感谢。书中图片为软件自动生成,其中图形符号及物理量单位等与国家标准有差异,本文对此不做修改。

本书由梁向红负责全书的策划、组织和定稿,邹凌主审。何宝祥编写第 1 章及第 6 章的部分内容;蔡小顾编写第 2 章;储开斌编写第 3 章中的部分内容;林康红编写第 5 章;蒋新庚编写第 6 章中的部分内容;蔡小顾编写第 7 章中的部分内容;张小鸣编写第 10 章;韩学超编写第 12、13 章;焦竹青编写第 14 章;梁向红编写第 4、8、9、11 章及第 3、7 章中的部分内容。在编写过程中得到了杨长春教授、包伯成教授、朱正伟教授的指导和帮助,许多师生提出了不少宝贵意见。在这里一并向他们表示衷心的感谢。

由于编者时间、精力、水平和经验有限,书中错误和不足之处在所难免,敬请各位读者批评指正,以便不断提高。

编者

2012 年 11 月

目 录

前言

第 1 章 绪论	1
1.1 课程性质与任务	1
1.2 误差分析与数据处理	1
1.2.1 误差的基本概念	1
1.2.2 测量精度的提高	3
1.2.3 误差计算及数据处理	4
1.3 基本实验规程	5
1.3.1 实验规则	5
1.3.2 预习要求	5
1.3.3 实际操作要求	6
1.3.4 实验报告要求	7
第 2 章 常用仪器仪表简介	9
2.1 万用表	9
2.1.1 模拟式万用表	9
2.1.2 数字万用表	15
2.2 直流稳压电源	18
2.3 函数信号发生器	20
2.3.1 函数信号发生器的组成及工作原理	21
2.3.2 LM1620 函数信号发生器	21
2.4 交流毫伏表	24
2.5 CS-4025 双踪示波器	25
2.5.1 示波器的工作原理	26
2.5.2 基本操作方法	30
2.6 D26 型电表	33
2.6.1 D26 型电表的接线方式	33
2.6.2 功率表的原理和使用	34
2.7 模拟电路实验箱使用说明	37
2.8 数字电路实验箱使用说明	38
第 3 章 Multisim 软件及电路分析方法	39
3.1 Multisim 软件简介	39
3.1.1 Multisim 用户界面	40
3.1.2 电路的绘制	41
3.1.3 电路的仿真分析	47

3.2 Multisim 虚拟仪表简介	53
3.2.1 数字万用表	53
3.2.2 函数信号发生器	54
3.2.3 示波器	55
3.2.4 波特图仪	58
3.2.5 逻辑转换仪	59
3.2.6 字信号发生器	61
3.2.7 逻辑分析仪	64
3.3 放大电路的分析	68
3.3.1 放大电路静态工作点的分析	68
3.3.2 放大电路的动态分析	68
3.3.3 电压源和电流源激励下放大电路的输入与输出情况	68
3.3.4 放大电路的指标测量	70
3.3.5 组件参数对放大电路性能的影响	71
3.3.6 三极管故障对放大电路的影响	73
3.4 有源滤波电路的分析	73
3.4.1 低通滤波器	74
3.4.2 高通滤波器	76
3.5 正弦波信号产生电路的分析	77
3.5.1 RC 基本文氏电桥振荡电路	77
3.5.2 RC 移相式振荡器	78
3.6 直流稳压电源的分析	80
3.6.1 线性稳压电源	80
3.6.2 降压式开关电源	81
3.6.3 升压式 DC/DC 转换器	82
第 4 章 电工与电子技术仿真实验	83
4.1 叠加原理和戴维南定理	83
4.1.1 实验目的	83
4.1.2 实验电路及内容	83
4.1.3 仿真分析	85
4.2 RLC 串联谐振电路的研究	85
4.2.1 实验目的	85
4.2.2 实验电路及实验内容	85
4.2.3 仿真分析	86
4.3 RC 电路的暂态过程	86
4.3.1 实验目的	86
4.3.2 实验电路及内容	86
4.3.3 仿真分析	86
4.4 积分与微分电路	88

4.4.1 实验目的	88
4.4.2 积分电路及内容	88
4.4.3 积分电路仿真分析	88
4.4.4 微分电路及内容	90
4.4.5 微分电路仿真分析	90
4.5 单管电压放大电路	91
4.5.1 实验目的	91
4.5.2 实验电路及内容	91
4.5.3 仿真分析	91
4.6 差分放大电路	96
4.6.1 实验目的	96
4.6.2 实验电路及内容	96
4.6.3 仿真分析	96
4.7 集成运算放大电路	99
4.7.1 实验目的	99
4.7.2 实验电路及内容	99
4.7.3 仿真分析	101
4.8 两级阻容耦合放大电路	102
4.8.1 实验目的	102
4.8.2 实验电路及内容	102
4.8.3 仿真分析	102
4.9 TTL 与非门的参数测试	106
4.9.1 实验目的	106
4.9.2 实验电路及内容	106
4.9.3 仿真分析	106
4.10 编码器、译码器功能测试及其应用	109
4.10.1 实验目的	109
4.10.2 实验电路及仿真分析	110
4.11 触发器及其应用	111
4.11.1 实验目的	111
4.11.2 实验电路及仿真分析	112
4.12 锁存器及其应用	115
4.12.1 实验目的	115
4.12.2 实验电路及仿真分析	115
4.13 集成计数器及其应用	116
4.13.1 实验目的	116
4.13.2 实验电路及仿真分析	116
4.14 计数、译码与显示	117
4.14.1 实验目的	117

4.14.2 实验电路及仿真分析	117
4.15 555 集成定时电路	117
4.15.1 实验目的	117
4.15.2 实验电路及仿真分析	118
第5章 电工技术基础实验	121
5.1 叠加原理和戴维南定理	121
5.1.1 实验目的	121
5.1.2 实验原理	121
5.1.3 实验设备与器材	121
5.1.4 实验内容与步骤	121
5.1.5 预习思考题	123
5.1.6 实验报告	123
5.2 RLC 串联谐振电路的研究	124
5.2.1 实验目的	124
5.2.2 实验原理	124
5.2.3 实验设备与器材	125
5.2.4 实验内容与步骤	125
5.2.5 预习思考题	126
5.2.6 实验报告	126
5.3 日光灯电路及功率因数的提高	127
5.3.1 实验目的	127
5.3.2 实验原理	127
5.3.3 实验设备与器材	129
5.3.4 实验内容与步骤	129
5.3.5 预习思考题	130
5.3.6 实验报告	130
5.4 RC 电路的暂态过程	130
5.4.1 实验目的	130
5.4.2 实验原理	130
5.4.3 实验设备与器材	132
5.4.4 实验内容与步骤	132
5.4.5 预习思考题	132
5.4.6 实验报告	133
5.5 三相交流电路	133
5.5.1 实验目的	133
5.5.2 实验原理	133
5.5.3 实验设备与器材	134
5.5.4 实验内容与步骤	134
5.5.5 预习思考题	135

5.5.6 实验报告	136
5.6 三相异步电动机的控制	136
5.6.1 实验目的	136
5.6.2 实验原理	136
5.6.3 实验设备与器材	137
5.6.4 实验内容与步骤	137
5.6.5 预习思考题	138
5.6.6 实验报告	138
5.7 三相异步电动机的顺序控制	138
5.7.1 实验目的	138
5.7.2 实验原理	139
5.7.3 实验设备与器材	139
5.7.4 实验内容与步骤	139
5.7.5 预习思考题	140
5.7.6 实验报告	140
第6章 模拟电子技术基础实验	141
6.1 双踪示波器的使用	141
6.1.1 实验目的	141
6.1.2 双踪示波器的基本原理	141
6.1.3 示波器开关的控制与调节	142
6.1.4 实验设备	147
6.1.5 预习要求	147
6.1.6 实验内容及步骤	147
6.1.7 思考题	151
6.1.8 实验报告要求	151
6.2 单管电压放大电路的研究	151
6.2.1 实验目的	151
6.2.2 实验原理	151
6.2.3 实验设备	151
6.2.4 预习要求	151
6.2.5 实验内容及步骤	152
6.2.6 注意事项	155
6.2.7 思考题	155
6.2.8 实验报告要求	155
6.3 差分式放大电路的研究	155
6.3.1 实验目的	155
6.3.2 实验原理	156
6.3.3 实验设备	156
6.3.4 预习要求	156

6.3.5	实验内容及步骤	156
6.3.6	注意事项	158
6.3.7	思考题	158
6.3.8	实验报告要求	158
6.4	集成运算放大电路	158
6.4.1	实验目的	158
6.4.2	实验原理	159
6.4.3	实验设备	160
6.4.4	预习要求	160
6.4.5	实验内容	160
6.4.6	思考题	163
6.4.7	实验报告要求	163
6.5	射极跟随器的研究	163
6.5.1	实验目的	163
6.5.2	实验原理	163
6.5.3	实验设备	163
6.5.4	预习要求	163
6.5.5	实验内容及步骤	164
6.5.6	思考题	166
6.5.7	实验报告要求	166
6.6	两级阻容耦合放大电路	166
6.6.1	实验目的	166
6.6.2	实验原理	166
6.6.3	实验设备	166
6.6.4	预习要求	167
6.6.5	实验内容	167
6.6.6	思考题	169
6.6.7	实验报告要求	169
第7章	数字电子技术基础实验	170
7.1	TTL与非门的参数测试	170
7.1.1	实验目的	170
7.1.2	实验原理	170
7.1.3	实验仪器与器件	172
7.1.4	预习要求	172
7.1.5	实验内容	172
7.1.6	实验研究与思考	175
7.1.7	实验报告要求	175
7.2	编码器、译码器功能测试及其应用	175
7.2.1	实验目的	175

7.2.2 实验原理	175
7.2.3 实验器材	177
7.2.4 预习要求	177
7.2.5 实验内容	177
7.2.6 实验研究与思考	182
7.2.7 实验报告要求	182
7.3 触发器及其应用	182
7.3.1 实验目的	182
7.3.2 实验原理	182
7.3.3 实验设备与器材	184
7.3.4 预习要求	184
7.3.5 实验内容	184
7.3.6 实验研究与思考	188
7.3.7 实验报告要求	188
7.4 锁存器及其应用	188
7.4.1 实验目的	188
7.4.2 实验原理	189
7.4.3 实验设备与器材	189
7.4.4 预习要求	189
7.4.5 实验内容	189
7.4.6 实验研究与思考	191
7.4.7 实验报告要求	191
7.5 集成计数器及其应用	191
7.5.1 实验目的	191
7.5.2 实验原理	192
7.5.3 实验设备与器材	193
7.5.4 预习要求	193
7.5.5 实验内容	193
7.5.6 实验研究与思考	196
7.5.7 实验报告要求	196
7.6 计数、译码与显示	196
7.6.1 实验目的	196
7.6.2 实验原理	196
7.6.3 实验设备与器材	200
7.6.4 预习要求	200
7.6.5 实验内容	200
7.6.6 实验研究与思考	202
7.6.7 实验报告要求	202
7.7 移位寄存器及其应用	203

7.7.1	实验目的	203
7.7.2	实验原理	204
7.7.3	实验器材	204
7.7.4	预习要求	204
7.7.5	实验内容	205
7.7.6	实验研究与思考	209
7.7.7	实验报告要求	209
7.8	555 定时电路及其应用	209
7.8.1	实验目的	209
7.8.2	实验原理	209
7.8.3	实验器件	211
7.8.4	预习要求	211
7.8.5	实验内容	211
7.8.6	实验研究与思考	213
7.8.7	实验报告要求	213
第8章	电子技术课程设计	214
8.1	阶梯波信号发生器原理	214
8.1.1	设计要求	214
8.1.2	设计原理	214
8.2	正弦波信号发生电路设计	216
8.2.1	RC 桥式正弦波振荡电路	216
8.2.2	双 T 选频网络正弦波振荡器	217
8.2.3	电容反馈三点式振荡器	219
8.3	非正弦波发生器电路设计	219
8.3.1	锯齿波产生电路	219
8.3.2	方波和三角波发生电路	219
8.3.3	一阶有源低通滤波器	221
8.4	中规模数字集成电路设计	222
8.4.1	编码器电路	223
8.4.2	译码器	225
8.4.3	数据选择器	231
8.5	时序逻辑电路设计	232
8.5.1	4 路抢答电路	232
8.5.2	8 位串入-并出移位寄存器电路	234
8.5.3	计数器电路分析	234
8.6	综合电路设计及分析	235
8.6.1	5 个台阶阶梯波	235
8.6.2	16 个台阶阶梯波	235
8.6.3	10 个台阶阶梯波	237

8.6.4	11 个台阶阶梯波	237
8.6.5	7 个台阶阶梯波设计一	240
8.6.6	7 个台阶阶梯波设计二	240
第 9 章	电子电路设计及综合型实验	242
9.1	实验技术规程	242
9.1.1	实验内容	242
9.1.2	电子电路设计的重要性	242
9.1.3	电子电路的一般设计方法	242
9.1.4	实验报告	244
9.1.5	注意事项	244
9.2	电动机继电器控制系统的设计	244
9.2.1	实验目的	244
9.2.2	设计要求	244
9.2.3	设计提示	245
9.2.4	实验条件	245
9.3	简易万用表的设计	245
9.3.1	实验目的	245
9.3.2	设计要求	246
9.3.3	设计提示	246
9.3.4	实验条件	247
9.3.5	预习要求	247
9.4	单运放差分式放大电路的设计	247
9.4.1	实验目的	247
9.4.2	设计要求	247
9.4.3	设计提示	247
9.4.4	实验条件	248
9.4.5	预习要求	248
9.5	功率放大器综合型实验	249
9.5.1	实验目的	249
9.5.2	实验原理	249
9.5.3	实验设备	249
9.5.4	预习要求	249
9.5.5	实验内容与步骤	250
9.5.6	实验报告要求	250
9.6	小时与星期的计数显示设计	251
9.6.1	实验目的	251
9.6.2	设计要求	251
9.6.3	设计提示	251
9.6.4	实验条件	252

9.6.5 预习要求	252
9.7 集成运算放大器应用电路设计	252
9.7.1 实验目的	252
9.7.2 设计要求	252
9.7.3 设计提示	252
9.7.4 实验条件	253
9.7.5 预习要求	253
9.8 函数信号发生器的设计	253
9.8.1 实验目的	253
9.8.2 设计要求	253
9.8.3 设计提示	253
9.8.4 实验条件	254
9.8.5 预习要求	254
9.9 方波发生器的设计	254
9.9.1 实验目的	254
9.9.2 设计要求	254
9.9.3 设计提示	254
9.9.4 实验条件	254
9.9.5 预习要求	254
第10章 GW48 EDA 系统使用说明	255
10.1 GW48 教学实验系统原理与使用介绍	255
10.1.1 GW48 系统使用注意事项	255
10.1.2 GW48 系统主板结构与使用方法	255
10.2 实验电路结构图	260
10.2.1 实验电路信号资源符号图说明	260
10.2.2 各实验电路结构图特点与适用范围简述	261
10.3 GW48 CK/ES EDA 系统和 GWDVP-B 应用板	272
第11章 MAX+plus II 原理图输入设计方法	277
11.1 1 位全加器设计向导	277
11.1.1 设计步骤	278
11.1.2 设计流程归纳	289
11.1.3 补充说明	289
11.2 设计有时钟使能的两位十进制计数器	290
第12章 VHDL 设计初步	293
12.1 2 选 1 多路选择器的 VHDL 描述	293
12.1.1 VHDL 语言现象说明	295
12.1.2 文件取名和存盘	299
12.2 寄存器描述及其 VHDL 语言现象	300
12.2.1 D 触发器的 VHDL 描述	300

12.2.2 D 触发器 VHDL 描述的语言现象说明	301
12.3 VHDL 文本输入设计方法初步	305
12.3.1 编辑输入 VHDL 文件	306
12.3.2 将当前设计设定为工程	307
12.3.3 选择 VHDL 文本编译版本号和排错	307
12.3.4 时序仿真	309
12.3.5 硬件测试	309
第 13 章 VHDL/FPGA 数字系统仿真实验	311
13.1 1 位全加器原理图输入设计	311
13.1.1 实验目的	311
13.1.2 实验要求	311
13.1.3 实验原理	311
13.1.4 实验内容	312
13.1.5 实验仪器	312
13.1.6 实验报告内容	312
13.2 1 位全加器 VHDL 文本输入设计	312
13.2.1 实验目的	312
13.2.2 实验要求	312
13.2.3 实验原理	313
13.2.4 实验内容	313
13.2.5 实验仪器	313
13.2.6 实验报告内容	313
13.3 异步清 0 和同步时钟使能的 4 位加法计数器	314
13.3.1 实验目的	314
13.3.2 实验要求	314
13.3.3 实验原理	314
13.3.4 实验内容	314
13.3.5 实验仪器	315
13.3.6 实验报告内容	315
13.4 用状态机实现序列检测器的设计	315
13.4.1 实验目的	315
13.4.2 实验要求	315
13.4.3 实验原理	315
13.4.4 实验内容	316
13.4.5 实验仪器	316
13.4.6 实验报告内容	316
13.5 含七段数码显示译码器和 LPM 电路的设计	316
13.5.1 实验目的	316
13.5.2 实验要求	316

13.5.3	实验原理	316
13.5.4	实验内容	317
13.5.5	实验仪器	318
13.5.6	实验报告内容	318
13.6	两位十进制频率计原理图输入设计	318
13.6.1	实验目的	318
13.6.2	实验要求	318
13.6.3	实验原理	318
13.6.4	实验内容	319
13.6.5	实验仪器	320
13.6.6	实验报告	320
第 14 章	基于虚拟仪器的数据采集系统	321
14.1	虚拟仪器开发平台	321
14.1.1	LabVIEW 软件介绍	321
14.1.2	虚拟仪器开发过程	322
14.1.3	虚拟仪器硬件平台	325
14.2	数据采集原理	327
14.2.1	基本原理	327
14.2.2	数据采集系统结构	329
14.2.3	模拟输入信号	331
14.2.4	信号调理	336
14.3	虚拟仪器数据采集的实现	337
14.3.1	模拟输入模块	337
14.3.2	模拟输出模块	343
14.3.3	虚拟仪器电子测量系统	344
14.3.4	数据采集卡的软件配置	348

第1章 绪 论

1.1 课程性质与任务

随着我国高等教育的不断普及和电类学科的多领域渗透,对课程体系建设必然提出了更新更高的要求。我们认为,在电类基础学科的实践环节,应该模糊电类和非电类专业界限,敷设全方位多层次结构,扩展多元化功能。目前,本科教育正由精英化教育模式向大众化、普及化教育模式转变,生源队伍的多层次结构已经形成。同时,随着社会的发展和进步,对人才的需求已不再是少数几个高尖端研究型人才,大量的各种层面上的应用型人才同样受到青睐。

为此,我们明确了实验课程的设置原则:①全方位,即在课程体系中的课程群架构和知识型结构等方面与实践环节要有接口和反馈,要有核心和辐射,要有关键和路线。②多层次,即运用“宝塔式”设计思想优化选择实验内容,分基础验证性实验、辅助提高性实验、综合设计性实验和自主创新性实验等几个层次。③多样式,即可以采用引导式、自主式和开放式等形式,并根据授课条件和授课对象的不同,灵活地将各种开设形式进行有机组合,注重与网络化、虚拟化实验融合。

实验课程的基本任务是使学生在“基本实践知识、基本实践理论和基本实践技能”三方面得到较为系统的学习和训练,逐步培养他们“爱实验、敢实验、会实验”,从而更加善于观察、善于发现、善于思考、善于分析、善于动手、善于合作、善于交流、善于创造和善于总结。

1.2 误差分析与数据处理

在实验中,任何测量都不可避免存在误差,对测量结果进行误差分析与数据处理是必要的。某些误差的基本性质可以有效指导测试方法和测试技巧,充分提高测量准确度;通过分析产生误差的根源,可以显著减小、消除或者确定误差对测量结果的影响;对测量结果进行正确的数据处理,可以进一步得到更近于真值的数据。

1.2.1 误差的基本概念

1. 测量误差的表示方法

1) 绝对误差

如果用 X_0 表示被测量的真值, X 表示测量仪器的示值,则绝对误差为

$$\Delta X = X - X_0$$

所谓真值,即被测量的实际值,是一个理想的概念,一般是无法测知的,通常用高一级标准测量仪器所测得的值近似作为真值。在实际工作中,还经常使用修正值,即将测得值加

修正值后可得到近似真值,可见修正值仅仅是绝对误差的负值而已。

2) 相对误差

相对误差 δ_0 是绝对误差 ΔX 与被测量真值 X_0 的比值,常用百分数表示,即

$$\delta_0 = \frac{\Delta X}{X_0} \times 100\%$$

对于相同的被测量,绝对误差可以评定其测量精度的高低;但对于不同的被测量,评定其测量精度的高低不能采用绝对误差。所以,通常采用相对误差来评定测量精度。

3) 容许误差(又称最大误差)

容许误差就是仪器仪表指针满刻度相对误差 δ_m 。如果用 δ_m 表示表头满刻度读数, $\Delta\delta_m$ 表示最大绝对误差(注意 $\Delta\delta_m$ 不一定出现在满刻度测量状态下),则一般测量仪器仪表的准确度用 δ_m 表示。我国电工仪表按 δ_m 值分为 0.1、0.2、0.5、1、1.5、2.5 和 5 七个级别。

2. 测量误差的分类

根据测量误差的特点和性质,误差可分为三类。

1) 系统误差

在同一条件下,多次测量同一量值时,绝对值和符号保持不变,或在条件改变时按一定规律变化的误差称为系统误差。

2) 偶然误差(又称随机误差)

在同一条件下,多次测量同一量值时,绝对值和符号以不可预定方式变化着的误差称为偶然误差。

3) 过失误差(又称粗大误差)

在一定条件下,测量值明显偏离真值的误差称为过失误差。

3. 测量误差的来源

1) 仪器误差

仪器误差是指测量仪器本身电气或机械性能不完善所造成的误差,如校准误差、刻度误差等。

2) 人员误差

人员误差是指由于测量人员本身感觉器官和运动器官的限制所造成的误差。

3) 操作误差

操作误差是指在使用仪器过程中,因安装、布置、调节和使用不当所造成的误差。

4) 方法误差

方法误差是指由于采用近似的测量方法所造成的误差。例如,用伏安法测电阻时,若直接以电压表与电流表的示值比作为测量结果,忽略仪表本身内阻的影响,就会带来方法误差。

5) 环境误差

环境误差是指由于各种环境因素与要求的标准状态不一致所造成的误差。例如,温度、湿度、气压、振动、电磁场、声音、光照和放射等。

1.2.2 测量精度的提高

1. 测量精度的概念

反映测量结果与真值接近程度的量称为精度，它与测量误差大小有关，误差小则精度高。一般精度可分为：

- (1) 准确度：反映系统误差的影响程度。
- (2) 精密度：反映偶然误差的影响程度。
- (3) 精确度：反映系统误差和偶然误差的综合影响程度。

2. 提高测量精度的方法

1) 削弱和消除系统误差，以提高准确度

首先要仔细分析各个系统误差的原因和特点，从中抓住主要的予以削弱和消除。一般从以下几个方面考虑：

- (1) 测量仪器的安放必须遵守使用规定，并注意避开过强外部电磁场影响。
- (2) 对于预先需要校准的仪器必须预先校准或确定其修正值，以便在测量结果中引入适当的补偿值来消除它。
- (3) 选择能满足测试要求的环境进行测量，一般要考虑温度、湿度、气压、振动和电磁场等。
- (4) 某些系统误差在一定条件下多次重复测量时给出的误差不定，这类系统误差可以用替代法或正负误差抵消法予以消除。

所谓替代法，即在测量时，先对被测量进行测量，记取测量数据；然后用一已知标准量代替被测量，改变已知被测量的数据，使得测量仪器恢复到记取的测量数据，这时已知标准量的数值就是被测量的数值。由于两者测量条件相同，因此可以消除包括仪器内部结构、各种外界因素和装置不完善等引起的系统误差。

所谓正负误差抵消法，即利用在相反的两种情况下分别进行测量使得两次测量所产生的误差等值异号，然后取两次测量结果的平均值，从而将误差抵消。

2) 削弱偶然误差，以提高精密度

偶然误差一般具有以下特征：

- (1) 绝对值相等，正负出现的几率相同。
- (2) 绝对值小的误差比绝对值大的误差出现的几率大。
- (3) 绝对值不会超过一定界限。
- (4) 随着测量次数的增加，偶然误差的算术平均值趋向于零。

由此可知，可以采用多次测量求平均值的办法减小偶然误差。但是已经有人证明，测量精度与测量次数的平方根成反比。因此要显著地提高测量精度，必须付出较多的劳动，而且测量次数越多，越难保证测量条件的稳定，所以一般取测量次数为 10 就可以了。

3) 剔除过失误差

首先找出可疑测得值，然后根据有关准则判断其可取性，属过失误差者予以剔除。过失误差的判断准则见有关参考文献。

1.2.3 误差计算及数据处理

1. 单次测量时的误差计算

在许多场合,测量只进行一次。测量方法有直接测量和间接测量两种。直接测量指直接对被测量进行测量;间接测量指通过测量与被测量有一定函数关系的其他量,然后换算得到被测量的值。直接测量的误差计算显而易见。至于间接测量的误差计算,可通过下面计算公式得到

$$\Delta X = \frac{\partial f}{\partial A} \Delta A + \frac{\partial f}{\partial B} \Delta B + \frac{\partial f}{\partial C} \Delta C + \dots$$

其中, f 为被测量 X 与相关量 A 、 B 、 C 之间的函数关系, ΔA 、 ΔB 、 ΔC 分别为 A 、 B 、 C 的直接测量误差。

2. 测量数据的处理

1) 有效数字的概念

在记录和计算数据时,必须掌握对有效数字的正确取舍。不能认为一个数据中的小数点后面的位数越多,这个数据就越准确。一般测量的结果都是近视值,所以都应用有效数字表示。所谓有效数字,是指左边第一个非零的数字开始直到最后一个数字为止所包含的数字,一般称最右边的一个数字为欠准数字,其他数字为准确数字。

2) 有效数字的表示

有效数字只允许保留一个欠准数字,欠准数字可以是零。

如果用 10 的方幂来表示,则前面的数字都是有效数字。例如, 13.60×10^4 表明有效数字由准确数字 1 、 3 、 6 和欠准数字 0 四位组成。

对于等具有无限位数的有效数字,在运算时,可根据需要取适当的位数。

3. 有效数字的处理

在一般的数字计算中,都简单地采用“四舍五入”原则,但会带来较大的累计误差,所以在许多要求较高的测量计算过程中,一般采用的办法是:当被舍的数字为 5 ,而 5 之后有不为 0 的数字时,则舍 5 进 1 ;当 5 之后无数字或为 0 时,再看 5 前面的一个数字若为奇数则舍 5 进 1 ,若为偶数则舍 5 不进位。

4. 有效数字的运算

1) 加减运算

将各数据所保留的小数点后的位数处理成与精度最差的数据相同,然后进行加减。例如:

214.75	→	214.75
32.9451	→	32.95
0.015	→	0.02
+	4.305	→ 4.30
		252.02

2) 乘除运算

运算前对各数据处理以有效数字位数最少的为标准, 所得积和商的有效数字位数应与有效数字位数最少的那个数据相同。

若有效数字位数最少的数据中, 其最左边一位数字为 8 或 9, 则其他有效数字位数应多保留一位。

例如, 计算 $0.0121 \times 25.645 \times 1.057282$

因为, 0.0121 为三位有效数字, 位数最少, 且最左边一位为 1, 所以其他数据均处理为三位有效数字:

$$25.645 \rightarrow 25.6, 1.057282 \rightarrow 1.06$$

所以, $0.0121 \times 25.6 \times 1.06 = 0.3283456 \rightarrow 0.328$

又例如, 计算 $0.0921 \times 25.645 \times 1.057282$

因为, 0.0921 为三位有效数字, 位数最少, 且最左边一位为 9, 所以其他数据均处理为四位有效数字:

$$25.645 \rightarrow 25.64, 1.057282 \rightarrow 1.058$$

所以, $0.0921 \times 25.64 \times 1.058 = 2.498407752 \rightarrow 2.50$

1.3 基本实验规程

1.3.1 实验规则

实验室是进行科学实验的主要场所, 为确保实验的顺利进行及人身和设备的安全, 学员们应自觉遵守各项实验规则, 养成良好的实验习惯。

(1) 注意安静。实验需要安静的环境, 它有利于集中精力做实验, 有利于思考问题、解决问题, 因此学员们在讨论问题时应轻声讲话, 不要干扰其他同学的实验。

(2) 遵守实验时间, 不准迟到、旷课。

(3) 实验前必须预习, 写好预习报告, 否则不允许参加实验或另行安排时间做实验。

(4) 各组设备都已配全、编号。各组间不得自行互换和借用仪器设备, 若仪器设备有毛病, 可请教员来解决。

(5) 严禁带电接线拆线。

(6) 如想在实验中增加内容, 应事先提出, 经教员同意后方能进行。

(7) 若在实验中发生意外情况, 应立即断开电源, 保护现场, 并立即报告教员。

(8) 要爱护国家财产, 对所用仪器设备要了解使用方法后再做实验, 如发生仪器设备损坏事故, 根据具体情况按学校规定处理。

(9) 保持实验室整洁, 实验完毕后要整理好一切用具。

1.3.2 预习要求

实验收获的大小和实验进行是否顺利, 在很大程度上取决于学员的预习和准备情况。预习的内容和要求主要有以下几点:

(1) 明确实验目的, 彻底搞懂实验线路的工作原理和测量仪器的使用方法。

(2) 思考实际操作是的具体步骤, 明确要测量的数据和测量方法, 对被测数据的范围要

有初步估计,明确要通过计算得到的数据和计算公式。

(3) 写预习报告,其内容包括:实验名称;记录用的表格;完成有关实验中给出的预习要求,如理论数据公式、测试方案、设计电路等;需要在实验中解决的问题等。

1.3.3 实际操作要求

实际操作大致可分为接线、查线、测试、数据的检查与分析等几个方面。

1. 接线

首先要熟悉一下本次实验中所用的各种仪器设备,然后分工按照有关线路接线。接线时先将主要回路逐个接通,由电源端开始,按照线路图由前向后顺序连接,然后并接电压表及功率表的电压线圈等。电路中各元件及测试仪表等位置的安排应使实际操作及仪表读数均感方便为标准,一般按电路图的顺序排列,同时还应避免感应线圈磁场对仪表产生的影响。接线时必须拧紧接线柱上的螺帽或塞紧接线插头,一个接线柱上的连接线不要太多,以防连接松动引起导线脱落造成事故。

连接仪表时,对于电工仪表应注意类别,如是电压表还是电流表,是交流表还是直流表等,以及其量程和极性。对于电子仪器应注意使用的电源电压大小,输出信号的大小和频率,测量的量程及频率范围,连接导线的屏蔽作用。

必须指出,电源线应在整个线路检查无误后才能接上。严格禁止将导线的一端接在电源上,而把另一端随便地放在桌上或悬空。个别实验须经教员准许后方可通电。

2. 查线

同一组的同学在接线及查线上应有分工。未接通电源前的查线方法与接线情况一样,即按照电路图先查主要回路,后查并联的支路,再查各类测试仪表的量程、极性、输出信号的大小及频率、测量频率的范围等。

若上述查线没有查出毛病,但在接通电源后出现故障,则应断开电源后仔细查找故障,排除故障,使线路恢复正常后,才能通电进行测试。

一般故障现象及产生的原因有以下几点:

开路故障其现象有:电路无电压、无电流;示波器无波形显示;电表无读数等。造成开路故障的原因有:熔丝熔断;接线柱松动;接触不良;连接导线的根部被折断;个别元件已损坏断线等。

短路故障其现象有:电流急剧增加而将电流表指针打弯;熔丝熔断;电路元件冒白烟;有烧焦气味等。造成短路故障的原因有:接线错误,如把大电阻负载短路了;仪表接错,如把电流表并联在电路中了;连接导线脱落;多余导线遗留在电路中等。

排查故障的办法有以下几点:

(1) 外表观察。如电源是否已接上,电源熔丝是否良好,连接导线是否脱落,是否有多余导线混杂在电路中。

(2) 断电检查。从电源端拆下一根导线后,用万用表欧姆挡逐点测试观察线路是否通路,即从电源端开始逐个检查元件是否损坏,导线是否断开,接线柱上接线接触是否良好等。

(3) 通电检查。在电子线路输入端加上适当的信号,逐级测试输出情况,或观察各级测试点的波形,逐步缩小故障范围,以便迅速找出故障所在。在开路故障时,可以在通电情况下用电压表测量各点的电位并判断是否正常。

3. 测试

为了保证实验高速度,高质量完成,在读取数据之前应试做一遍,注意观察被测量的变化情况和出现的现象,并与事先估计的变化规律是否接近,同时合理地选择几个测试点。

读取数据时应注意以下几点:

- (1) 当电源电压或信号不稳定时,对几个仪表要同时进行读数。
- (2) 对指针式仪表读数时,要在指针与小镜中的针影相重合的情况下读取。
- (3) 为减小误差,测试点不应跳跃。
- (4) 读取数值的有效位数应充分利用测试仪器的准确度等级。

4. 数据的检查与分析

首先应检查数据是否已测量,若有遗漏应马上补测。然后检查测试点的间隔选择是否合适,在曲线的平滑部分可少测几点而曲线的弯曲部分要多测几点。最后再与事先估计的数据进行比较,当发现测得的数据或通过实验算出的数据与事先估计的数据有较大差别时应及时分析,找出原因。实验中一般原因有:线路中可能还存在着故障未被查出来,测试方法上存在较大误差,测试点搞错,读数错误,测试仪器有毛病。但在排除上述所有故障及原因后重新测得的数据仍有较大差别时,则应尊重事实,实事求是地把数据记录于表格中,以后要进行仔细分析,提出自己的见解。切忌弄虚作假或抄袭他人。

在结束实际操作之前还应注意如下几件事:

(1) 把使用仪器设备的名称、规格和编号记录下来,以后如对实验测量的结果有怀疑,或对仪器设备的准确度有怀疑时,可仍用原来的仪器设备重做实验,以便校核。但有些不影响实验准确度的设备,如自耦变压器、滑线电阻、开关等,可不必记录。

(2) 把已检查过的测量数据交给教员审阅,并与教员一起检查仪器设备的使用情况,然后再进行拆线。注意拆线时,一定要先将本组的电源断开,以免发生人身安全事故或设备事故。

(3) 将仪器设备整理好,安放在原来的位置上,等教员认可签字后方可离开实验室。

1.3.4 实验报告要求

实验结束后,必须认真及时地编写好实验报告。实验报告是实验结果的总结和反映,一个实验的价值在很大程度上取决于报告质量的高低,同时也是培养综合能力的绝好途径,因此对编写好实验报告必须予以充分的重视。其内容主要包含以下几方面:

- (1) 实验目的。
- (2) 仿真实验的过程和结果。
- (3) 本实验中所用仪器设备的名称、规格和编号。
- (4) 将实验最终的数据结果抄入表格中,并记入经计算得到的数据,列出计算公式和计算举例。

(5) 根据实验测得的或计算得到的数据绘制曲线,以便从曲线中能直观地看到各物理量之间的关系或演化趋势。绘制曲线时应注意下列几点:

- ① 应写明实验和曲线名称。
- ② 曲线要用坐标纸绘制,一般绘制在第一象限,以自变量为横坐标,以函数为纵坐标,并注明单位。
- ③ 标尺比例要选择得当,使图形不偏于一角或一边。
- ④ 实验点的位置须在坐标纸上用“○”、“△”和“×”等符号表示出来。连接这些实验点时必须成一平滑曲线,不必机械地要求每个实验点都在曲线上。
- ⑤ 粘贴在实验报告中。

(6) 讨论与总结。

对实验结果的讨论,包括仿真结果进行误差分析和数据处理,以及就实验结果得出结论并提出自己的见解,是实验报告的核心部分。通过讨论与总结应明确地告诉看报告的人(包括自己在内):本实验是否已达到实验项目中所提出的各项要求;实验结论如何;实验解决了哪些问题,还有哪些问题没有解决;实验中发现了哪些新问题,是如何处理的;实验后有何收获和体会。

第2章 常用仪器仪表简介

2.1 万用表

万用表是一种多量程和测量多种电量的便携式复用电工测量仪表。一般的万用表以测量电阻、交直流电流，交直流电压为主。有的万用表还可以用来测量音频电平、电容量、电感量和晶体管的 β 值等。

由于万用表结构简单，便于携带，使用方便，用途多样，量程范围广，因而它是维修仪表和调试电路的重要工具，是一种最常用的测量仪表。

2.1.1 模拟式万用表

万用表的种类很多，按其读数方式可分为模拟式万用表和数字式万用表两类。模拟式万用表是通过指针在表盘上摆动的大小来指示被测量的数值，因此，也称其为机械指针式万用表。由于它价格便宜、使用方便、量程多、功能全等优点深受使用者的欢迎。

1. 万用表的组成

万用表在结构上主要由表头（指示部分）、测量电路、转换装置三部分组成。万用表的面板上有带有多条标度尺的刻度盘、转换开关旋钮、调零旋钮和接线插孔等。

1) 表头

万用表的表头一般都采用灵敏度高，准确度好的磁电式直流微安表。它是万用表的关键部件，万用表性能如何，很大程度上取决于表头的性能。表头的基本参数包括表头内阻、灵敏度和直线性，这是表头的三项重要技术指标。表头内阻是指动圈所绕漆包线的直流电阻，严格讲还应包括上下两盘游丝的直流电阻。内阻高的万用表性能好。多数万用表表头内阻在几千欧姆左右。表头灵敏度是指表头指针达到满刻度偏转时的电流值，这个电流数值越小，说明表头灵敏度越高，这样的表头特性就越好。通电测试前表针必须准确地指向零位。通常表头灵敏度只有几微安到几百微安。表头直线性，是指表针偏转幅度与通过表头电流强度幅度是相互一致的。

2) 测量电路

测量电路是万用表的重要部分。正因为有了测量电路才使万用表成了多量程电流表、电压表和欧姆表的组合体。

万用表测量电路主要由电阻、电容、转换开关和表头等部件组成。在测量交流电量的电路中，使用了整流器件，将交流电变换成为脉动直流电，从而实现对交流电量的测量。

3) 转换装置

它是用来选择测量项目和量限的。主要由转换开关、接线柱、旋钮、插孔等组成。转换开关是由固定触点和活动触点两大部分组成。通常将活动触点称为“刀”，固定触点称为“掷”。万用表的转换开关是多刀多掷的，而且各刀之间是联动的。转换开关的具体结构因万

用表的不同型号而有差异。当转换开关转到某一位置时, 可动触点就和某个固定触点闭合, 从而接通相应的测量电路。

2. 万用表表盘

万用表是可以测量多种电量, 具有多个量程的测量仪表, 为此万用表表盘上都印有多条刻度线, 并附有各种符号加以说明。

电流和电压的刻度线为均匀刻度线, 欧姆挡刻度线为非均匀刻度线。

不同电量用符号和文字加以区别。直流量用“—”或“DC”表示, 交流量用“~”或“AC”表示, 欧姆刻度线用“ Ω ”表示。

为便于读数, 有的刻度线上有多组数字。

多数刻度线没有单位, 为了便于在选择不同量程时使用。

万用表表盘上经常出现的图形符号和字母的意义列于表 2.1 中。

表 2.1 万用表表盘常用符号及意义

符号与数字	表示意义
	整流式磁电系仪表
	外壳与电路的绝缘试验电压为 5kV
-2.5	直流电流和直流电压的准确度为: 2.5 级 ($\pm 2.5\%$)
~5.0	交流电压和输出音频电平的准确度为 5.0 级 ($\pm 5.0\%$)
	电阻量限基准值为标度尺工作部分长度, 按产品标准规定标度盘上不标志等级指数
	标度尺位置为水平的
Ω	测量直流电阻的刻度
DCV, A	测量直流电压或电流的刻度
ACV	测量交流电压的刻度
dB	测量输出电平的刻度
	测量晶体管 β 值的刻度
I_{CEO}	测量晶体管穿透电流 I_{CEO} 的刻度
20k Ω /V 0.15~220V DC	直流电压挡级的灵敏度为 20000 Ω /V (直流电压范围为 0.15~220V)
9k Ω /V AC \approx (500~1500V DC)	交流电压挡级的灵敏度为 9000 Ω /V (被测电压还包括直流 500~1500V 电压)

3. 万用表的工作原理

万用表是由电流表、电压表和欧姆表等各种测量电路通过转换装置组成的综合性仪表。了解各测量电路的原理也就掌握了万用表的工作原理, 各测量电路的原理基础就是欧姆定律和电阻串并联规律。下面分别介绍各种测量电路的工作原理。

1) 直流电流的测量电路

万用表的直流电流测量电路实际上是一个多量程的直流电流表。由于表头的满偏电流很

小,所以采用分流电阻来扩大量程,一般万用表采用闭路抽头式环形分流电路,如图2.1所示。

这种电路的分流回路始终是闭合的。转换开关换接到不同位置,就可改变直流电流的量程,这和电流表并联分流电阻扩大量程的原理是一样的。

2) 直流电压的测量电路

万用表测量直流电压的电路是一个多量程的直流电压表,如图2.2所示。它是由转换开关切换电路中与表头串联的不同的附加电阻,来实现不同电压量程的转换。这和电压表串联分压电阻扩大量程的原理是一样的。

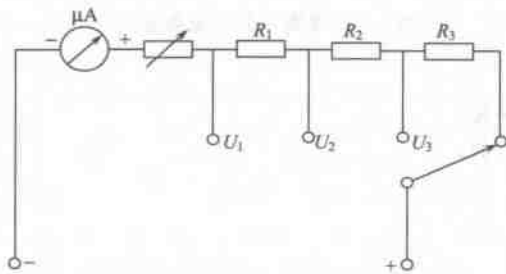


图 2.2 多量程直流电压表原理

流过表头的电流平均值 I_0 与被测正弦交流电流有效值 I 的关系为

半波整流时 $I = 2.22 I_0$

全波整流时 $I = 1.11 I_0$

由以上两式可知,表头指针偏转角与被测交流电流的有效值也是正比关系。整流系仪表的标尺是按正弦量有效值来刻度的,万用表测交流电压时,其读数是正弦交流电压的有效值,它只能用来测量正弦交流电,如测量非正弦交流电,会产生较大的误差。如图2.3和图2.4所示,为测量交流电压的电路。

4) 直流电阻的测量电路

在电压不变的情况下,如回路电阻增加一倍,则电流减为一半,根据这个原理,就可制作一只欧姆表。万用表的直流电阻测量电路,就是一个多量程的欧姆表。其原理电路如图2.5所示。把欧姆表“+”、“-”表笔短路,调节能限流电阻 R_s 使表针指到满偏转位置,在对应的电阻刻度线上,该点的读数为0。此时满偏转电流

$$I = \frac{E}{R_s} \text{ 或 } E = I R_s$$

式中: R_s ——欧姆表的综合内阻。

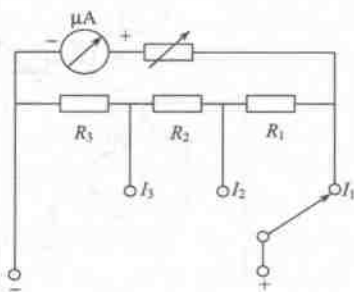


图 2.1 多量程直流电流表原理图

3) 交流电压的测量电路

磁电式微安表不能直接用来测量交流电,必须配以整流电路,把交流变为直流,才能加以测量。测量交流电压的电路是一种整流系电压表。整流电路有半波整流和全波整流电路。

整流电流是脉动直流,流经表头形成的转矩大小是随时变化的。由于表头指针的惯性,它来不及随电流及其产生的转矩而变化,指针的偏转角将正比于转矩或整流电流在一个周期内的平均值。

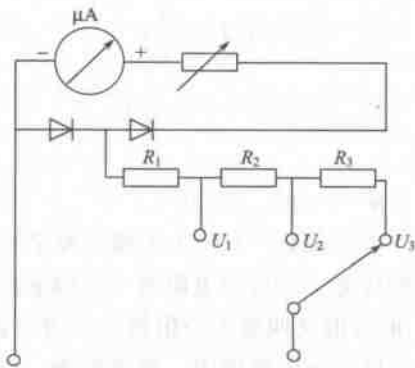


图 2.3 半波整流多量程交流电压表

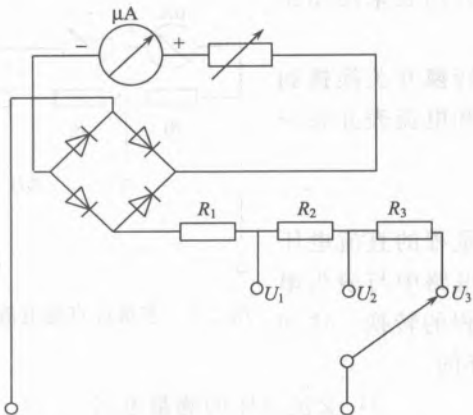


图 2.4 全波整流多量程交流电压表

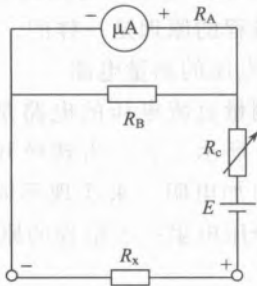


图 2.5 欧姆表测量电阻原理

$$R_z = R_c + \frac{R_A \cdot R_B}{R_A + R_B} + r_o$$

式中： R_c ——限流电阻；

R_A ——表头内阻；

R_B ——分流电阻；

r_o ——干电池内阻。

去掉短路，在“+”、“-”间接上被测电阻 R_x ，则电流下降为 I' ，此时

$$I' = \frac{E}{R_z + R_x} = \frac{IR_z}{R_z + R_x} = \frac{R_z}{R_z + R_x} I \quad (I \text{ 为满偏转电流})$$

当 $R_x = 0$ 时， $I' = I$

$$R_x = R_z \text{ 时，} I' = \frac{1}{2} I$$

$$R_x = 2R_z \text{ 时，} I' = \frac{1}{3} I$$

...

$$R_x = \infty \text{ 时，} I' = 0$$

由上可知， I' 的大小即反映了 R_x 的大小，两者的关系是非线性的，欧姆标度为不等分的倒标度。当被测电阻等于欧姆表综合内阻时（即 $R_x = R_z$ ），指针指在表盘中心位置。所以 R_z 的数值又叫做中心阻值，称为欧姆中心值。由于欧姆表的分度是不均匀的，在靠近欧姆中心值的一段范围内，分度较细，读数较准确，当 R_x 的值与 R_z 较接近时，被测电阻值的相对误差较小。对于不同阻值的 R_x 值，应选择不同量程，使 R_x 与 R_z 值相接近。

欧姆测量电路量程的变换，实际上就是 R_z 和满偏电流 I 的变换。一般万用表中的欧姆量程有 $R \times 1$ 、 $R \times 10$ 、 $R \times 100$ 、 $R \times 1k$ 、 $R \times 10k$ 等，其中 $R \times 1$ 量程的 R_x 值，可以从欧姆标度上直接读得。

在多量程欧姆测量电路中，当量程改变时，保持电源电压 E 不变，改变测量电路的分流电阻，虽然被测电阻 R_x 变大了，而通过表头的电流仍保持不变，同一指针位置所表示的

电阻值相应变大。被测电阻的阻值应等于标度尺上的读数，乘以所用电阻量程的倍率，如图 2.6 所示。

电源于电池 E ，在使用中其内阻和电压都会发生变化，并使 R_x 值和 I 改变。 I 与电源电压成正比。为弥补电源电压变化引起的测量误差，在电路中设置调节电位器 W 。在使用欧姆量程时，应先将表笔短接，调节电位器 W ，使指针满偏，指示在电阻值的零位。即进行“调零”后，再测量电阻值。

在 $R \times 10k$ 量程上，由于 R_x 很大， I 很小，当 I 小于微安表的本身额定值，就无法进行测量。因此在 $R \times 10k$ 量程，一般采用提高电源电压的方法来实现扩大其量程，如图 2.7 所示。图 2.8 所示为 MF-47 型万用表的原理电路图。

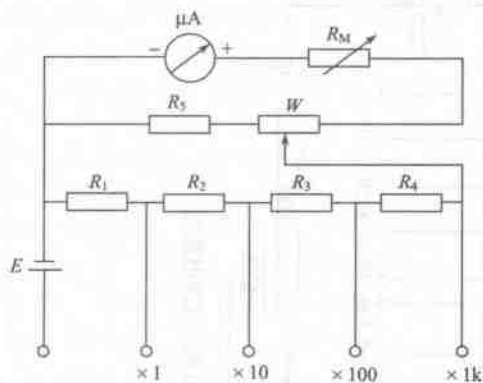


图 2.6 多量程欧姆表原理图

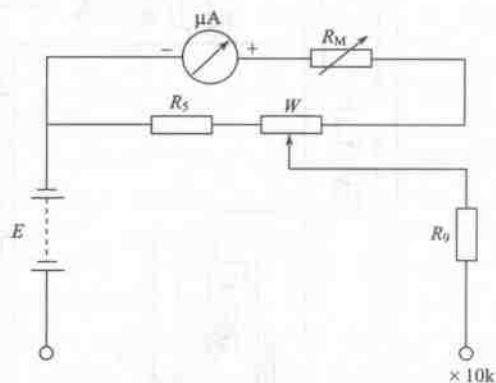


图 2.7 提高电源电压测量高阻值电阻

4. 正确使用方法

万用表的类型较多，面板上的旋钮、开关的布局也有所不同。所以在使用万用表之前必须仔细了解和熟悉各部件的作用，认真分清表盘上各条标度所对应的量，详细阅读使用说明书。万用表的正确使用应注意以下几点：

(1) 万用表在使用之前应检查表针是否在零位上，如不在零位上，可用小螺丝刀调节表盖上的调零器，进行“机械调零”，使表针指在零位。

(2) 万用表面板上的插孔都有极性标记，测直流时，注意正负极性。用欧姆挡判别二极管极性时，注意“+”插孔是接表内电池的负极，而“-”插孔是接表内电池正极。

(3) 量程转换开关必须拨在需测挡位置，不能拨错。如在测量电压时，误拨在电流或电阻挡，将会损坏表头。

(4) 在测量电流或电压时，如果对被测电流电压大小心中无数，应先拨到最大量程上试测，防止表针打坏。然后再拨到合适量程上测量，以减小测量误差。注意不可带电转换量程开关。

(5) 在测量直流电压、电流时，正负端应与被测的电压、电流的正负端相接。测电流时，要把电路断开，将表串接在电路中。

(6) 测量高压或大电流时，要注意人身安全。测试表笔要插在相应的插孔里，量程开关拨到相应的量程位置上。测量前还要将万用表架在绝缘支架上，被测电路切断电源，电路中



有大电容的应将电容短路放电，将表笔固定接好在被测电路上，然后再接通电源测量。注意不能带电拨动转换开关。

(7) 测量交流电压、电流时，注意必须是正弦交流电压、电流，其频率也不能超过说明书上的规定。

(8) 测量电阻时，首先要选择适当的倍率挡，然后将表笔短路，调节“调零”旋钮，使表针指零，以确保测量的准确性。如“调零”电位器不能将表针调到零位，说明电池电压不足，需更换新电池，或者内部接触不良需修理。不能带电测电阻，以免损坏万用表。在测大阻值电阻时，不要用双手分别接触电阻两端，防止人体电阻并联上去造成测量误差。每换一次量程，都要重新调零。不能用欧姆挡直接测量微安表表头、检流计、标准电池等仪器、仪表的内阻。

(9) 在表盘上有多条标度尺，要根据不同的被测量去读数。测量直流量时，读“DC”或“—”那条标度尺，测交流量时读“AC”或“~”标度尺，标有“ Ω ”的标度尺为测量电阻时使用。

(10) 每次测量完毕，将转换开关拨到交流电压最高挡，防止他人误用而损坏万用表。也可防止转换开关误拨在欧姆挡时，表笔短接而使表内电池长期耗电。

万用表长期不用时，应取出电池，防止电池漏液腐蚀和损坏万用表内零件。

2.1.2 数字万用表

1. 特点

数字万用表是采用集成电路模/数转换器和液晶显示器组成的，它将被测量的数值直接以数字形式显示出来的一种电子测量仪表。

数字万用表主要特点：

- (1) 数字显示，直观准确，无视觉误差，并具有极性自动显示功能。
- (2) 测量精度和分辨率都很高。
- (3) 输入阻抗高，对被测电路影响小。
- (4) 电路的集成度高，便于组装和维修，使数字万用表的使用更为可靠和耐久。
- (5) 保护功能齐全，有过电压、过电流保护，过载保护和超量程输入显示功能。
- (6) 功耗低，抗干扰能力强，在磁场环境下能正常工作。

2. 组成与工作原理

数字万用表是在直流数字电压表的基础上扩展而成的。为了能测量交流电压、电流、电阻、电容、二极管正向压降、晶体管放大系数等电量，必须增加相应的转换器，将被测电量转换成直流电压信号，再由 A/D 转换器转换成数字量，并以数字形式显示出来。数字万用表的基本结构如图 2.9 所示。它由功能转换器、A/D 转换 LED 显示器（液晶显示器）、电源和功能/量程转换开关等构成。

常用的数字万用表显示数字位数有三位、四位半和五位半之分。对应的数字显示最大值分别为 1 999、19 999、199 999，并由此构成不同型号的数字万用表。

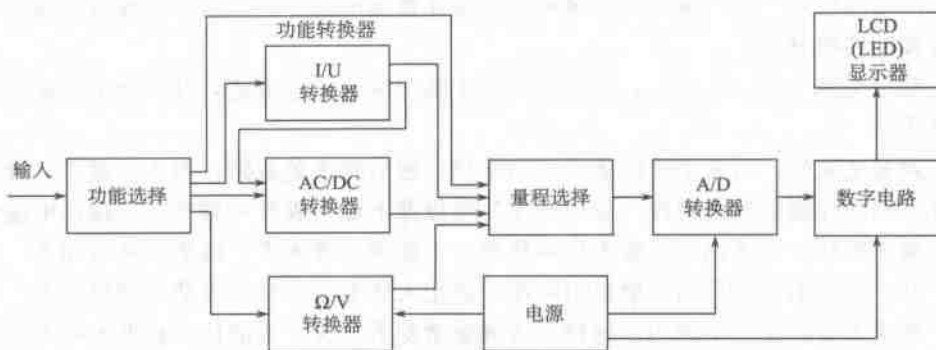


图 2.9 数字万用表的基本结构

3. 数字万用表的使用方法

1) DT890D 型数字万用表

DT890D 型数字万用表是一种性能稳定, 高可靠性数字万用表, 仪表采用 23mm 字高 LED 显示器, 读数清晰, 是实验室的理想测量工具。DT890D 型数字万用表可用来测量直流电压、交流电压、直流电流、交流电流、电阻、电容、三极管、二极管及通断测试, 自动断电功能, 整机采用了一个能直接驱动 LED 的 4 位微处理器和双积分 A/D 转换集成电路。

2) 面板操作说明 (见图 2.10)

- (1) 液晶显示器: 显示仪器测量的数据及单位。
- (2) 电源开关。
- (3) 旋钮开关: 用于改变测量功能及量程。
- (4) hFE 测试插座: 用于测量晶体三极管放大倍数的数值大小。
- (5) 电容测量插座。
- (6) 电压、电阻、测量插座。
- (7) 公共地。
- (8) 小于 200mA 电流测试。
- (9) 20A 电流测试插座。

3) 直流电压测量

- (1) 将黑表笔插入“COM”插孔, 红表笔插入“V/Ω”插孔。
- (2) 将功能开关转至“DCV”量程范围。并将测试表笔接触测试点, 红表笔所接的该点电压与极性将同时显示在屏幕上。

注意: a. 如果不知被测电压范围, 将功能开关置于最大量程并逐渐下降。

b. 如果显示器只显示“1”, 表示过量程, 功能开关应置于更高量程。

c. △表示不要输入高于 1000V 的电压, 显示更高的电压值是可能的, 但有损坏线路的危险。

d. 当测量高电压时要格外注意避免触电。

4) 交流电压测量

- (1) 将黑表笔插入“COM”插孔, 红表笔插入“V/Ω”插孔。

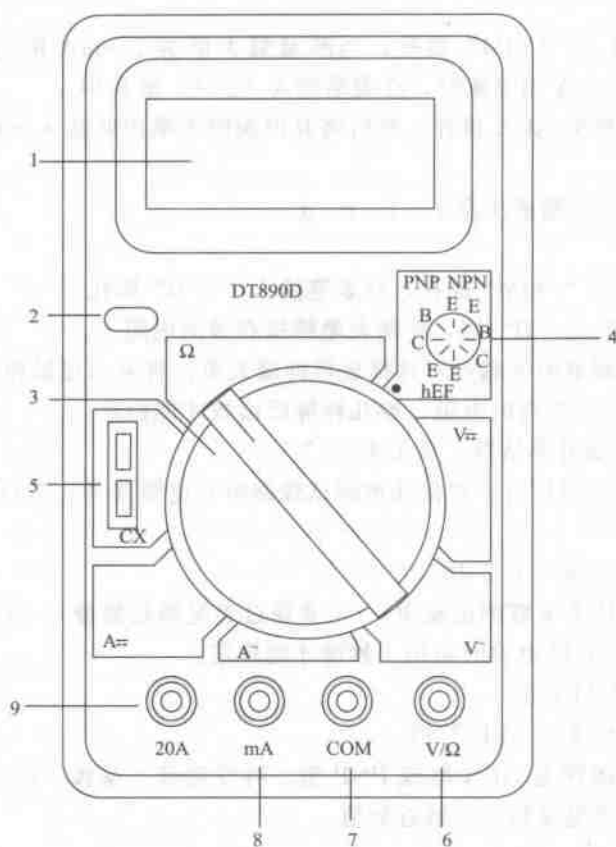


图 2.10 数字万用表面板操作图

(2) 将功能开关转至“ACV”量程范围，并将测试表笔连接到测试负载的两端，表笔所接的两点电压显示在屏幕上。

注意：参看直流电压测量注意 a、b。

△表示不要输入高于 700V 有效值的电压，显示更高的电压值是可能的，但有损坏线路的危险。

5) 直流电流测量

(1) 将黑表笔插入“COM”插孔，当测量最大值为 200mA 的电流时，红表笔插入“mA”当测量大于 200mA 的电流时，红表笔插入“20A”插孔中。

(2) 将功能开关转至 DCA 量程，然后将万用表的表笔串联接入被测电路中，被测电流值及红表笔所测点的电流极性将同时显示在屏幕上。

注意：a. 如果使用前不知被测电流范围，将功能开关置于最大量程并逐渐下降。

b. 如果显示器只显示“1”，表示过量程，功能开关应置于更高量程。

c. △表示最大输入电流为 200mA 或 20A 取决于所使用的插孔，过量的电流将烧坏熔丝。应再更换，20A 量程无熔丝保护。

d. 最大测试压降为 200mV。

6) 交流电流测量

(1) 将黑表笔插入“COM”插孔,当测量最大值为 200mA 的电流时,红表笔插入“mA”当测量大于 200mA 的电流时,红表笔插入“20A”插孔中。

(2) 将功能开关转至 ACA 量程,然后将万用表的表笔串联接入被测电路中,被测电流值将显示在屏幕上。

注意:参看直流电压测量注意 a、b、c、d。

7) 电阻测量

(1) 将黑表笔插入“COM”插孔,红表笔插入“V/ Ω ”插孔。

(2) 将功能开关转至“ Ω ”挡,将两表笔跨接在被测电阻上。

注意:a. 如果被测电阻值超过所选择量程的最大值,将显示过量程“1”,应选择更高的量程,对于大于 1M Ω 或更高的电阻,要几秒钟后读数才能稳定。

b. 当无输入时,如开路情况,显示为“1”。

c. 当检查内部线路阻抗时,要保证被测试线路所有电源移开,所有电容放电。

8) 电容测量

(1) 将功能开关转至“ $\text{--}\text{||}\text{--}$ ”挡。

(2) 将被测电容插入电容测试座中,(不要通过表笔插孔测量)。将显示电容容量。

(3) 测量大于 40 μF 的电容时需用 5 秒钟才能稳定。

9) 测量三极管的 hFE 值

(1) 将功能开关转至“hFE”挡。

(2) 决定所测晶体管为 NPN 型或 PNP 型,将发射极、基极、集电极分别插入相应插孔,显示器显示三极管电流放大倍数近似值。

10) 二极管测试

(1) 黑表笔插入“COM”插孔,红表笔插入“V/ Ω ”插孔(注意红表笔极性为“+”)。

(2) 将功能开关转至“ $\text{--}\text{||}\text{--}$ ”挡。

(3) 正向测量:将红表笔接到被测二极管正极,黑表笔接到二极管负极,显示器显示为二极管的正向压降的近似值。

注意:请勿在二极管挡输入电压。

11) 通断测试

(1) 将黑表笔插入“COM”插孔,红表笔插入“V/ Ω ”插孔。

(2) 将功能开关转至“ $\text{--}\text{||}\text{--}$ ”挡。

(3) 将红表笔连接到待测线路的两点,如果电阻值低于约 50 Ω ,则内置蜂鸣器发声。

12) 自动断电

当万用表停止使用 15 分钟后,便自动断电,然后进入睡眠状态,断电前 1 分钟内置蜂鸣器会发出 5 声提示;若要重新启动电源,按任意键,就可重新接通电源。

2.2 直流稳压电源

直流稳压电源是将交流电转变为稳定的、输出功率符合要求的直流电的设备。各种电子电路都需要直流电源供电,所以直流稳压电源是各种电子电路或仪器不可缺少的组成部分。

1. 直流稳压电源的组成及工作原理

直流稳压电源通常由电源变压器、整流电路、滤波电路和稳压电路四部分组成，其原理框图如图 2.11 所示。各部分的作用及工作原理是：



图 2.11 直流稳压电源组成框图

- 1) 电源变压器：将交流市电（ $\sim 220\text{V}$ ）变换为符合整流需要的数值。
- 2) 整流电路：将交流电压变换为单向脉动直流电压。整流是利用二极管的单向导电性来实现的。
- 3) 滤波电路：将脉动直流电压中交流分量滤去，形成平滑的直流电压。滤波可利用电容、电感或电阻—电容来实现。
- 4) 稳压电路：其作用是当交流电网电压波动或负载变化时，保证输出直流电压稳定。简单的稳压电路可采用稳压管来实现，在稳压性能要求高的场合，可采用串联反馈式稳压电路（它包括基准电压、取样电路、放大电路和调整管等组成部分）。

2. YX1715A 型稳压电源

YX1715A 型稳压电源是一种具有三路输出的直流稳压电路，如表 2.2 所示。I、II 两路都具有恒压、恒流功能（CV/CC）且这两种模式可随负载变化而进行自动转换。并具有串联主从工作功能，I 路为主路，II 路为从路，在跟踪状态下，从路的输出电压随主路的变化而变化，这对于需要对称且可调双极性电源的场合特别适用。I、II 二路每一路均可输出 $0\sim 32\text{V}$ 、 $0\sim 3\text{A}$ 直流电源。每一路输出有一块高品质数字电压表指示输出参数，使用方便，能有效防止误操作造成仪器损坏。

表 2.2 YX1715A 型稳压电源的性能指标

型号	I、II 路 输出电压	III 路 输出电压	I、II 路 输出电流	III 路 输出电流
YX1715A	$0\sim 32\text{V}$	5V	$0\sim 3\text{A}$	2A

III 路为固定 5V 、 $0\sim 2\text{A}$ 直流电源，供 TTL 电路实验，单板机、单片机电源，安全可靠。

- 1) 面板说明（如图 2.12 所示）
 - 电压表（V）：指示输出电压。
 - 电流表（A）：指示输出电流。
 - 电压调节（VOLTS）：调整恒压输出值。
 - 电流调节（CURRENT）：调整恒流输出值。

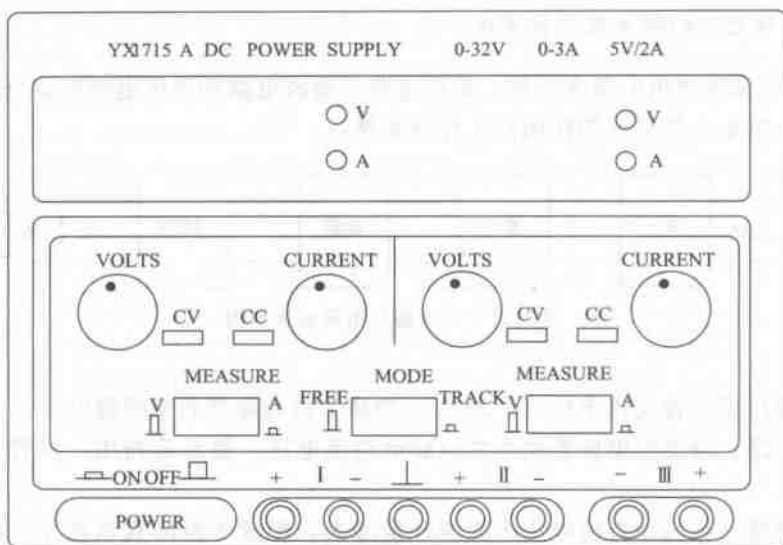


图 2.12 YX1715A 系列稳压电源面板图

跟踪工作 (TRACK): 串联跟踪工作按钮 (MODE) 按下时, 为跟踪工作状态。

独立 (FREE): 串联跟踪工作按钮 (MODE) 弹出时, 为独立工作状态。

接地端 (⏏): 机壳接地接线柱。

Ⅲ路输出: 固定 5V 输出。

2) 使用方法

(1) 面板上根据功能色块分布, I 区内的 MEASURE 按键为 I 路仪表指示功能选择。按入时, 指示该路输出电流, 弹出时指示该路输出电压, II 路和 I 路相同。

(2) 中间 MODE 按键是跟踪/独立选择开关。按入时, 在 I 路输出负端至 II 路输出正端加一短接线, 开启电源后, 整机即工作在主—从跟踪状态。

(3) 恒定电压的调节在输出端开路时调节, 恒定电流的调节在输出端短路时调节。

(4) 本仪器电源输入为三线, 机壳接地, 以保证安全及减小输出纹波、接地电位差造成的杂波干扰及 50Hz 干扰。

(5) Ⅲ路输出为固定 +5V。

(6) I、II 两路输出为悬浮式, 用户可根据自己的使用情况将输出接入自己系统的地电位。

(7) 串联工作或串联主从跟踪工作时, 两路的四个输出端子原则上只允许有一个端子与机壳地直连。

2.3 函数信号发生器

函数信号发生器是一种能够产生多种波形的信号发生器。它的输出可以是正弦波、方波或三角波, 输出电压的大小和频率都可以方便地调节, 所以它是一种用途广泛的通用仪器。

2.3.1 函数信号发生器的组成及工作原理

函数发生器常用电路的组成框图如图 2.13 所示。它主要由正负电流源、电流开关、时基电容、方波形成电路、正弦波形成电路和放大电路等部分组成。它的工作原理简要说明如下：正电流源、负电流源由电流开关控制，对时基电容 C 进行恒流充电和恒流放电。当恒流充电时，电容上电压随时间线性增长 $\left(u_c = \frac{Q}{C} = \int_0^t i dt / C = \frac{It}{C}\right)$ ，当电容恒流放电时，其上电压随时间线性下降。因此，在电容两端得到三角波电压。三角波电压经方波形成电路得到方波，三角波经正弦波形成电路转变为正弦波。最后，经放大电路放大后输出。

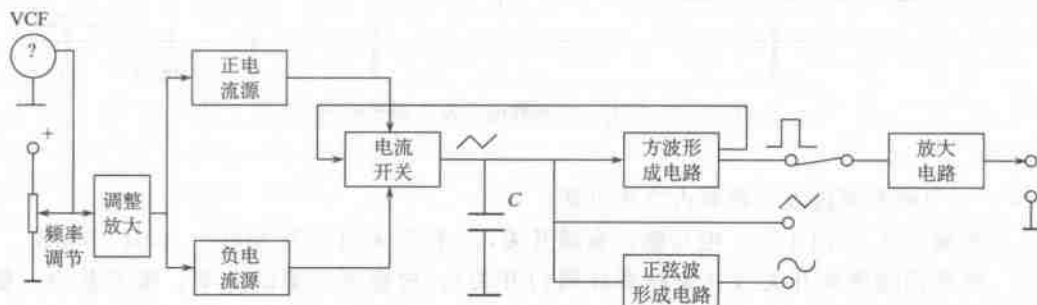


图 2.13 函数发生器组成框图

2.3.2 LM1620 函数信号发生器

LM1620 函数信号发生器，能产生正弦波、方波、三角波、脉冲波、锯齿波等波形，频率范围宽，最高可达 2MHz，具有直流电平调节、占空比调节、VCF（压控调频）功能，具有 TTL 电平输出、单次脉冲输出、数字显示和频率计显示，频率计可外测，该系列具有优良的幅频特性，方波上升 $\leq 50\text{ns}$ 。

1. 面板操作键作用说明（如图 2.14 所示）

(1) 电源开关 (POWER)：将电源开关键弹出即为“关”位置，将电源线接入，按电源开关，以接通电源。

(2) LED 显示窗口：此窗口指示输入信号的频率，当“外测”开关按入，显示外测信号的频率。

(3) 频率调节旋钮 (FREQUENCY)：调节此旋钮改变输出信号频率，顺时针旋转，频率增大，逆时针旋转，频率减小，右边的微调旋钮可以微调频率。

(4) 占空比调节 (DUTY)：当开关按入时，占空比指示灯亮，调节占空比旋钮，可改变波形的占空比。当开关弹出时，占空比为 50%。

(5) 波形选择开关 (WAVE FORM)：波形选择。

~：正弦波

⌋：方波和脉冲波（具有占空比可变）

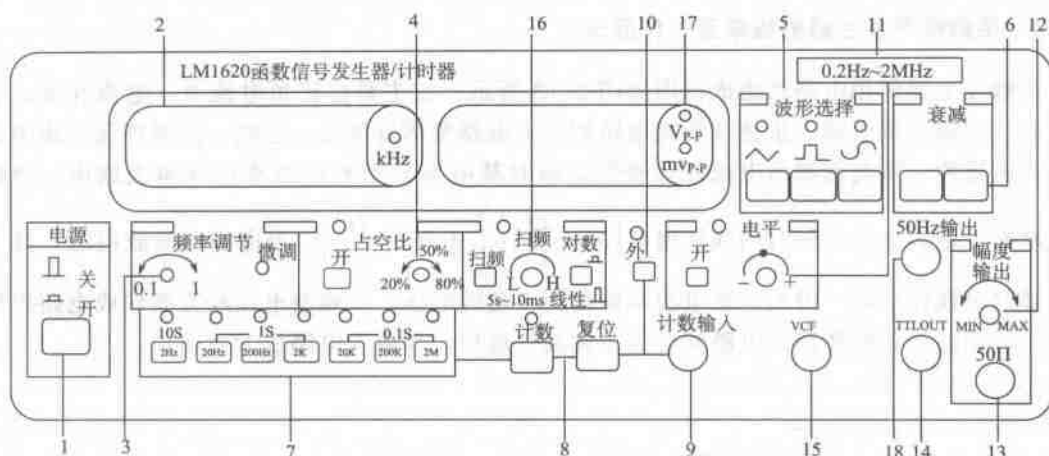


图 2.14 LM1620 函数信号发生器面板图

△：三角波和锯齿波（具有占空比可变）

(6) 衰减开关 (ATTE)：电压输出衰减开关，二挡开关组合为 20dB、40dB、60dB。

(7) 频率范围选择开关（并兼频率计闸门开关）：根据所需要的频率，按下其中一键，频率可从 2Hz~20MHz，分 8 挡选择。

幅度调节旋钮 (AMPLITUDE)：顺时针调节旋钮，增大电压输出幅度。逆时针调节此旋钮可减小电压输出幅度。

(8) 计数、复位开关：按计数键，LED 显示开始计数，按复位键，LED 显示全为 0。

(9) 计数/频率端口：计数、外测频率输入端口。

(10) 外测开关：此开关按入 LED 显示窗显示外测信号频率或计数值。

(11) 电平调节：按入电平调节开关，电平指示灯亮，此时调节电平调节旋钮，可改变直流偏置电平。

(12) 幅度调节旋钮 (AMPLITUDE)：顺时针调节此旋钮，增大电压输出幅度。逆时针调节此旋钮可减少电压输出幅度。

(13) 电压输出端口 (VOLTAGE OUT)：电压输出由此端口输出。

(14) TTL 电平输出端口：只有 TTL 电平输出端，幅度 3.5V_{P-P}。

(15) VCF：压控调频控制电压输入端。

(16) 扫频：按入扫频开关，电压输出端输出信号为扫频信号，调节速率旋钮，可改变扫频速率，改变线性/对数开关产生线性扫频和对数扫频。

(17) 电压输出指示：3 位 LED 显示输出电压值，输出接 50Ω 负载时应将读数 ÷ 2。

(18) 50Hz 正弦波：由交流 OUTPUT 输出端输出 50Hz 约 2V_{P-P} 的正弦波。

2. 基本操作方法

打开电源开关之前，首先检查输入的电压，将电源线插入后面板上的电源插孔，如下表 2.3 所示设定各个控制键。

表 2.3 各个控制键的位置

电源 (POWER)	电源开关弹出
衰减开关 (ATTE)	弹出
外测频 (COUNTER)	外测频开关弹出
电平	电平开关弹出
扫频	扫频开关弹出
占空比	占空比开关弹出

所有的控制键如表 2.3 设定后, 打开电源。函数信号发生器默认 10k 挡正弦波, LED 显示窗口显示本输出信号频率。

1) 将电压输出信号由幅度 (VOLTAGE OUT) 端口通过连接线送入示波器 Y 输入端口。

2) 三角波、方波、正弦波产生的方法

(1) 将波形选择开关 (WAVE FORM) 分别按下正弦波、方波、三角波。此时示波器屏幕上分别显示正弦波、方波、三角波。

(2) 幅度 (AMPLITUDE) 顺时针转至最大, 示波器显示的波形幅度将 $\geq 20V_{P-P}$ 。

(3) 将电平开关按入, 顺时针旋转电平至最大, 示波器波形向上移动, 逆时针旋转, 示波器波形向下移动, 最大变化量 $\pm 10V$ 或 $\pm 5V(50\Omega)$ 时被限幅。

(4) 按下衰减开关, 输出波形将被衰减。

(5) 改变频率选择开关, 示波器显示的波形以及 LED 窗口显示的频率将发生明显变化。

3) 斜波产生的方法

(1) 波形开关置“三角波”。

(2) 占空比开关按入指示灯亮。

(3) 调节占空比, 三角波将变成波。

4) 外测频率

(1) 按入外测开关, 外测频指示灯亮。

(2) 将外测信号由计数/频率输入端输入。

(3) 选择适当的频率范围, 由高量程向低量程选择合适的有效值, 确保测量精度 (注意: 当有溢出指示时, 请提高一档量程)。

5) TTL 输出

(1) TTL 端口接示波器 Y 轴输入端 (DC 输入)。

(2) 示波器将显示方波或脉冲波, 该输出端可作 TTL 数字电路实验时钟信号源。

6) VCF (压控调频)

由 VCF 输入端口输入 0~5V 的调频信号。此时, 幅度输出端口输出为压控信号。

7) 扫频 (SCAN)

(1) 按入扫频开关, 此时幅度输出端口输出的信号为扫频信号。

(2) 线性/对数开关, 在扫频状态下弹出时为线性扫频, 按入时为对数扫频。

(3) 调节扫频旋钮, 可改变扫频速率, 顺时针调节, 增大扫频速率, 逆时针调节, 减慢扫频速率。

2.4 交流毫伏表

交流毫伏表是一种用于测量正弦交流电压有效值的电子仪器。它的优点是输入阻抗高，灵敏度高以及可以适用的频率高，在生产、科研、实验室都得到非常普遍的应用。按其适用的频率范围，大致可以分为高频（超高频）毫伏表和低频毫伏表两类。

一般交流毫伏表为模拟指针式电子电压表。它通常用磁电系电流表作为指示器。由于磁电系电流表只能测量直流电流，且灵敏度远远不能适应电子技术中对高输入阻抗及微弱电压测量的要求，因此要利用各种形式的电子变换器，把被测的交流信号变换成直流信号，把输入微弱电压变换成能用磁电系电流表进行测量的低输入阻抗的电流。

现简单介绍 LM2193 交流毫伏表，LM2193 交流毫伏表是高精度单指针电表，该交流毫伏表具有测量电压的频率范围宽，测量电压灵敏度高、本机噪声小、测量误差小等特点。LM2193 交流毫伏表采用先进的数码量程开关及先进的智能化集成电路，并且设计了挡位指示功能，永无打滑错位之虑，使整机操作更方便、安全，测量更精确、可靠。

1. LM2193 型交流毫伏表面板操作说明（面板如图 2.15 所示）。

- 1) 电源开关
- 2) 量程调节旋钮
- 3) 输入电压旋钮
- 4) 输出电压旋钮

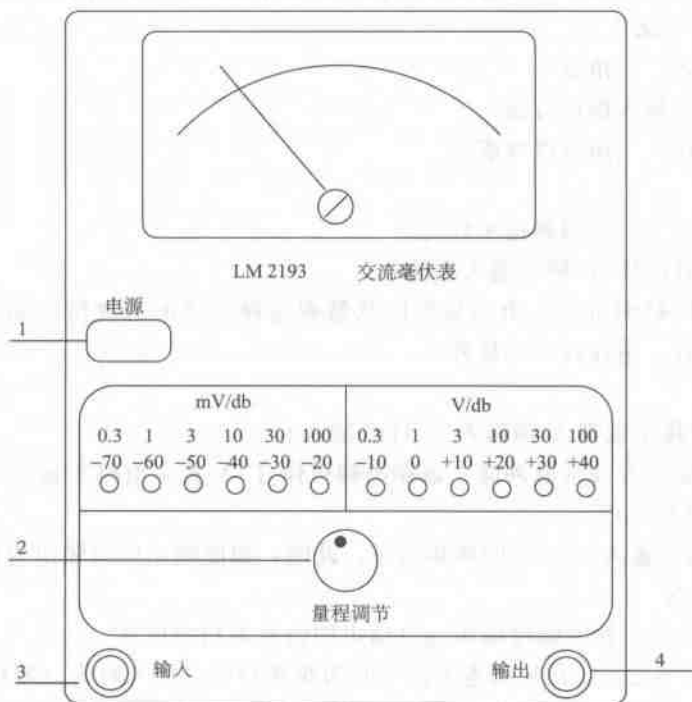


图 2.15 LM2193 型交流毫伏表面板图

2. 技术指标

- (1) 通道：单通道
- (2) 刻度值：正弦波有效值 $1\text{V}=0\text{dB}$ 值
- (3) 电压量程：12级 $30\mu\text{V}\sim 100\text{V}$
- (4) 分贝量程： $-70\text{dB}\sim +40\text{dB}$
- (5) 电压误差：1kHz 为基准 满度 $\leq \pm 3\%$
- (6) 频率响应： $20\text{Hz}\sim 200\text{kHz} \leq \pm 3\%$ ， $5\text{Hz}\sim 20\text{Hz}$ $200\text{kHz}\sim 2\text{MHz} \leq \pm 10\%$
- (7) 输入阻抗： $2\text{M}\Omega$
- (8) 输入电容： 20pF
- (9) 最大输入电压 (DC+ACp-p)： 300V $100\mu\text{V}\sim 1\text{V}$ 量程， 900V $3\text{V}\sim 300\text{V}$ 量程
- (10) 输出电压： $0.1\text{V} \pm 10\%$ 1kHz
- (11) 输出电压频响： $5\text{Hz}\sim 2\text{MHz} \pm 3\%$ 参照 1kHz 无负载
- (12) 电源电压： $\sim 200\text{V}$ 50Hz

3. 使用方法

- (1) 将交流毫伏表平稳地放在合适的位置上，然后在未接通电源的情况下，对毫伏表进行机械调零，即调节表头上的机械零位调整器，使表头指针对准零位。
- (2) 将“测量范围”开关放在最大量程挡 100V ，接通电源，预热 15 分钟。
- (3) 连接测量线路。接线时，先接地线，再接信号线；拆线时，先拆信号线，再拆接地线，在使用灵敏度较高的挡位 (mV 挡) 时，应先把量程开关置于灵敏度低的挡位 (V 挡)，再按上述方法拆线。为了减少外部感应电压的影响，测量线应尽可能短，最好使用屏蔽电缆。
- (4) 读数的方法：根据量程开关的位置，按对应的刻度读数。
- (5) 用完后，应将“量程开关”放到最大量程挡，然后再关掉电源。

4. 使用注意事项

- (1) 交流毫伏表测量范围为 $30\mu\text{V}\sim 100\text{V}$ ，使用时不要超过此范围。
- (2) 应注意正确选择量程。
- (3) 由于电压表灵敏度较高，使用时接地点必须良好，与其他仪器一同使用时应正确共地。共地点接触不良或不正确都会影响测量效果。

2.5 CS-4025 双踪示波器

示波器是一种能直接观察和真实显示被测信号的综合性电子测量仪器。它不仅能定性观察电路的动态过程，例如观察电压、电流或经过转换的非电量等的变化过程，还可以定量测量各种电参数，如被测信号的幅度、周期和频率等。所以它是电子实验和电子实习中必不可少的重要测量仪器。

示波器按用途分为通用示波器和专用示波器；按其信号通道分为单踪、双踪、四踪、八踪示波器；按其余辉时间分为长余辉、中余辉、短余辉示波器。

2.5.1 示波器的工作原理

示波器主要由 Y 轴（垂直）放大器、X 轴（水平）放大器、触发脉冲发生器、扫描发生器、示波管及电源组成，图 2.16 所示为示波器的基本电路框图。

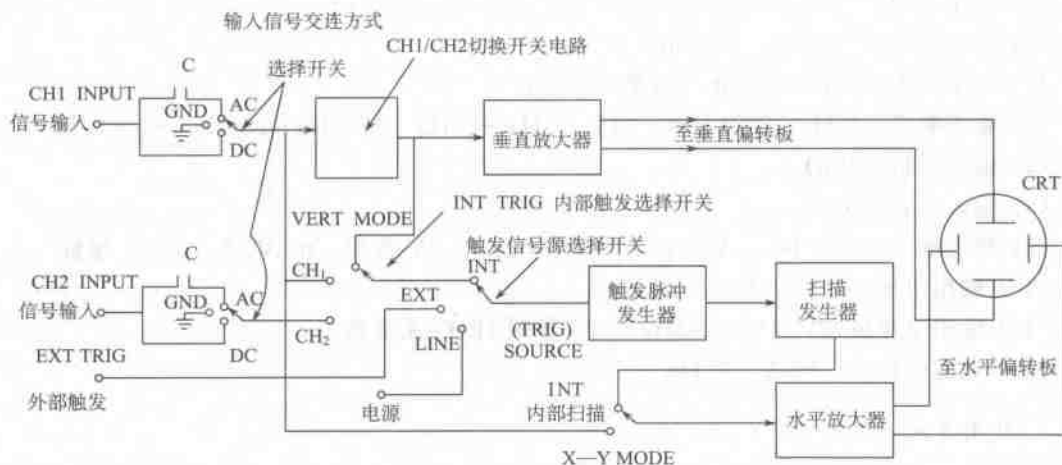


图 2.16 示波器的基本电路框图

待测信号由 CH1 INPUT（或 CH2 INPUT）信号输入端输入后，如果输入信号连接方式选择开关放在 AC，输入信号经电容器隔离直流信号，保留交流信号，经 CH1/CH2 切换开关电路到垂直放大器；如果输入信号连接方式选择开关放在 DC，输入信号直接经过 CH1/CH2 切换开关电路进入垂直放大器，可将微小的信号放大，以控制 CRT（高灵敏度示波管）垂直偏向极的电压；如果输入信号连接方式选择开关放在 GND，CRT 的垂直偏向极电压为零，可以校正直流电压。倘若要同时观察两个信号，那么两个信号分别由 CH1 INPUT 和 CH2 INPUT 信号输入端输入，经输入信号连接方式选择开关到 CH1/CH2 切换开关电路，使用交替（ALT）或分段（CHOP）切换 CH1 和 CH2 的输入信号，再由垂直放大器控制 CRT 垂直偏向极的电压。

当 SOURCE（触发源选择开关）放在 CH1（或 CH2），CH1、CH2 信号经触发脉冲发生器、扫描发生器后产生一锯齿波，由水平放大器放大后，加在 CRT 的水平偏向极。这样就可在此 CRT 上显示出待测信号的波形。如果 SOURCE 选择开关放在 VERT、CH1 和 CH2 信号交替作为信号触发源，可用来同时观察 CH1 和 CH2 两个输入信号波形。

如果 SOURCE 选择开关放在 EXT，就把从外部触发 EXT. TRIG 端输入信号作为触发源；如果 SOURCE 选择开关放在 LINE，直接以电源作为触发源。

当示波器 MODE 开关放在 X-Y 时，只有 CH1 INPUT 的输入信号经垂直放大器放大后，连接到 CRT 的垂直偏向极，CH2 INPUT 输入信号由水平放大器放大后，加在 CRT 的水平偏向极上。这样，在 CRT 上显示的图形表示 CH2（X 轴）和 CH1（Y 轴）信号的对应关系。

各种示波器上的开关、旋钮的标志可能稍有不同，但其基本原理和调节方法是一样的，现以键伍 CS-4025 双踪示波器为例说明示波器的使用（面板图如图 2.17 所示）。

续表

序号	操作键名称	功能
10	垂直位移调节旋钮 (POSITION Control)	用平调节 CH1 信号波形在荧光屏上的垂直(上、下)位置。X-Y 操作时, 用来调节 Y 轴的位置
11	CH1 衰减开关 (VOLTS/DIV Control)	选择输入待测信号适当的衰减, 以方便荧光屏上波形的观察。VOLTS/DIV 的值表示荧光屏上每一格高度的伏特数。如果用 10:1 的探头测试时, VOLTS/DIV 的值需乘以 10 倍表示每一格高度的伏特数
12	微调控制 (VARIABLE Control)	调节 CH1 的垂直轴灵敏度, 在 VOLTS/DIV 范围内允许连续调节。当 CAL 在最右端位置时, 垂直衰减器被校正。在 X-Y 工作方式时, 此旋钮为 Y 轴增益微调
13	输入信号连接方式选择开关 (AC-CD-GND Switch)	选择 CH1 垂直轴输入信号的耦合方式, 用来选择输入信号与垂直放大器的连接方式, 如果放在 AC, 输入端口串联一电容器以隔绝直流部分, 只显示交流信号; 如果放在 GND, 垂直输入信号接地, 可用来校正直流电压; 如果放在 DC, 输入信号直接进入垂直放大器, 可同时显示直流与交流信号
14	输入端 (INPUT Jack)	CH1 垂直轴输入端。在 X-Y 工作方式时, 它成为 Y 轴输入端
15	平衡控制 (BAL Control)	调节 CH1 DC 平衡。这在示波器出厂时已经调好。当由于房间温度变化引起误差时, 可用螺丝刀调节这个控制钮, 使光迹在旋转 VOLTS/DIV 控制钮时不上、下移动
16	垂直位移调节旋钮 (POSITION Control)	用来调节 CH2 信号波形在荧光屏上的垂直(上、下)位置
17	CH2 衰减开关 (VOLTS/DIV Control)	CH2 的垂直衰减器。操作方法与 CH1 的 VOLTS/DIV 控制钮相同
18	微调控制 (VARIABLE Control)	调节 CH2 的垂直轴灵敏度。操作方法与 CH1 的 VARIABLE 控制钮相同
19	输入信号连接方式选择开关 (AC-CD-GND Switch)	选择 CH2 垂直轴输入信号耦合方式。操作方法与 CH1 的 AC-CD-GND Switch 开关相同
20	输入端 (INPUT Jack)	CH2 垂直轴输入端。在 X-Y 工作方式时, 它成为 X 轴输入端
21	平衡控制 (BAL Control)	调节 CH2 DC 平衡。操作方法同 CH1 BAL Control
22	垂直轴显示方式选择开关 (VERT MODE Selector Switch)	CH1 或 CH2: 通道 1 或 2 单独显示 ALT: 两个通道信号交替显示 CHOP: 为双通道工作方式, 分段扫描频率 250kHz, 使 CH1 与 CH2 输入信号分段扫描显示。推荐选择扫描速度为 0.5s/div ADD: 显示 CH1 和 CH2 信号的代数和, 当按下 INV 按钮时, 显示 CH1 和 CH2 信号的差
23	反相关关 (INV Switch)	当这按钮完全按下时, CH2 倒相, 在 ADD 方式时显示 CH1+CH2 或 CH1-CH2 信号

续表

序号	操作键名称	功能
24	触发方式选择开关 (TRIG MODE Selector Switch)	<p>常态 (NORM): 水平电路只有在有信号输入且产生适当触发脉冲时才扫描。不适当触发脉冲, 即使有输入信号, 也不一定会有扫描光迹, 此时应调节触发 LEVEL 和 SLOPE 或提高垂直灵敏度 VOLTS/DIV, 才能显示稳定波形</p> <p>自动 (AUTO): 水平电路自动扫描, 不必外加信号触发, 如果没有信号输入, 屏幕上显示光迹—水平光迹, 有信号输入时, 与电平控制配合显示稳定波形</p>
25	触发耦合选择开关 (COUPLING Selector Switch)	AC: 触发信号通过电容耦合到触发电路。直流分量被消除, 正常波形测量时, 用 AC 耦合
26	触发源选择开关 (SOURCE Selector Switch)	<p>VERT: 触发信号源由 VERT MODE 开关选择, 当 VERT MODE 开关放在 CH1、ALT、CHOP 或 ADD 时, CH1 输入信号为触发信号源。当放在 CH2 时, CH2 输入信号成为触发信号源</p> <p>CH1: 用 CH1 的输入信号触发</p> <p>CH2: 用 CH2 的输入信号触发</p> <p>LINE: 工业用电源电压波形将成为触发信号源</p> <p>EXT: 用接到 EXT, TRIG 连接端的信号作为外触发源</p>
27	触发极性开关 (SLOP Switch)	用来决定波形开始扫描的位置, 按下开关, 扫起始点在波形的下降部分, 弹出开关, 扫起始点在波形的上升部分
28	触发信号电平控制 (TRIGER LEVEL Control)	为了调节触发信号电平, 使触发信号在这一电平上启动扫描。如将旋钮顺时针方向旋转到底, 则扫描电路处于连续扫描工作状态, 屏上难以得到稳定的波形
29	外触发输入端 (EXT. TRIG INPUT Jack)	外接触发信号输入端。当 SOURCE 开关放在 EXT 时, 通过这个端子输入的信号将成为触发信号源
30	水平位移 (POSITION Control)	调节光迹在屏幕上的水平位置
31	扫描时间控制 (SWEEP TIME/DIV. Control)	调节扫描时间, 选择被校正扫描速度 $0.5\mu\text{s}/\text{div} \sim 0.5\text{s}/\text{div}$ 分 19 挡级, 当 VARIABLE 控制钮旋至 CAL 位置时, TIME/DIV 设定值表示荧光屏水平方向每格的时间。如果要测波形的周期或频率, VARIABLE 应转到 CAL 位置, 波形每周期所占水平格数乘以 TIME/DIV 设定值, 即为波开拓的周期
32	水平微调控制 (VARIABLE Control)	<p>在 SWEEP TIME/DIV 范围内用这个旋钮能连续调节扫描时间, 顺时针旋足为校正位置</p> <p>在观察波形时旋转扫描微调旋钮, 使波形在最适合的观察位置</p>
33	扫描扩展开关 (10MAG Switch)	按下时, 扫速时间为 TIME/DIV 的 10 倍, 波形在水平方向放大 10 倍。也就是, 荧光屏水平每格的时间为 TIME/DIV 的 1/10

续表

序号	操作键名称	功能
34	亮度调制输入端 (Z、AXIS INPUT Jack) (在后面板)	此输入端为了调整示波器电子束的强度, 正电压减少强度。也查以调整 TTL 电平的亮度
35	CH1 信号输出端 (CH1 OUTPUT Jack) (在后面板)	CH1 垂直输出端。当耦合开关放在 AC 时, 才能输出。当测量频率时, 可连接计数器。当用计数器测量频率时, 由于干扰不能得到精确的测量。当发生这种情况时, 将 CH1 VOLST/DIV 调到另一值, 或调节 VARIABLE 控制钮

2.5.2 基本操作方法

1. 检查电网电压

本系列示波器电源电压为 $220 \pm 10\%$, 接通电源前, 检查当地电源电压, 如果不相符合, 则严格禁止使用。

2. 基本操作

(1) 显示水平扫描基线: 使用前将有关控制旋钮放在适当位置如表 2.5 所示。此时在屏幕上应出现两条水平扫描基线。

表 2.5 使用前各控制旋钮的位置

控制键名称	位置	控制键名称	位置
MODE (触发方式选择)	AUTO	VOLTS/DIV (衰减开关)	5V/div
COUPLING (耦合方式)	AC	AC-GND-DC (输入耦合选择)	GND
SOURCE (触发源选择)	VERT	POSITION (垂直、水平位移)	居中
VERT MODE (垂直显示方式)	ALT	VARIABLE (垂直、水平微调)	CAL 校正位置
INV (反相)	OFF (弹出)	扫描时间 SWEEP TIME/DIV	0.5ms/div
SLOPE (极性)	+(即弹出)	亮度 (INTENSITY)	居中
TRIGGER LEVEL (触发信号电平)	居中	聚焦 (FOCUS)	居中
$\times 10$ MAG (扩展)	OFF (弹出)		

(2) 用本机校准信号检查: 将 CH1 通道探头接至校正信号 CAL 输出端。将垂直工作方式至于 CH1, 电压灵敏度调至 0.5V/div, 扫描时间调至 2ms/div, 触发源放在 CH1, 此时在屏幕上出现如图 2.18 所示的方波, 如采用 1:1 的探头, 则波形在垂直方向应占 2 格, 水平方向一个周期应占 5 格, 说明示波器工作正常。

3. 测量

1) 交流电压的测量

当只测量被测信号的交流分量时, 可按下列步骤进行:

- (1) 应将输入耦合方式选择开关 AC—GND—DC 放在 AC。
- (2) 选择适当的电压灵敏度 (VOLTS/DIV)，使屏幕上显示的波形幅度适中。
- (3) 调节 Y 轴位移旋钮，使波形显示值便于读取，如图 2.19 所示。

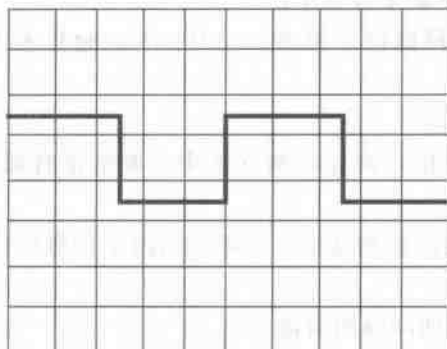


图 2.18 用校正信号检查

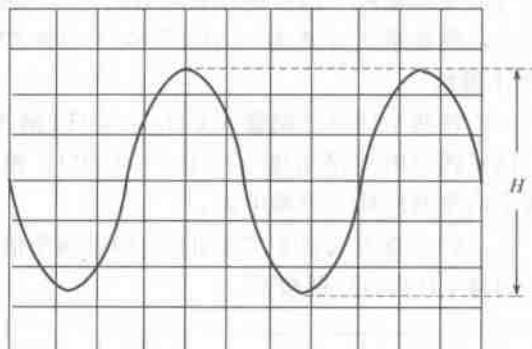


图 2.19 交流电压的测量

- (4) 根据电压灵敏度 (VOLTS/DIV) 指示值和波形在垂直方向的高度 H (DIV)，如果用 1:1 的探头，被测信号的峰-峰电压值 (V_{p-p}) 可由下面公式算出：

$$V_{p-p} = (\text{VOLTS/DIV}) \text{ 的指示值垂直方向的格数 } H$$

- (5) 如果用的探头置于 10:1 位置，则应将该值乘以 10。

2) 直流电压的测量

当需要测量被测信号的直流分量和含直流分量的电压时，可按下列步骤进行：

- (1) 应先将输入耦合方式开关置于 GND 的位置。
- (2) 触发方式选择开关置于 AUTO 位置。
- (3) 调节 Y 轴位移旋钮使扫描基线与某一水平线重合，此水平扫描基线即为零电平基准线。

- (4) 再将输入耦合方式开关置于 DC 位置，调节电压灵敏度 (VOLTS/DIV)，使被测波形显示在屏幕中一个合适的位置上。

- (5) Y 轴微调旋钮旋至 CAL (校正位置)，如图 2.20 所示。

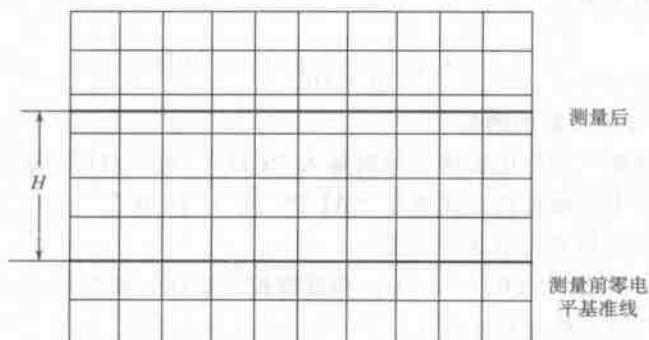


图 2.20 直流电压的测量

(6) 读出被测直流电平偏移电平基准线的格数, 按下列公式计算被测直流电压值:

$$V = (\text{VOLTS/DIV}) \text{ 的指示值} \times \text{垂直方向格数 } H \times \text{偏转方向 (+或-)}$$

3) 两个信号的代数叠加

当需要测量两个信号的代数和或差时, 可根据下列步骤操作:

(1) 设置垂直方式为“ALT”或“CHOP”(根据信号频率), CH2 INV 键常态, 即 CH2 正极性。

(2) 将两个信号分别输入 CH1 和 CH2 输入插座。

(3) 调节电压灵敏度 (VOLTS/DIV), 使两个信号的显示幅度适中, 调节垂直移位, 使两个信号波形处于屏幕中央。

(4) 将垂直方式置于“ADD”, 即得两个信号的代数和显示; 若需观察两个信号的代数差, 则将 CH2 INV 键按下。

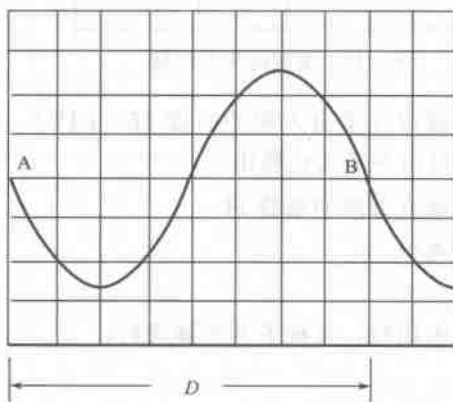


图 2.21 时间间隔的测量

4) 时间间隔的测量

对于一个波形中两点间时间间隔的测量, 可按下列步骤进行:

(1) 将信号馈入 CH1 或 CH2 输入插座, 设置垂直方式为被选通道。

(2) 调整电平使波形稳定显示。

(3) 将扫描微调旋钮顺时针旋至 CAL (校正位置), 调整扫描时间 (SWEEP TIME/DIV), 使屏幕上显示 1~2 个信号周期, 如图 2.21 所示。

(4) 分别调整垂直移位和水平移位, 使波形中需测量的 A、B 两点位于屏幕中央水平刻度线上。

(5) 读出两点之间的水平格数 D , 按下列公式计算出时间间隔

$$\text{时间间隔 } (T) = \text{SWEEP TIME/DIV} \times D$$

5) 周期和频率的测量

在图 2.21 的例子中, 所测得的时间间隔即为该信号的周期 T , 该信号的频率为 $1/T$, 例如 $T = 16\mu\text{s}$, 则频率为:

$$f = 1/T = \frac{1}{16 \times 10^{-6}} = 62.5\text{kHz}$$

6) 两个相关信号时间差的测量

(1) 将参考信号和一个待比较信号分别输入“CH1”和“CH2”输入插座。

(2) 根据信号频率, 将垂直方式置于“ALT”或“CHOP”。

(3) 设置触发源至参考信号那个通道。

(4) 调整电压灵敏度 (VOLTS/DIV) 和微调控制旋钮, 使波形显示合适的幅度。

(5) 调整电平使波形稳定显示。

(6) 将扫描微调旋钮顺时针旋至 CAL (校正位置), 然后调整 SWEEP TIME/DIV 旋钮, 使两个波形测量点之间有一个能方便观察的水平格数 D , 如图 2.22 所示。

例: 图 2.22 中, 扫描时间 SWEEP TIME/DIV 旋钮置于 $10\mu\text{s}/\text{div}$, 测量两点之间的水

平距离 $D=4\text{div}$ ，则：

$$\text{时间差}(t) = 10\mu\text{s}/\text{div} \times 4\text{div} = 40\mu\text{s}$$

7) 测量两个同频率信号的相位差

相位差的测量可参考时间差的测量方法，步骤如下：

(1) 按以上时间差测量方法的步骤(1)至(4)设置有关控制旋钮。

(2) 调整电压灵敏度(VOLTS/DIV)和微控制旋钮，使两个波形的显示幅度一致。

(3) 调整扫描时间旋钮和微调旋钮，使波形的一个周期在屏幕上显示8格，如图2.23所示，这样水平刻度线上 $1\text{DIV}=45^\circ(360^\circ \div 8)$

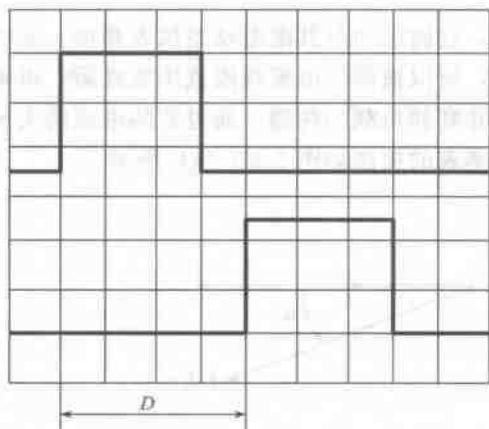


图 2.22 两个相关信号时间差的测量

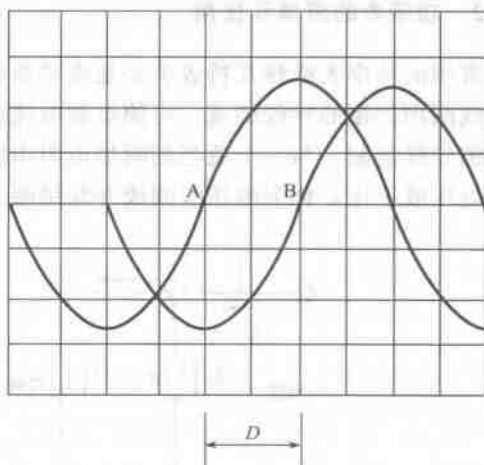


图 2.23 两个同频率信号相位差的测量

(4) 读出两个波形相对位置上的水平距离 D 。

(5) 按下列公式计算出两个信号的相位差。

$$\text{相位差} = 45^\circ/\text{DIV} \times \text{水平距离 } D$$

例：图2.23中，测得两个波形相对位置上的格数 D 为2格，则按公式算出：

$$\text{相位差} = 45^\circ/\text{div} \times 2\text{div} = 90^\circ$$

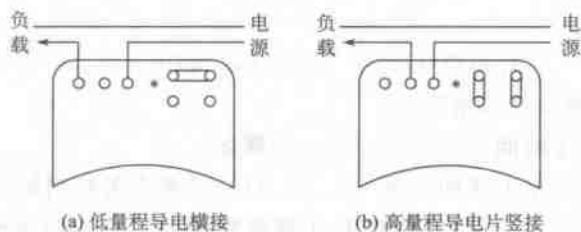
8) X-Y 方式的应用

在某些场合，X轴偏转需外来信号控制，如接外扫描信号，阶梯信号及李沙育图形的观察，或作其他设备的显示装置，都要用到这种方式。此时只要将MODE放在X-Y位置，此时CH1为Y通道，CH2为X通道。

2.6 D26型电表

2.6.1 D26型电表的接线方式

D26型电表如图2.24所示，有电流表D26-mA、电压表D26-V和D26-W三种，分别用来测量交直流电流、电压和功率。

图 2.24 D26- $\frac{\text{mA}}{\text{A}}$ 型电流表接线图

2.6.2 功率表的原理和使用

常用的功率表或称瓦特表大多是电动系仪表，它的结构与其他电动系仪表相似。表中的固定线圈用较粗的导线绕成，可使负载电流通过，所以被称为电流线圈或串联线圈；可动线圈用细导线绕制，与一个适当的附加电阻串联后并联到负载的两端，通过它的电流的大小与负载电压成正比，称为电压线圈或并联线圈。功率表的接法如图 2.25 (a) 所示。

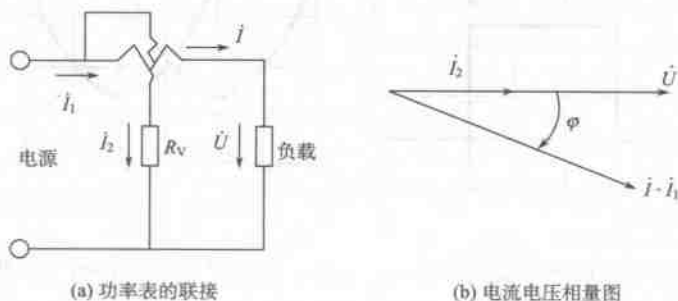


图 2.25 功率表的连接与电流电压相量图

1. 功率表的工作原理

由图 2.25 (a) 可见，电流线圈与负载串联，因而通过电流线圈的电流 \dot{I}_1 就是负载电流 \dot{I} ，即

$$\dot{I}_1 = \dot{I}$$

由于电流线圈两端的电压降，通常远小于电压线圈两端的电压降，因此电流 \dot{I}_2 与负载两端电压 \dot{U} 成正比。由于附加电阻 R_v 很大，电压线圈感抗可以忽略不计，所以 \dot{I}_2 与 \dot{U} 同相，

$$\text{即} \quad \dot{I}_2 = \frac{\dot{U}}{R_2}$$

式中， R_2 为电压线圈支路的总电阻。它包括附加电阻 R_v 和电压线圈的电阻。

由图 2.25 (b) 可以看出，这时功率表两线圈中的电流 \dot{I}_1 和 \dot{I}_2 之间的相位差角正好等于负载端电压 \dot{U} 与电流 \dot{I} 之间的相位差角。因此，可将电动系仪表的指针偏转角公式 $\alpha \propto I_1 I_2 \cos \varphi$ 改写成如下形式： $\alpha \propto UI \cos \varphi$

式中, $UI\cos\varphi$ 即为负载消耗的功率 P 。可见功率表指针的偏转大小与负载的功率成正比, 所以标尺的刻度是均匀的。

2. 功率表的使用

1) 功率表的正确接法

为了不使功率表指针反向偏转, 在电流线圈和电压线圈的一个端钮标有“*”或“±”等特殊标记, 习惯上称为“同极性端”、“发电机端”或称“始端”。连接功率表时只要保证对于有“*”号的电流线圈一端, 必须接电源的一端, 另一端接至负载; 对于有“*”号的电压线圈一端, 可以接电流线圈的任一端, 另一端应跨接到负载的另一端; 表针就一定能正向偏转。

按照上述原则, 功率表的正确接法有两种方式, 如图 2.26 所示。如果将电流线圈始端接至负载上如图 2.27, 表针就要反偏, 此时只要将电流线圈的两个端钮对调一下, 即可使表针正偏。若错误的将电压线圈两个端对换时将引起附加误差, 甚至引起不良后果。

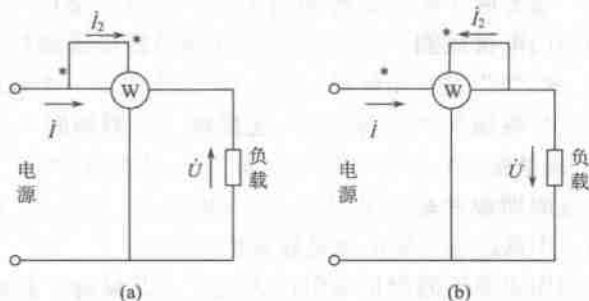


图 2.26 功率表的接线方式图

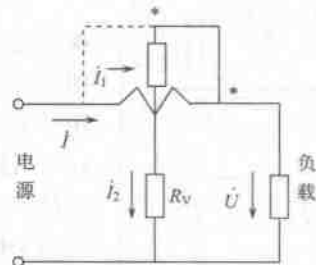


图 2.27 功率表的错接

在图 2.26 (a) 中的功率表电压线圈前接于线路中, 此时电流线圈的电压降, 即在功率表的读数中多了电流线圈的损耗 I^2R_A (I 为负载电流, R_A 为电流线圈的电阻)。因此, 这种接法适用于负载电阻远大于 R_A 的情况, 这时 R_A 的损耗就比负载功率小得多, 功率表的读数近似等于负载功率, 测量结果误差较小。

在图 2.26 (b) 中功率表电压线圈后接于线路中, 电压线圈支路的电压等于负载电压, 而电流线圈中的电流却等于负载电流加上电压线圈支路的电流, 即功率表读数中多了电压线圈支路的损耗 U^2/R_2 (U 为负载电压, R_2 为电压线圈支路的总电阻), 故这种接法适用于负载电阻远小于 R_2 的情况, 因此, 这时 R_2 的损耗比负载功率小得多, 所示对测量结果影响较小。

在实际工作中, 如果被测负载功率很大, 上述功率表本身的损耗就根本不需要考虑。如果被测负载功率很小, 为了使测量结果准确, 必须在功率表读数中减去功率表本身的损耗。

2) 功率表的“量程”和“额定功率因数”

使用功率表时, 不仅要求被测功率的数值在量程以内, 而且要求被测电路的电压和电流值也不超出它的电压线圈和电流线圈的额定量程值。

一般功率表都设计在额定电压 U_N 、额定电流 I_N 作用下, 当负载功率因数 $\cos\varphi=1$ 时指针达满偏转, 这就是说三个量程数值之间存在如下关系: $P_N = U_N I_N$ 。

具有这种量程关系（在 $P_N = U_N I_N$ 中 $\cos\varphi = 1$ ）的功率表，称为“额定功率因数”等于 1 的功率表。

如果采用阻转矩很小的游丝，那么功率表量程 P_N 就会小于 $U_N I_N$ ，例如设：

$$P_N = 0.2 U_N I_N$$

即如果被测电路的电压刚好是 U_N ，电流刚好是 I_N ，而电路的功率因数 $\cos\varphi$ 刚好等于 0.2 时，电路功率就是 P_N ，功率表指针就满偏转。这种功率表就称作额定功率 $\cos\varphi = 0.2$ 的“低功率因数功率表”。常见的低功率因数有 $\cos\varphi = 0.1$ 和 $\cos\varphi = 0.2$ 的两种，其值都标在表盘上。额定功率因数的大小只说明上述三个量之间的数量关系，而不是对负载功率因数的限制。例如， $\cos\varphi = 0.2$ 的功率表也能用来测量 $\cos\varphi > 0.2$ 的负载功率，只要是它的电流（或电压）较 I_N （或 U_N ）为小。满足 $UI \cos\varphi < P_N$ 条件即可，否则将因超过其量程而无法读数，甚至会将表针撞弯。反之，对于低功率因数负载的小功率，只能用低功率因数表来测量，使用普通功率表则指针则偏转过小而无法测准。

3) 功率表的量程扩大及读数方法

功率表一般有两个电流量程和两个或三个电压量程。表内有两个完全相同的电流线圈，它们的端头分别引到仪表的外壳上如图 2.28 “1” 和 “4” 是一个线圈，“2” 和 “3” 是另一个线圈。如用导电片连接片将端头 “2” 和 “4” 连接则二线圈串联 [图 2.29 (a)，这时电流量程为 0.5A。当 “1” 和 “2” 连接及 “3” 和 “4” 连接时，二线圈即成并联，量程为 1.0A 图 2.29 (b)]，也就是说两个线圈由串联改成并联电流量程就扩大一倍。

电压线圈用串联不同附加电阻的方法扩大其量程，如图 2.30 所示的功率表电压线圈有四个端钮（带 “*” 号者为始端）。这样电压量程就有三个档次。D34-W 型功率表与负载之间的连接如图 2.31 所示。

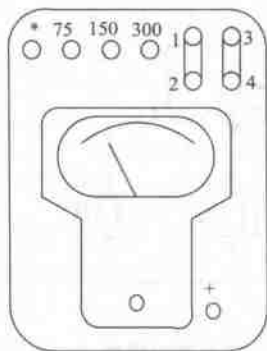


图 2.28 功率表面板图

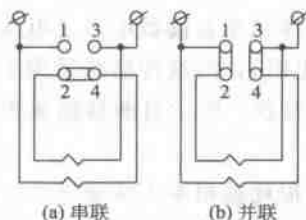


图 2.29 用导电片改变电流量程

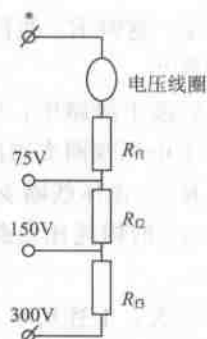


图 2.30 多量程功率表电压电路

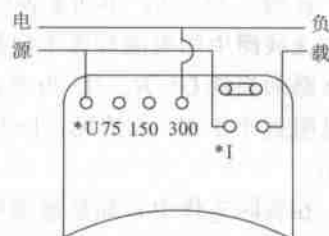


图 2.31 D34-W 功率表的接线示意图

在多量程的功率表的刻度盘上并没有标出瓦特数，只在标尺上标了分格数，在选用不同的电流量程和电压量程时，要读取正确的瓦特数必须经过换算。计算公式如下：

$$P = c\omega$$

式中, P 为被测功率的数值, W; ω 为功率表指针的读数, 格数; c 为功率表的分格常数 W/格。

$$c = \frac{U_N I_N}{\omega_N}$$

式中, ω_N 为功率表满刻度的格数; U_N 为所使用功率表的电压线圈的电压量程; I_N 为所使用功率表的电流线圈的电流量程。例如: 某功率表满刻度为 150 格, 选用电压量程为 300V, 电流量程为 0.5A, 指针读数为 75 格, 则:

$$c = \frac{300 \times 0.5}{150} = 1 \text{ W/格}$$

$$P = 1 \times 75 = 75 \text{ W}$$

D34-W 型功率表为低功率因数功率表, 功率表的分格常数 (单位为 W/格) 为:

$$c' = \frac{U_N I_N \cos \varphi_N}{\omega_N}$$

其中 $\cos \varphi_N = 0.2$ 为仪表在 U_N 和 I_N 下指针指在满刻度的额定功率因数。例如: D34-W 型低功率因数功率表的满刻度为 150 格, 选用电压量程为 300V, 电流量程为 0.5A, 指针读数为 X 格, 则所测得的功率为:

$$P = \frac{X}{150} \times 300 \times 0.5 \times 0.2 (\text{W})$$

2.7 模拟电路实验箱使用说明

本实验箱可完成低频模拟电子技术课程实验, 使用该实验箱只需配备示波器即可完成二十多种模拟电子线路实验 (面板图见附录二)。

1. 技术性能

1) 电源:

输入: AC 220 \pm 10%

输出: ①DC V: $\pm 5\text{V} \sim \pm 12\text{V}$ 可调, DC $I \geq 0.2\text{A}$

②DC V: $+5\text{V} \sim +27\text{V}$ 可调, DC $I \geq 0.2\text{A}$

③DC V: $\pm 12\text{V}$, DC $I \geq 0.2\text{A}$

④AC V: $7.5\text{V} \times 2$; AC $I \geq 0.15\text{A}$

(2) 直流信号源: 双路 $-0.5\text{V} \sim +0.5\text{V}$, $-5\text{V} \sim +5\text{V}$ 两挡连续可调。

(3) 方波信号发生器: 1kHz/10V, 备有幅度调节电位器。

(4) 电位器组: 4 只独立电位器 1M Ω 、470k Ω 、22k Ω 、10k Ω

2. 电路原理

本实验箱由电源、直流电压源、电位器组、线性区等几部分组成, 电源及直流电压源电路见附录二。

3. 使用方法

(1) 将标有 220V 的电源线插入市电插座, 接通开关, 三路直流电源指示灯亮, 表示实验箱电源工作正常。

(2) 连接线: 实验箱面板上的插孔应使用专用连接线, 该连接插头可叠插使用, 顺时针向下旋转即可锁紧, 逆时针向上旋转即可松开。

(3) 实验时应先阅读实验指导书, 在断开电源开关的状态下按实验线路接好连接线 (实验中用到可调直流电源时, 应先将电源调到实验值量, 然后再接到实验线路中), 检查无误后再接通主电源。

(4) 实验箱面板上的实验线路凡标 V_{CC} 、 V_{EE} 处均未接通电源, 须在实验时根据实验线路要求接入相应电源, 运算放大器单元的电源及接地端均已在板内接好。

2.8 数字电路实验箱使用说明

本实验箱可完成数字电子技术课程实验, 使用该实验箱只需配备示波器即可满足数字电子线路实验需要。

1. 实验系统的硬件配置 (面板图见附录三)

(1) 电源电压: 输入 AC: 220V。

(2) 五位 BCD 码数码管显示电路。

(3) 10 位二挡输入开关电路。

(4) 10 位发光二极管显示电路。

(5) 二位单脉冲开关电路。

(6) 时序发生器电路。

(7) 时钟信号源。

(8) 数字频率计: 测试频率范围可达 300kHz。

2. 信号源的使用

(1) 时钟源脉冲信号的产生: 上电后, 时钟信号源输出孔 1MHz、100kHz、10kHz、100Hz、10Hz、1Hz, 可直接输出相应的脉冲信号, 可将其脉冲信号接到频率计的输入端 (IN)。可显示出脉冲的频率。

(2) 单脉冲信号的产生: 每按动一次 AN 键 P1、P2 (单脉冲按钮), 在单脉冲输出孔 P1、/P1、P2、/P2, 可相应的输出单脉冲信号。

(3) 时序信号的产生: 将开关拨到标有“连续”的端, 将 MF 插孔连接到标有“100kHz”。

第3章 Multisim 软件及电路分析方法

现代电子设计技术的发展,设计技术的核心是 EDA 技术,EDA 是以计算机为工作平台,融合应用电子技术、计算机技术和智能化技术最新成果而研制的电子通用软件包。它主要能辅助进行 3 方面的设计工作,即 IC 设计、电子电路设计以及 PCB 设计,本章介绍 Multisim 软件,常用虚拟仪表及相应的电路分析方法。

3.1 Multisim 软件简介

EWB (Multisim) 是一种非常优秀的电子技术实训工具。因为掌握电子技术,不仅需要理论知识,更重要的是通过实际操作加深对内容的理解。作为电子类相关课程式的辅助教学和实训手段,它不仅可以弥补实验仪器和元器件缺乏带来的不足,而且排除了原材料消耗和仪器损坏等因素,可以帮助学生更快、更好地掌握课堂讲述的内容,加深对概念、原理的理解,弥补课堂理论教学的不足。学生通过电路仿真,可以熟悉常用电子仪器的测量方法,这对进一步培养学生的综合分析能力、排除故障能力和开发、创新能力具有重要意义。

EWB5.0 版本于 1996 年推出,占用硬盘空间很小,是模拟电路和数字电路混合仿真的 EDA 软件。它的仿真功能十分强大,其器件库中包含了许多大公司的晶体管元器件、集成电路和数字门电路;器件库中没有的元器件,还可以由外部模块导入。在设计电路时,设计者无需动用电烙铁就可得知电路的实际结果,而且若想更换元器件或改变元器件参数,只需点击鼠标即可,它可以将不同类型的电路组合成混合电路进行仿真。EWB 的工作界面非常直观,原理图和各种工具都在同一个窗口内,未接触过它的人通过学习就可以熟练地使用该软件,对于电子设计工作者来说,它是个极好的 EDA 工具。EWB 也可以作为辅助教学软件使用,利用它可以直接从屏幕上看到各种电路的输出波形。它的兼容性较好,其文件格式可以导出成能被 OrCAD 或 Protel 读取的格式。目前已在电子工程设计、电子类课程教学等领域得到了广泛的应用。但随着电子技术的飞速发展,EWB 版本不断更新,IIT 公司从 EWB6.0 版本开始,将专用于电路级仿真与设计的模块更名为 Multisim,在保留了 EWB 形象直观等优点的基础上,大大增强了软件的仿真测试和分析功能,也大大扩充了元件库中仿真元件的数目,特别是增加了若干个与实际元件相对应现实的仿真元件模型,使得仿真设计的结果更精确、更可靠,EWB (Multisim) 有诸多优点:①增加了射频电路仿真功能,这是目前众多通用电路仿真软件所不具备的;②极大地扩充了元件数据库,特别是大量新增的与现实元件对应的元件模型,增强了仿真电路的实用性;③新增的元件编辑器给用户提供了自行创建或修改所需元件模型的工具;④为了扩充电路的测试功能,增加了瓦特计、失真仪、频谱分析仪和网络分析仪等新的测试仪表,而且所有仪表都允许多台同时调用;⑤改进了元件之间的连接方式,允许任意方向连线;⑥专业版的 Multisim 还支持 VHDL 和 Verilog 语言的电路仿真与设计。

2001 年,IIT 公司又推出了 Multisim 的最新版本 Multisim 2001,2003 年 5 月发布了

Multisim 7.0, EWB 目前常用的版本是 9.0 [它是美国 NI (National Instruments) 公司并购买加拿大 IIT 公司后, 于 2006 年发布的一款 EDA 软件], Multisim 9.0 成为 EWB9.0 的核心组件。它对以前的版本又进行了许多改进, 主要表现在以下几点:

(1) 重新验证了元件库中所有元件的信息和模型, 使其更加精确可靠。

(2) 允许用户自定义元器件的属性。

(3) 提高数字电路仿真的速度。

(4) 允许把子电路当作一个元器件使用, 从而增大了电路仿真规模。

(5) 根据电路图形的大小, 程序能自动调整电路窗口尺寸, 不再需要人为设置。

(6) 开设了 edaPARTS.om 网站, 为用户提供元器件模型的扩充和技术支持, 针对不同的用户需要, Multisim 9.0 发行了多个版本, 分为增强专业版 (Power Professional)、专业版 (Professional)、个人版 (Personal)、教育版 (Education)、学生版 (Student) 和演示版 (Demo) 等。

随着电子信息技术的飞速发展, 各种软件的版本升级很快, 本书中实验的例子较多, 这些实例的积累也跨越了几个年度, 经过了几个版本, 做为教学和实验我们不对软件版本的使用提出严格要求, 只要了解其诸多功能, 熟练掌握某一版软件的使用方法就达到了学习的主要目的, 所以, 文中只写 Multisim 软件名, 略去版本号。软件中的图片为自动生成, 图中 “ohm” 对应 “ Ω ”, “uF” 对应 “ μF ”。下面将介绍一个例子, 使读者对 Multisim 电路的绘制方法及仿真过程有一个系统的了解。

3.1.1 Multisim 用户界面

单击 Windows “开始” 菜单中 “程序” 下的 Multisim, 弹出 Multisim 用户界面。如图 3.1 所示。Multisim 用户界面主要由菜单栏 (Menu Bar)、标准工具栏 (Standard toolbar)、使用的元件列表 (In Use list)、仿真开关 (Simulation Switch)、图形注释工具栏 (Graphic



图 3.1 Multisim 用户界面

Annotation Toolbar)、项目栏 (Project Bar)、元件工具栏 (Component toolbar)、虚拟工具栏 (Virtual Toolbar)、电路窗口 (Circuit Windows)、仪表工具栏 (Instruments Toolbar)、电路标签 (Circuit Tab)、状态栏 (Status Bar) 和电路元件属性视窗 (Spreadsheet View) 等组成。

3.1.2 电路的绘制

在 Multisim 上对电路进行仿真的第一步是绘制电路图、包括建立电路图文件、定制用户界面及放置元器件等步骤。要建立的晶体管放大电路原理图如图 3.2 所示。

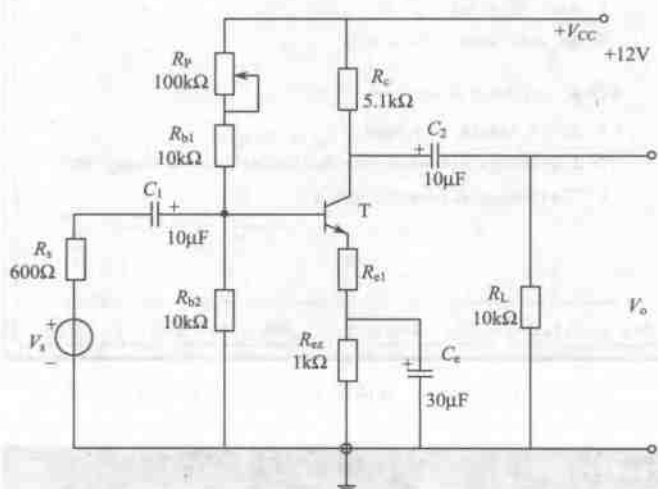


图 3.2 晶体管放大电路原理图

1. 建立电路图文件

当启动 Multisim 程序的时候, 在 Multisim 操作界面上总会自动打开一个空白的电路图文件, 其名称为 Circuit1.msm, 可以在保存时重新命名。

2. 定制用户界面

为了方便用户设计和观察电路图, 需要将 Multisim 的工作窗口按照用户自己的习惯进行配置, 具体的操作方法可以参照以下步骤:

(1) 执行 options 菜单中的 Preference... 命令, 打开 Preferences 对话框, 单击 Component Bin 选项卡, 如图 3.3 所示。

在 Symbol Standard 设置栏中, Multisim 提供了两套电气元器件的标准符号, 其中 ANSI 是美国标准, DIN 是欧洲标准。DIN 与我国现行的元器件标准很相似, 但软件默认是 ANSI 标准, 所以此书中用 Multisim 绘制的图, 大多数采用 ANSI 选项。

(2) 单击 Workspace 选项卡, 如图 3.4 所示。在 Sheet size 设置栏中, 选中 Landscape 选项, 以使电路图图纸横向显示。在 Show 设置栏中选中 Show grid 选项, 这时可以在电路图工作图纸中出现栅格, 方便电路元件的定位和连线; 选中 Show title block 选项, 在图纸

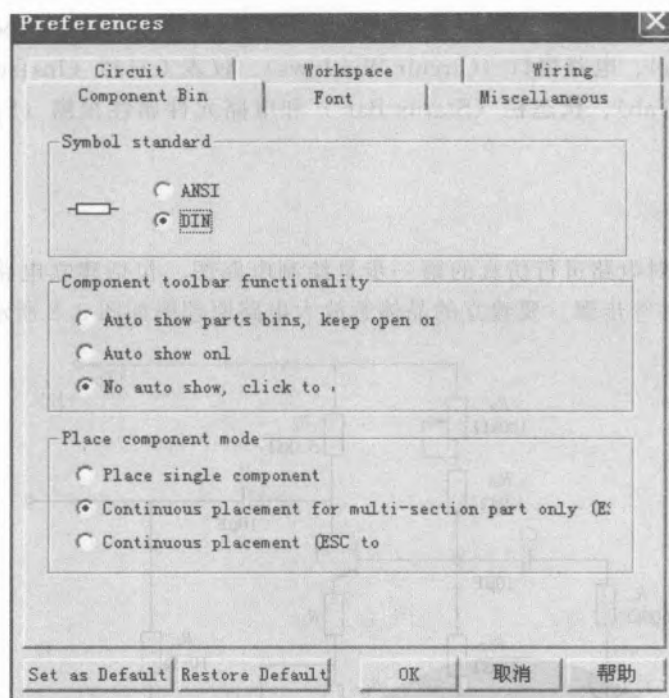


图 3.3 Preferences 对话框 Component Bin 的选项卡

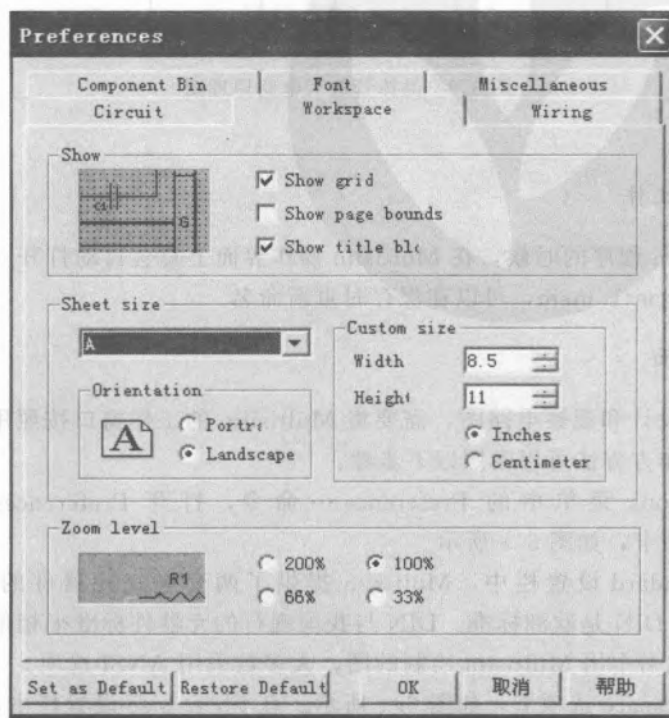


图 3.4 Workspace 选项卡

的右下角显示一个标题块,用户可以通过 Options 菜单中的 Modify Title Block... 命令,打开 Title Block 对话框,在其中对电路图的标题块进行设置,如图 3.5 所示。

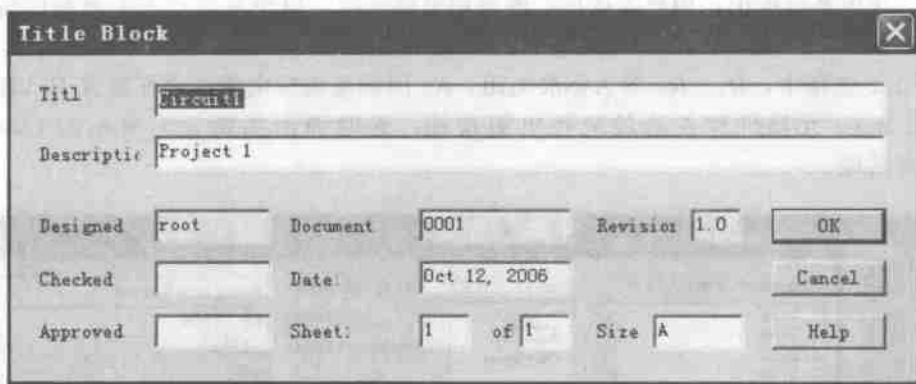


图 3.5 Title Block 对话框

设置 Title Block 对话框中的选项后,电路图工作区如图 3.6 所示。如果需要,用户还可以利用 View 菜单和 Options 菜单进行其他设置。

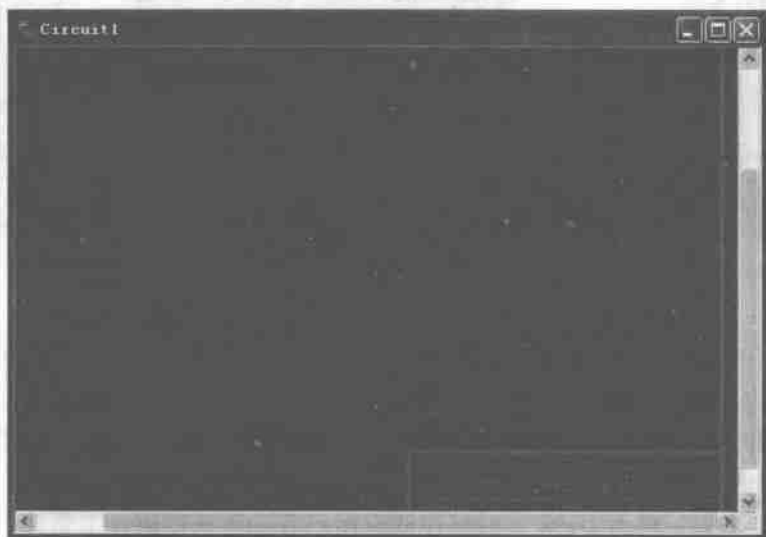


图 3.6 电路图工作区

3. 放置元器件

在 Multisim 软件中,所有元器件都分类放在元器件工具栏的元器件库中。

1) 电阻的放置

用鼠标单击元器件工具栏上的电阻图标,将弹出 Basic 元器件库。

在 Basic 元器件库中有两个电阻按钮,左边的灰色电阻按钮存放的是标准的电阻元件,其值均符合国家标准,比如 3.3k Ω 、4.7k Ω 以及 5.1k Ω 等,这些电阻都能在市场上购买到。

右边的绿色按钮存放的是虚拟的电阻。因为在仿真过程中,需要使用非标准的电阻值,比如 $1.4\text{ k}\Omega$ 、 $1.7\text{ k}\Omega$ 和 $1.9\text{ k}\Omega$ 等。用户可以任意设定虚拟电阻的值。在默认状态下,虚拟电阻的值是 1。在仿真过程中,用户应该尽可能使用标准电阻,以便在设计实际电路的时候方便购买元器件。

在图 3.2 电路中, R_c 、 R_p 等为标准电阻, R_u 用的是虚拟电阻。现在放置 $10\text{ k}\Omega$ 的电阻 R_{b1} , 单击 Basic 元器件库左边的灰色电阻按钮, 这时弹出如图 3.7 所示的 Component Browser 对话框。

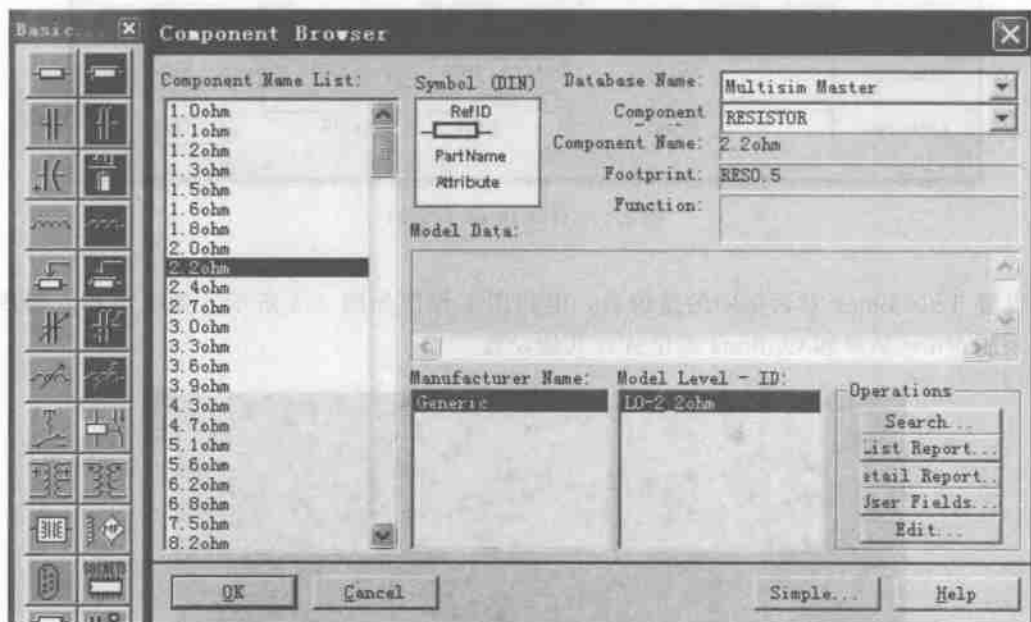


图 3.7 选择电阻对话框

在该对话框中, Component Name List 列表框中列出了在 Multisim 软件中所有的标准电阻器件, 向下拉动滚动条, 找到 $10\text{ k}\Omega$ 的电阻, 单击 OK 按钮即可。所选择的电阻随着鼠标指针在电路原理图的工作窗口中移动, 移到合适的位置后单击鼠标左键即可将它放置在当前位置。按照同样的方法, 将 R_c 和 R_{b2} 放置在相应的位置。

现在放置电阻 R_u , 单击 Basic 元器件库的按钮, 这时在鼠标指针上带出一个虚拟电阻。在默认状况下, 虚拟电阻的值是 $1\text{ k}\Omega$ 。将虚拟电阻 R_u 移动到合适的位置。

单击鼠标左键将 R_u 放好后, 双击该虚拟电阻, 这时将弹出 Virtual Resistor 对话框。将 Value 选项卡中的 Resistance 选项的值修改为 600, 其他项保持不变, 单击确定按钮即可放置好 R_u 。如图 3.7 所示。

2) 放置电容

在图 3.2 所示的电路图中, $C1$ 和 $C2$ 是标准电容, 单击 Basic 元器件库中的电容按钮, 这时将弹出 Component Browser 对话框。

在这个 Component Name List 列表框中列出了在 Multisim 软件中所有的标准电容器件, 向下拉动滚动条, 找到 $10\mu\text{F}$ 的电容, 单击 OK 按钮, 将鼠标移动到合适的位置后, 单击鼠

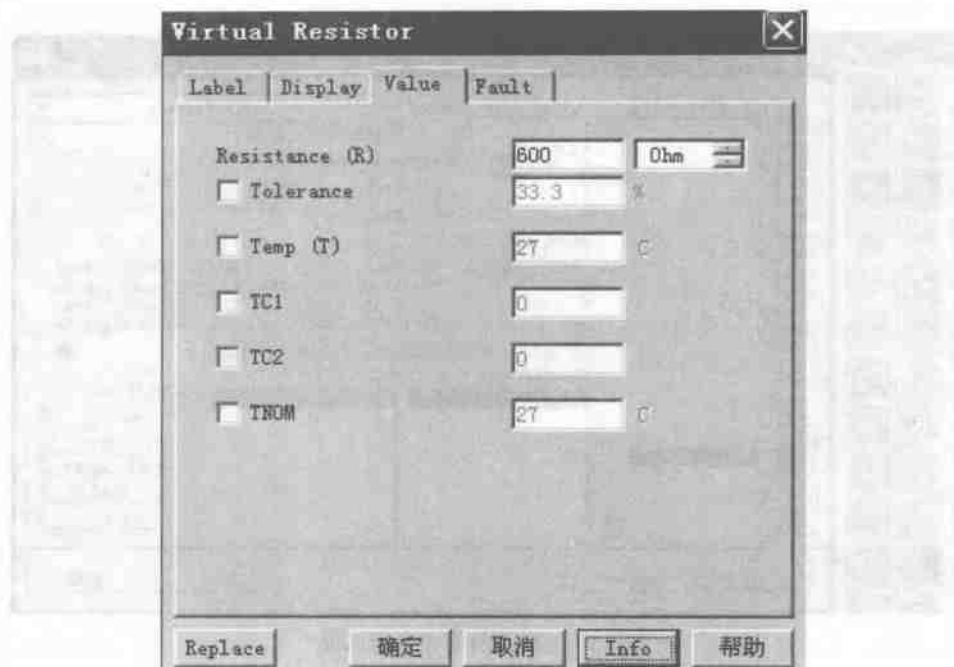


图 3.8 Resistance 选项值 Value 选项卡

标左键将它放置在当前位置即可。按同样的方法放置 C_2 。

现在放置 C_3 。由于 $30\mu\text{F}$ 的电容不是标准电容，单击 Basic 元器件库的虚拟电容按钮，这时在鼠标指针上带出一个虚拟电容，在默认状况下，虚拟电容的值是 $1\mu\text{F}$ 。将虚拟电容移动到合适的位置，单击鼠标左键将其放好后，双击该虚拟电容，这时将弹出 Virtual Capacitor 对话框。将 Value 选项卡中的 Capacitance 选项的值修改为 $30\mu\text{F}$ ，其他项保持不变，单击确定按钮即可放置好 C_3 。

3) 放置 NPN 晶体管

NPN 晶体管是放大电路的主要元器件，在 Multisim 软件中提供了 17 种标准类型的晶体管和 14 种虚拟晶体管，在每种类型的晶体管中，又存在很多型号。在本例中，晶体管 T 是标准的，单击元器件工具栏上的晶体管按钮，这时弹出晶体管库。

单击晶体管按钮，这时将弹出选择晶体管型号对话框。晶体管的模型要比前面介绍的电阻和电容等器件复杂，这些模型的使用通常需要器件厂家提供许多精确的参数指标。在如图 3.9 所示的对话框中，在 Component Name List 列表框中向下拉动滚动条，选择本例中的晶体管为 2N5224 型号；单击 OK 按钮即可。

4) 放置交流信号源

Multisim 软件提供了 28 个电源和 1 个模拟地以及 1 个数字的。在元器件工具栏中单击图标，这时将弹出 Sources (信号源) 库。

所有的信号源都为虚拟的，也就是说用户可以对其参数进行修改，本例中所使用的信号源是 0.1mV 、 20kHz 的交流信号源，单击信号源库中的信号源图标，鼠标将带出一个交流信号源，默认状况下其值是 1V 、 1000Hz 、 0Deg 。将其放在合适的位置单击鼠标左键。由于

5) 放置直流信号源

单击信号源库中的图标,在鼠标上即带出一个直流电压源,在电路图中适当的位置单击鼠标左键,即把该电压源放在当前位置。由于本例使用的直流电压源是 12V,双击该直流电压源,将打开 Battery 对话框。在 Value 选项卡中 Voltage 栏的值改为 12V,单击确定按钮即可。

6) 放置地

每一个电路都需要接地点,该点是电路的公共参考点,其电压值为 0V。一般来说,一个电路必须有且只有一个接地点,在一张电路图上,无论放置多少个接地点,它们实质上都属于一个点,其电压值都是 0V。在本例中,单击信号源库中按钮,将其拖到图纸中适当的位置即可。

4. 连接元器件

把元器件放置在适当的位置后,需要用导线将其连接起来。导线的操作主要包括导线的连接、弯曲导线的调整、导线颜色的改变及连接点的使用。

(1) 连接导线:鼠标指向某个元件的端点,出现小圆点后,单击鼠标左键并拖曳导线到另一个元件的端点,出现小圆点后松开鼠标左键。

(2) 删除和改动导线:选定该导线,单击鼠标右键,在弹出菜单中选 delete 命令。

在本例中,导线的连接操作步骤如下:①把鼠标指向一个器件的接线端,这时会出现一个小黑点,这里将鼠标放置在电容 C1 的右端。②按住鼠标左键,移动鼠标,使光标指向另一器件的接线端,这时又出现一个黑点,这里将鼠标放在晶体管 T 的基极。③放开鼠标键,这两个器件的接线端就连接起来了。④现在连接 Rb1 和 C1,由于 Rb1 和 C1 的连接需要转弯,在连接时,先用鼠标单击 Rb1 的上端,然后拖动鼠标到 C1 的左端,单击鼠标左键即可。

5. 编辑电路图

为了放置已经完成连线的电路图,首先需要在电路图中显示电路的节点号。执行 Options 菜单中的 Preference... 命令,打开 Preferences 对话框,在 Circuit 选项卡中,选中 Show 选项组中的 Show node names 选项。

在编辑完电路图后,需要将电路图文件保存在电脑中。对于本例,默认状态下系统将电路图自动命名为“Circuit1.msm”;现在将其重新命名为“晶体管放大电路.msm”,并保存。

3.1.3 电路的仿真分析

1. 静态工作点分析

(1) 在 Multisim 主工作菜单中,执行 Simulate → Analysis → DC Operating Point Analysis 菜单命令,或者单击主工具栏上的图标,执行 DC Operating Point... 快捷菜单命令。

(2) 这时将弹出 DC Operating Point Analysis 对话框, 在其 Output variables 选项卡中的 Variables in circuit 列表框中的下拉列表中选择 All variables 项, 在下面的变量列表中, 选择所有的数字节点, 然后单击 Plot during simulation 按钮, 将其添加到右边的 Selected variables for 栏中, 如图 3.11 所示。

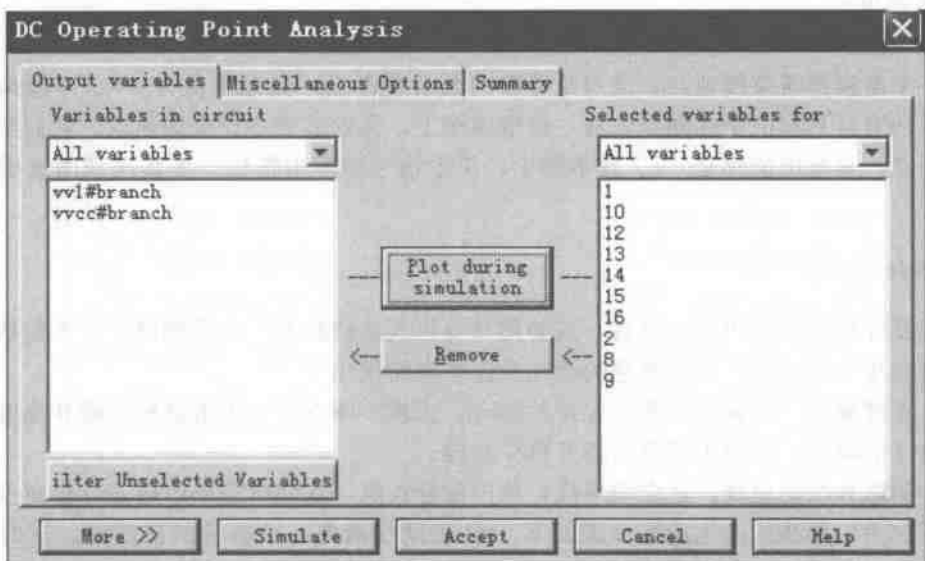


图 3.11 DC Operating Point Analysis 对话框的 Output variables 选项卡

(3) 进行上面的设置后, 放置结果既可以显示在 AnalysisGraphs 窗口中, 也可以被保存起来, 提供给后面的仿真使用, 或者进行打印输出等。现在单击图 3.11 中的 Simulate 按钮, 进行静态工作点分析, 得到仿真输出结果。

2. 交流分析

(1) 在 Multisim 主工作菜单中, 执行 Simulate→Analysis→AC Analysis 菜单命令, 或者单击主工具栏上的分析图标, 执行 AC Analysis...快捷菜单命令。

(2) 这时将弹出 AC Analysis 对话框, 在其 Frequency Parameter 选项卡中, 将 Start frequency 值设置为 1Hz, 将 Stop frequency 值设置为 100GHz, 将 Sweep Type 设置为 decade, 将 Number of points per decade 值设置为 10, 将 Vertical scale 设置为 Liner。

(3) 在其 Output Variables 选项卡中, 将节点 15 (输出节点) 选中, 然后单击 Plot during simulation 按钮, 将其添加到 Selected Variables for 列表框中, 如图 3.12 所示。

(4) 这时单击图 3.12 中的 Simulate 按钮, 进行交流分析, 得到输出结果, 即在放大电路中、小信号作用下的频率响应, 包括幅频特性和相频特性, 如图 3.13 所示。

3. 瞬态分析

(1) 在 Multisim 主工作菜单中, 执行 Simulate→Analysis→Transient Analysis 菜单命令, 或者单击主工具栏上的图标, 执行 Transient Analysis...快捷菜单命令。

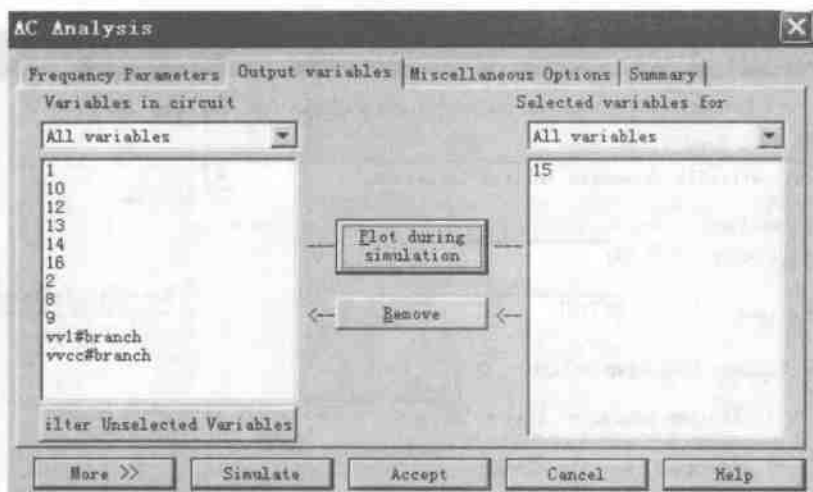


图 3.12 AC Analysis Output variables 选项卡

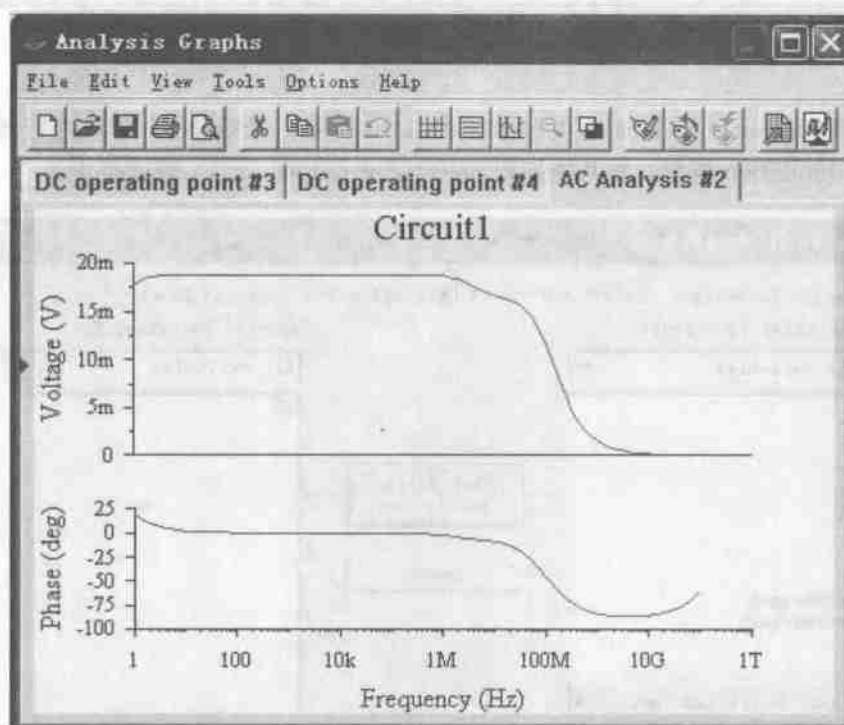


图 3.13 交流分析输出结果

(2) 这时将弹出 Transient Analysis 对话框, 在其 Analysis Parameters 选项卡如图 3.14 中 Analysis Parameters 选项卡的 Initial Conditions 选项中, 选择 Automatically determine initial conditions; 在 Parameters 设置栏中, Start time 项设置为 0, Endtime 设置为 0.002s; 在 Max time step settings 设置栏中, 选择 Generate time steps automate 选项。

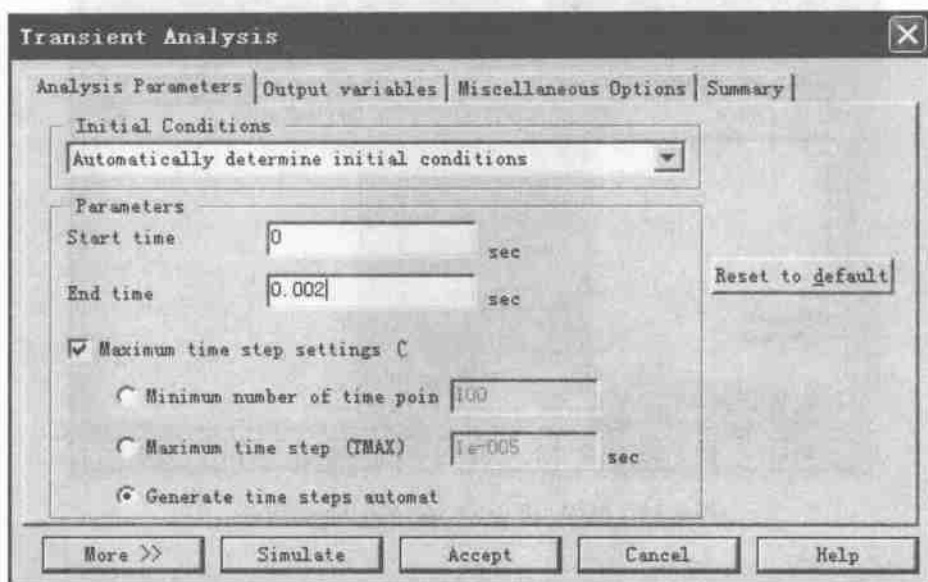


图 3.14 Analysis Parameters 选项卡

(3) 在其 Output variables 选项卡中如图 3.15 所示, 选择第 15 节点进行观察, 单击 Plot during simulation 按钮, 将其添加到 Selected variables for... 列表框中。

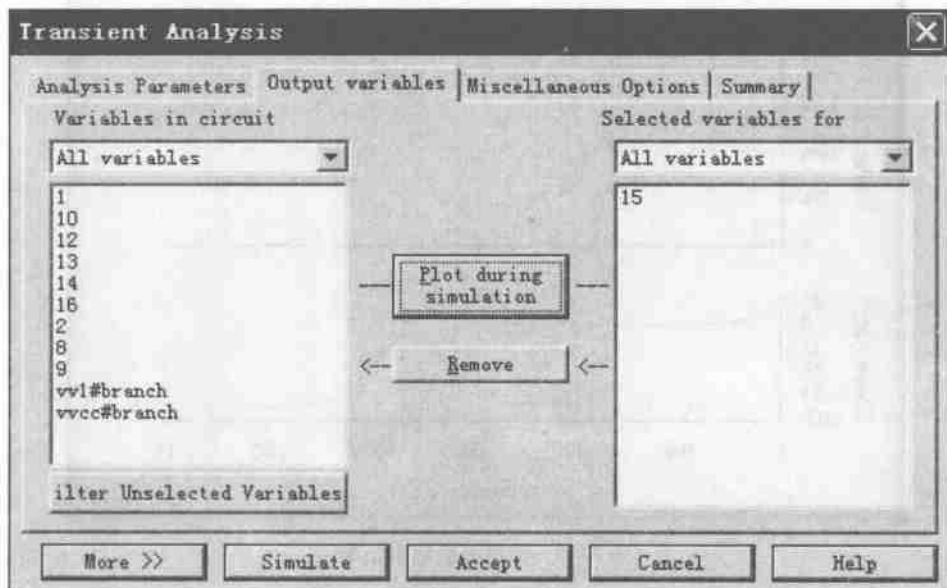


图 3.15 Output variables 选项卡

(4) 单击 Simulate 按钮, 进行瞬态分析, 得到输出结果如图 3.16 所示。

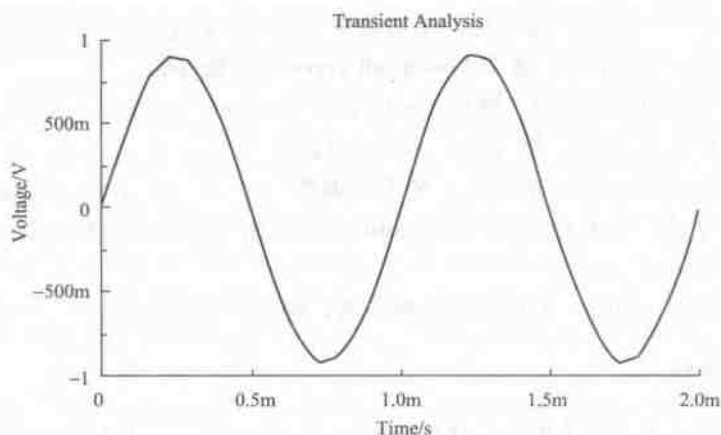


图 3.16 瞬态分析输出结果

4. 参数扫描分析

(1) 在 Multisim 主工作菜单中, 执行 Simulate→Analysis→Parameter Sweep 菜单命令, 或者单击主工具栏上的分析图标, 执行 Parameter Sweep... 快捷菜单命令。

(2) 这时将弹出 Parameter Sweep 对话框, 在 Analysis Parameters 选项卡的 Sweep Parameters 选项中, 选择 Device Parameter, Device 项选择 Resistor, Name 项选择 rr2, Parameter 项选择 resistance, 在 Sweep Variation Type 设置栏中选择 Linear, 在 Start 项填入 35000, Stop 项填入 55000, # of 项填入 3 (晶体管基极节点), Increment 项填入 10000, 如图 3.17 所示。

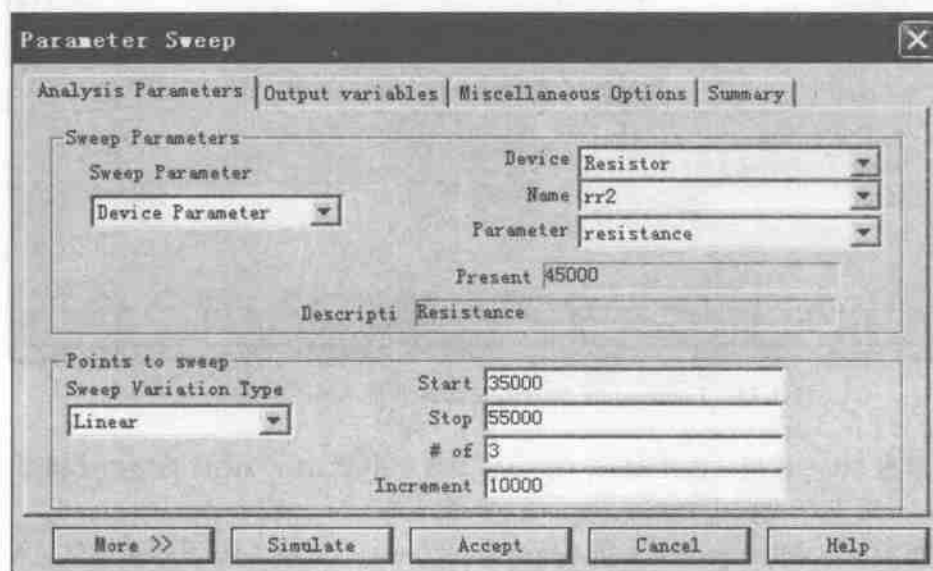


图 3.17 Analysis Parameters 选项卡

(3) 单击 More >> 按钮, 这时将弹出对话框, 在 More options 设置栏的 Analysis to 选项中, 选择 Transient analysis, 选中 Group all traces on 复选框。

(4) 单击 Edit Analysis 按钮, 弹出 Sweep of Transient Analysis 对话框, 在 Parameters 区的 End time 中填入 0.0002, 然后单击 Accept 按钮。

(5) 单击 Output variables 选项卡, 参考类似图 3.15 所示。在 Variable in circuit 设置栏中, 选中 15 号节点, 单击 Plot during simulation 按钮, 将其添加到 Selected variables for 栏中。

(6) 单击 Simulate 按钮, 进行参数扫描分析, 得到输出波形。

5. 温度扫描分析

(1) 在 Multisim 主工作菜单中, 执行 Simulate→Analysis→Temperature Sweep 菜单命令, 或者单击主工具栏上的分析图标, 执行 Temperature Sweep... 快捷菜单命令。

(2) 这时将打开 Temperature Sweep Analysis 对话框, 在其 Analysis Parameters 选项卡中的 Sweep Parameters 设置栏中, Sweep Parameters 选项选择 Temperature; 在 Points to sweep 设置栏的 Sweep Variation Type 选项中, 选择 List; Values 值设置为 “-25, 25, 50” 参考图 3.18 所示。

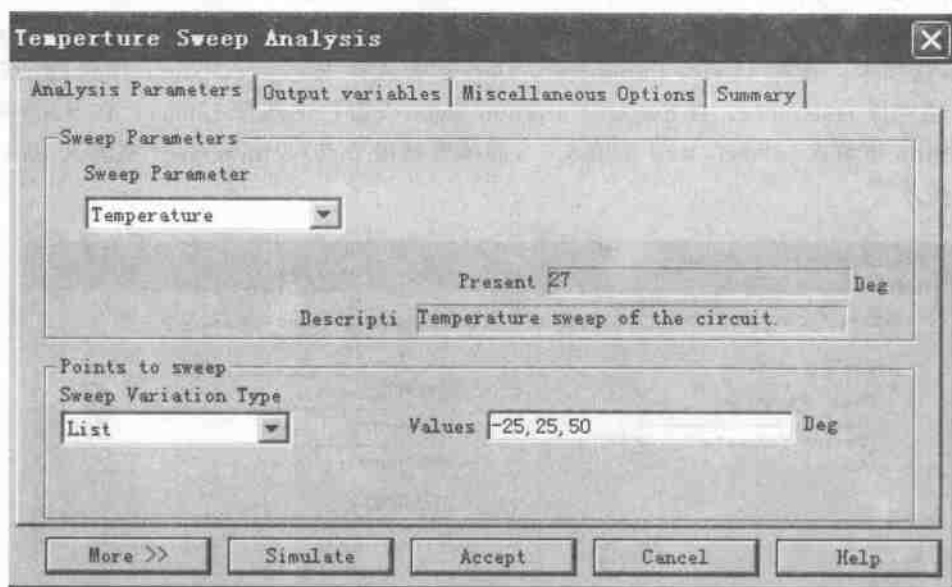


图 3.18 Temperature Sweep Analysis 中的 Analysis Parameters

(3) 单击 More 按钮, 在其 More Options 设置栏中的 Analysis to 选项中选择 Transient Analysis, 并选中 Group all trances on one plot 复选框。

(4) 单击 Edit Analysis 按钮, 进入 Sweep of Transient Analysis 对话框, 在 Initial Condition 设置栏中选择 Automatically determine initial condition, 在 Parameters 设置栏中的 Start time 选项中填入 0, 在 End time 选项中填入 0.0002, 其他设置保持不变, 单击 Accept 按钮。

(5) 单击 Temperature Sweep Analysis 对话框中的 Output variables 选项卡, 选中 Variablesincircuit 列表框中的 15 号节点, 单击 Plot during simulation 按钮, 将其添加到 Selected variable for 设置栏中。

(6) 单击 Simulate 按钮, 进行温度扫描分析, 得到输出波形。

3.2 Multisim 虚拟仪表简介

运用 Multisim 软件仿真分析电工与电子电路时常用到包括数字万用表 (Multimeter)、函数信号发生器 (Function Generator)、双踪示波器 (Oscilloscope)、波特图仪 (Bode Plotter, 与扫频仪类似)、用于数字电路的有逻辑转换仪 (Logic Converter)、字信号发生器 (Word Generator)、逻辑分析仪 (Logic Analyzer) 等虚拟仪表, 它们与现实中所使用的仪表一样, 通过这些仪表可观察电路的运行状态, 对测量的数据进行加工处理, 并产生相应的结果, 虚拟仪表具有处理数据速度快, 分析功能直观的优点。



虚拟仪表的添加和使用方法与取用元器件相同。在设计工具栏上, 单击虚拟仪表图标 , 仪表工具箱就在工作窗口中显示出来, 如图 3.19 所示。



图 3.19 Multisim 虚拟仪表图标

单击需要的某个仪表图标, 即可调出所的相应仪表。放置多个相同的仪表时, 所放置的仪表标识符依次递增。仪表与电路连接时, 拖拽所需仪表图标至电路设计区, 按要求接至电路测试节点, 然后双击该仪表图标, 就可以打开仪表的面板进行设置和测试。模拟仪表 (除波特图仪) 在接入电路并仿真开始之后, 若改变电路的测试点, 则显示的数据和波形也会相应变化, 不用重新启动电路, 而波特图仪和数字仪器则应重新启动仿真。

3.2.1 数字万用表

数字万用表可以测量交流或直流电压和电流, 也可以测量电阻和分贝数, 与实验室所使用的数字万用表完全一样。  是数字万用表图标、在电路中的符号及其控制面板如图 3.20 所示。

数字万用表的“-”端为负极, “+”端则为正极, 测量直流 (DC) 电量时若正极接电位高端、负极接电位低端, 则显示正值, 反之则显示负值。数字万用表的设置参数意义如下:

A: 将万用表切换到电流挡。

V: 将万用表切换到电压挡。



图 3.20 数字万用表在电路中的符号及其控制面板

Ω : 将万用表切换到电阻挡。

db: 将万用表切换到分贝显示。

\sim : 将万用表设定为测量交流参数。

—: 将万用表设定为测量直流参数。

Set...: 设置万用表的内部参数。

其测量量程如下:

电流表 (A) 量程: $0.01\mu\text{A} \sim 999\text{kA}$ 。


电压表 (V) 量程: $0.01\mu\text{V} \sim 999\text{kV}$ 。

欧姆表 (Ω) 量程: $0.01\text{Hz} \sim 99\text{MHz}$ 。

交流频率范围: $0.001\text{Hz} \sim 9999\text{MHz}$ 。

在使用数字万用表时, 需要注意: 在测量电压或电阻时, 和使用实际仪器一样, 需要并联在测试的节点两端。在测量电流时, 应该串联于被测支路中。如果数字万用表测量交流参数, 则其测量值是参数的有效值 (RMS)。在测量电阻时, 为了测量准确, 应当注意当被测网络为无源网络时, 被测网络必须接地, 同时万用表应该设置在直流挡, 并要求没有其他元件或电路网络与被测网络并联。数字万用表作电流表使用时, 表的内阻非常小; 将数字万用表作电压表使用时, 表的内阻非常大。

3.2.2 函数信号发生器

函数信号发生器是一种能提供正弦波、三角波或方波信号的电压源, 它以方便而又不失真的方式向电路提供信号。根据实验电路对输入信号的要求可以进行相应的设置, 如频率、幅度等。是  函数信号发生器在设计工具上的图标, 其在电路中的符号和其控制面板如图 3.21 所示。

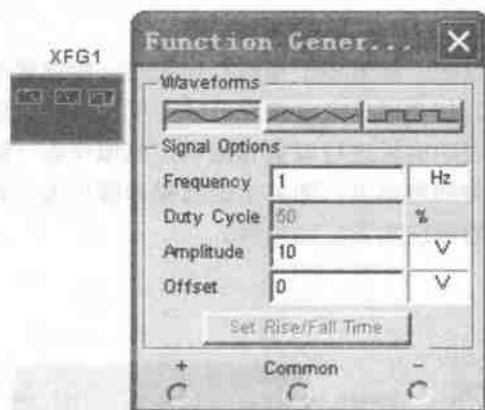


图 3.21 函数信号发生器在电路中符号及其控制面板

\sim : 设置输出正弦波。

\triangle : 设置输出三角波。

\square : 设置输出方波。

Frequency: 设置输出信号的频率。

Duty Cycle: 设置输出信号的占空比, 该参数仅应用于设置三角波和方波。

Amplitude: 设置输出信号的幅度峰值。

Offset: 设置输出信号的偏置电压。

函数信号发生器有 3 个输出端: “+” 为正波形端, 中间的为公共 (Common, 接地) 端, “-” 为负波形端。虚拟信号发生器的使用方法与实际的信号发生器基本相同, 在使用信号发生器以前, 需要在电路中双击其图标, 打开函数信号发生器的设置面板, 对其参数进行设置。其中各设置参数意义如下:

Set Rise/Fall Time: 设置上升时间与下降时间, 该参数仅应用于设置方波。

需要说明的是, 设置的幅度是指正端或负端对 common 端的差值。如果从正端和负端输出, 则输出的幅度为设置幅度值的 2 倍, 而这种接法无法在示波器上观察正弦波的输出, 信号发生器输出的频率范围是 1Hz~999MHz, 其占空比的设置范围为 1%~99%, 幅度的输出范围为 0~999V。

函数信号发生器的使用方法如下:

(1) 如果连接函数信号发生器的“+”端和 common 端, 则“+”端输出为正极性的信号, 其幅度等于输出信号的有效值。

(2) 如果连接函数信号发生器的“-”端和 common 端, 则“-”端输出为负极性的信号, 其幅度等于输出信号的有效值。

(3) 如果连接函数信号发生器的“+”端和“-”端, 则在“+”端和“-”端输出幅度等于有效值 2 倍的信号。

(4) 如果同时连接函数信号发生器的“+”端、“-”端和 common 端, 则 common 端一定要接地, 且在“+”端输出为正极性的信号, 其幅度等于输出信号的有效值; 在“-”端输出为负极性的信号, 其幅度等于输出信号的有效值。

3.2.3 示波器

Multisim 的示波器外观及操作与实际的双踪示波器相似, 是一种可用黑、红、绿、蓝、青、紫 6 种颜色显示波形的双通道数字存储示波器, 可同时显示 A、B 两信号的幅度和频率变化, 并可以分析周期信号大小、频率值以及比较两个信号的波形。Multisim 示波器工作时与现实中的仪器一样, 可用正边缘或负边缘进行内触发或外触发, 时基可在秒至纳秒的范围内调整。为了提高测量精度, 可卷动时间轴, 用数显游标对电压进行精确测量。Multisim 示波器的一个特点是将探头移到新的测试点时可以不关电源, 不用担心实际仪器在使用中的静电问题。



是示波器在设计工具栏上的图标、在电路中的符号及其控制面板如图 3.22 所示。

数字示波器的图标上有 4 个端点: A、B、G 和 T。A 端点为 A 通道输入端, 表示信号 A 接入端; B 端点为 B 通道输入端, 表示信号 B 接入端; G 端点是信号接地端, 是 A、B 两信号的公共端, 如果不连接, 则默认该公共端接地。T 端点为外接触发端。

在使用数字示波器以前, 需要在电路中双击其图标, 打开数字示波器的设置面板, 对其参数进行设置。其中各设置参数意义如下:

1) 时基控制 (Timebase)

- X 轴刻度 (Scale): 控制示波屏上的横轴, 即 X 轴刻度 (时间/每格), 表示每格所代表的时间, 其调节范围为 (0.10ns/div~1s/div)。

- X 轴偏移 (X position): 控制信号在 X 轴的偏移位置, 表示显示波形在水平上的起点, 其调节范围为 (-5~5V)。

X=0: 信号起点为示波器屏幕的最左边。

X>0: 信号起点右移。

X<0: 信号起点左移。

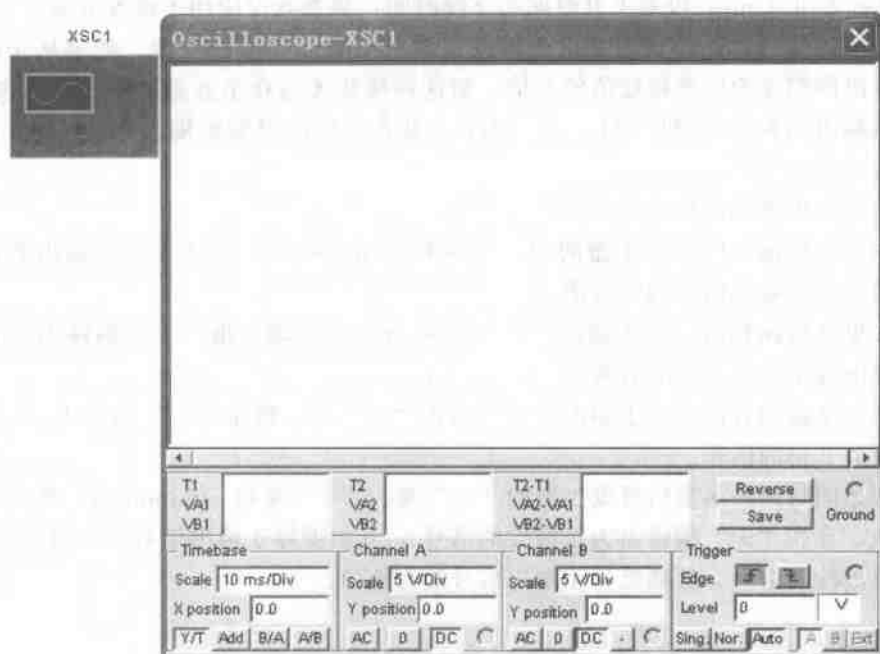


图 3.22 示波器在电路中的符号及其控制面板

- 显示方式：共有 3 种，分别为：

Y/T：幅度比时间，横坐标轴为时间轴，纵坐标轴为信号幅度。

Add：B 电压与 A 电压之和。

B/A：B 电压比 A 电压（除）。

A/B：A 电压与 B 电压。

2) A 信号通道控制调节 (Channel A)

- Y 轴刻度 (Scale)：设定 Y 轴每一格的电压刻度，调节范围为 (0.10mV/div~5kV/div)。

- Y 轴偏移 (Y position)：控制示波器 Y 轴方向的原点。

Y=0，垂直原点在屏幕垂直方向的中点。

Y>0，原点上移。

Y<0，原点下移。调节范围为 (-3~3V)。

- 输入显示方式 (AC/0/DC)：

AC：仅显示信号的交流成分。

0：无信号输入，输入端接地。

DC：显示交流忽然直流信号之和。

3) B 信号通道控制调节 (Channel B)

- Y 轴刻度 (Scale)：设定 Y 轴每一格的电压刻度，调节范围为 (0.10mV/div~5kV/div)。

- Y 轴偏移 (Y position)：控制示波器 Y 轴方向的原点。

$Y=0$, 垂直原点在屏幕垂直方向的中点。

$Y>0$, 原点上移。

$Y<0$, 原点下移, 调节范围为 $(-3\sim 3V)$ 。

- 输入显示方式 (AC/0/DC):

AC: 仅显示信号的交流成分。

0: 无信号输入, 输入端接地。

DC: 显示交流忽然直流信号之和。

4) 触发方式控制 (Trigger)

- 触发方式: 上升沿触发或下降沿触发。

- 触发信号选择:

Sing: 设置为单脉冲触发。

Nor: 设置为一般方式触发。

Auto: 设置为自动方式触发。

A: 设置为 A 通道触发。

B: 设置为 B 通道触发。

Ext: 设置为外触发。

如果希望尽可能显示波形或希望显示的波形平坦, 一般选用 Auto 方式触发。

5) T1 区 (红色)

- T1: 显示 T1 游标读数据指针离开显示屏幕最左端 (时间基准线) 所对应的时间, 时间单位取决于 Timescale 所设定的值。

- VA1: 显示 A 通道信号的幅度值, 其值为电路中实际测量的值, 与 X、Y 轴设置的 Scale 无关。

- VB1: 显示 B 通道信号的幅度值, 其值为电路中实际测量的值, 与 X、Y 轴设置的 Scale 无关。

6) T2 区 (蓝色)

- T2: 显示 T2 游标读数据指针离开显示屏幕最左端 (时间基准线) 所对应的时间, 时间单位取决于 Timescale 所设定的值。

- VA2: 显示 A 通道信号的幅度值, 其值为电路中实际测量的值, 与 X、Y 轴设置的 Scale 无关。

- VB2: 显示 B 通道信号的幅度值, 其值为电路中实际测量的值, 与 X、Y 轴设置的 Scale 无关。

- T2-T1 区

T2-T1: 显示 T2 游标读数据指针的位置与 T1 游标读数据指针的水平位置之差, 可以用来测量信号的周期、脉冲信号的宽度以及信号的上升和下降时间等。

VA2-VA1: 显示 A 通道 T2 游标读数据指针的位置与 T1 游标读数据指针的垂直位置之差。

VB2-VB1: 显示 B 通道 T2 游标读数据指针的位置与 Y1 游标读数据指针的垂直位置之差。

3.2.4 波特图示意

波特图示意又称为频率特性仪或扫频仪，用于测量电路的频率特性。它的一对输入端应接被测电路的输入端，而一对输出端应接被测电路的测试端，测量时电路输入端必须接交流信号源并设置信号大小，但对于信号频率无要求，所测的频率范围由波特图示意仪设定。波特图示意仪能显示电路的频率响应曲线，包括幅频特性曲线和相频特性曲线，这对分析滤波器等电路是很有用的。可用波特图示意仪来测量一个信号的电压增益（单位：dB）或相移（单位：度）。



是波特图示意仪在设计工具栏上的图标、在电路中的符号和其控制面板如图 3.23 所示。

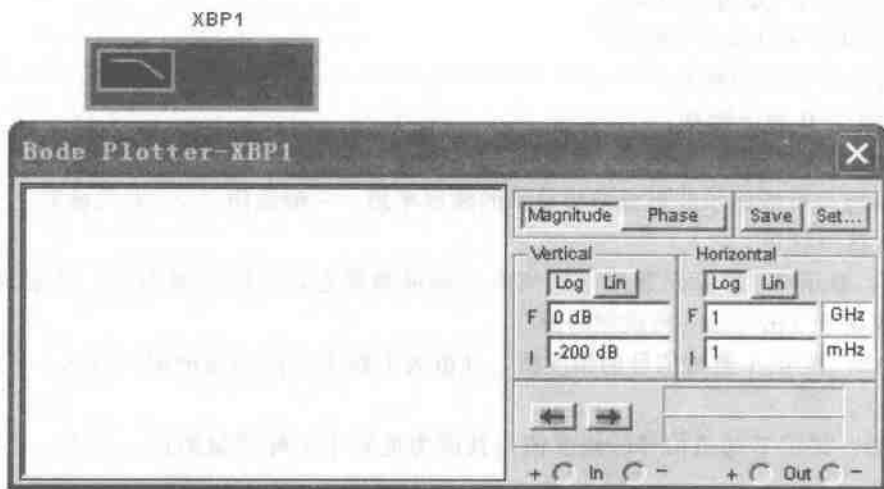


图 3.23 波特图示意仪在电路中的符号及其控制面板

波特图示意仪根据设定产生自身的频率谱，在分析时必须接入一个交流信号源。波特图示意仪的图标上有 4 个端点：In+、In-、Out+ 和 Out-。在测量前，将波特测试仪的输入端 In+ 和 In- 端接到电路的输入电压 U_i ；输出端 Out+ 和 Out- 端接到电路的输出电压 U_o 。

其参数进行设置。其中各设置参数意义如下：

- 最上方按钮：

Magnitude：显示幅频特性曲线。

Phase：显示相频特性曲线。

Save：保存当前所显示的特性曲线及设置的参数。

Set：设置当前扫描的分辨率，分辨率越高，扫描的时间越长。

Resolution Points 设置栏中，用户可以选择扫描的分辨率，默认分辨率是 100。

- Vertical 区：

Log：设置采用对数显示格式。

Lin：设置采用线性显示格式。

当测试幅频特性时,一般情况下,Y轴使用线性显示格式。当测试信号的频率范围较宽时,用对数格式较好,这时Y轴的刻度是分贝(dB),标尺刻度是 $20\log A(f)$ dB,其中 $A(f)=V_b(f)/V_i(f)$ 。

当测试相频特性时,Y轴使用线性显示格式,单位是度。

F: 是 Final (最终值) 的缩写,设置垂直轴的最高刻度值。

I: 是 Initial (起始值) 的缩写,设置垂直轴的最低刻度值。

选择合适的 F、I 值,以便清楚完整地观察所得的曲线。

←: 可以向左移动显示窗口中的游标,也可以直接用鼠标在显示窗口中拖动游标。

→: 可以向右移动显示窗口中的游标,也可以直接用鼠标在显示窗口中拖动游标。

• Horizontal 区:

Log: 设置采用对数显示格式。

Lin: 设置采用线性显示格式。


一般情况下,X轴使用线性显示格式,单位是度。

F: 设置水平轴的最高刻度值。

I: 设置水平轴的最低刻度值。

3.2.5 逻辑转换仪

1. 逻辑转换仪参数介绍

逻辑转换仪是 Multism 软件特有的仪器,在电路中加上逻辑转换仪可导出真值表;逻辑表达式和相应的逻辑电路图,  是逻辑转换仪在设计工具栏上的图标、在电路中的符号和其控制面板如图 3.24 所示。

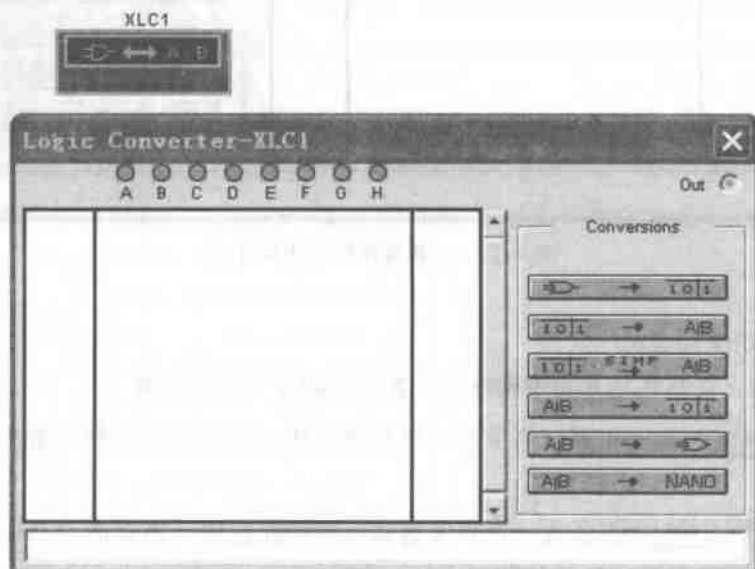


图 3.24 逻辑转换仪在电路中的符号及其控制面板

在使用逻辑转换仪之前,需要在电路中双击其图标,打开逻辑转换仪的设置面板,对其参数进行设置。

1) 最上方的输入输出区

在控制面板上方有 8 个输入端 A、B、C、D、E、F、G、H 和一个输出端 OUT, 提供在电路中连线使用。根据输入信号的个数,单击控制面板上面的输入小圆圈 (A~H) 可以确定输入信号的变量。

2) 数据显示区

显示真值表输入的各种组合,如单击控制面板上面的输入小圆圈 A、B、C 后,此时真值表会自动出现输入信号的所有组合,用户可以根据所需的逻辑关系修改真值表,在左边数据栏显示 10 进制的值,在中间的数据栏显示 2 进制的所有输入组合,最右边的数据栏是各种输入组合的输出,表中显示“?”,根据需要描述的逻辑问题,单击右边数据栏中的数值,其值可设置为 0、1、X、(X 表示 0 或 1),如图 3.25 所示。下面是逻辑表达式显示窗口。

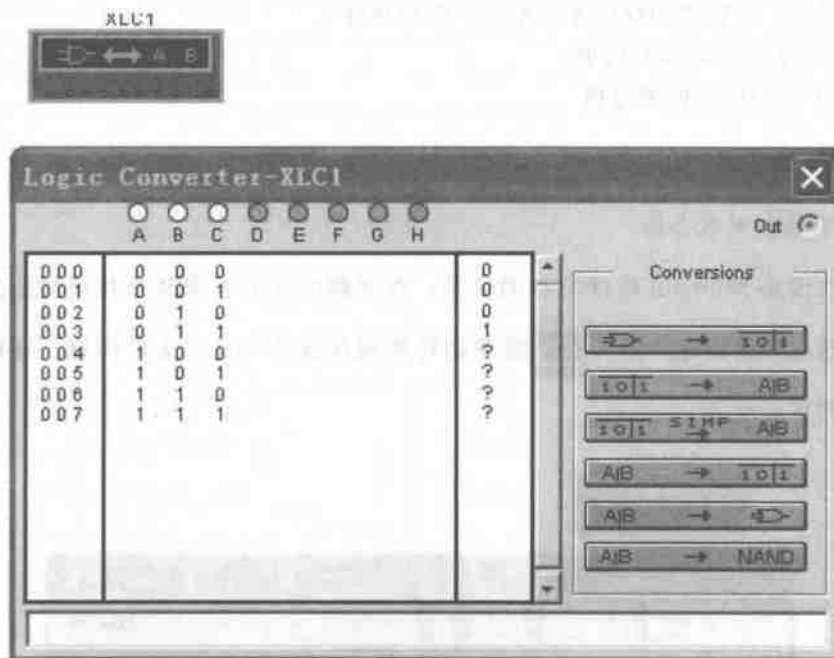




图 3.25 逻辑转换仪表达真值表

3) 右边的功能按钮区

提供真值表,逻辑表达式和逻辑电路 3 者之间的相互转换功能。

 电路→真值表:单击此按钮,则逻辑电路的真值表将显示在“真值表”显示区。

 真值表→逻辑表达式:单击此按钮,则真值表对应的逻辑表达式将显示在“表达式与最简式”显示区。

 真值表→最简逻辑表达式:单击此按钮,则真值表对应的最简逻辑表达式将显示在“表达式与最简式”显示区。

辑表达式将显示在“表达式与最简式”显示区。

$A|B \rightarrow \overline{101}$ 逻辑表达式 \rightarrow 真值表: 单击此按钮, 则“表达式与最简式”显示区的逻辑表达式对应的真值表将显示在“真值表”显示区。

$A|B \rightarrow \rightarrow$ 逻辑表达式 \rightarrow 电路: 单击此按钮, 则相应的逻辑电路将显示在电路工作区。

$A|B \rightarrow \text{NAND}$ 逻辑表达式 \rightarrow 与非门电路: 单击此按钮, 则相应的由与非门组成的逻辑电路将显示在电路工作区。

2. 逻辑转换仪的使用

一个使用逻辑转换仪描述 3 人多数表决电路如图 3.26 所示。

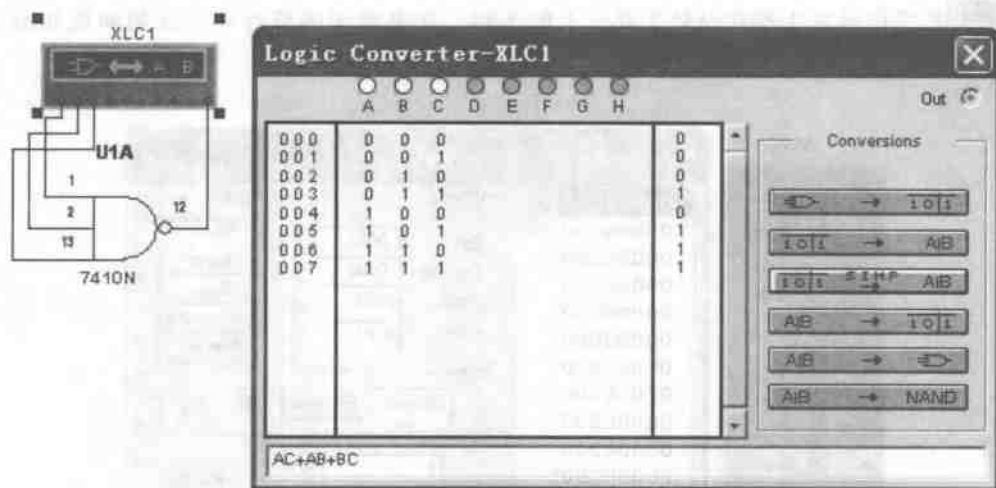


图 3.26 3 人多数表决逻辑表达式

XLC1 是一个 3 输入与非门, 其 3 个输入端分别连在逻辑转换仪的 A、B 和 C 的 3 个端点, 输出端连接逻辑转换仪的输出端。我们以组合逻辑电路中 3 人多数表决电路的设计为例, 则在数据显示区中显示该 3 个输入与非门的真值表。在逻辑转换仪的控制面板上单击 $\overline{101} \rightarrow A|B$ 按钮, 则在表达式显示区中显示与真值表对应的逻辑表达式 $A'BC + AB'C + ABC' + ABC$, 其中 A' 表示 \bar{A} 。在逻辑转换仪的控制面板上单击 $\overline{101} \rightarrow \text{SIMP} \rightarrow A|B$ 按钮, 则在表达式显示区中显示最简逻辑表达式如图 3.26 所示, 按 $A|B \rightarrow \rightarrow$ 按钮, 则在表达式显示区该 3 个与非门的电路如图 3.27 所示。

3.2.6 字信号发生器

1. 字信号发生器参数介绍

字信号发生器是一个多路逻辑信号源, 它能产生 16 位同步逻辑信号, 用于对数字电路的测试。字信号发生器可将数字或二进制数字信号送入电路, 用来驱动或测试电路。

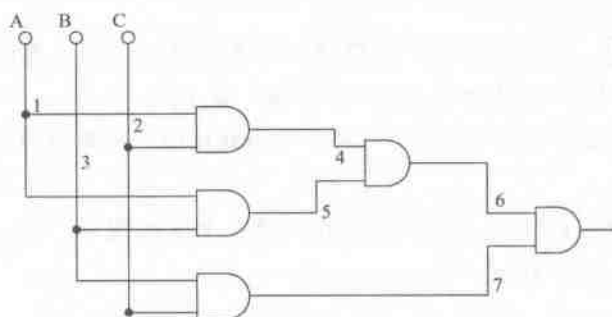


图 3.27 3 人多数表决电路



是字信号发生器在设计工具栏上的图标、在电路中的符号和其控制面板如图 3.28 所示。

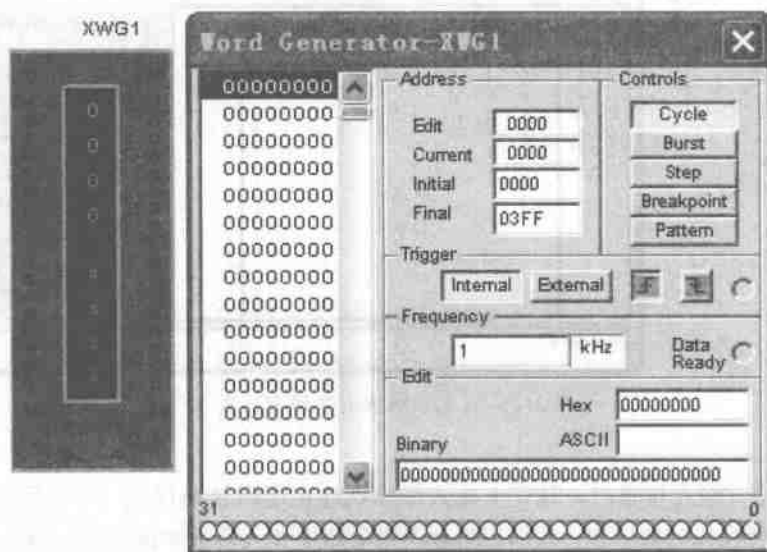


图 3.28 字信号发生器在电路中的符号及其控制面板

需要在电路在中调用字信号发生器时，在设计工具栏上单击对应即可在鼠标箭头上取出一个浮动的字信号发生器图标，移动到适当的位置后，单击鼠标左键即可将它放在电路中。其左右两边各有 16 个端点，分别为 0 到 15 和 16 到 31 的逻辑信号输出端，可以连接到测试电路的输入端。下面的信号 R 表示准备好端点（Ready），输出与字信号同步的时钟脉冲。T 表示外部触发信号输入端（Trigger）。

1) 字信号的显示

字信号以 8 位 16 进制数编辑和存放，编辑区存放 1024 条字信号，显示 Edit 区下 3 种方法 Hex、ASCII、Binary 编辑的输入数据。如在 Hex 内输入“00000001”数值，该区显示当前 16 进制的值。

2) Address 区

其功能是设置和显示可编辑的 32 位数据区的位置和范围,其中有 4 个设置栏,这些设置栏都是有 4 位的 16 进制数字组成。

Edit: 显示当前正在编辑的字信号的值。

Current: 显示当前正在编辑的字信号的地址。

Initial: 显示正在输出的数据区的首地址。

Final: 显示正在输出的数据区的末地址。

3) Trigger 区

设置字信号的触发方式:

Internal: 当选择 Internal (内) 触发方式时,字信号的输出直接由输出方式按钮 (Step、Burst、Circle) 启动。

External: 当选择 External (外) 触发方式时,则需接入外触发脉冲信号,再定义上升沿触发或下降沿触发,单击输出方式按钮,待触发脉冲到来时才启动输出。

4) Frequency 区

Frequency 区设置时钟频率,控制 Cycle 和 Burst 输出方式下字信号输出的快慢,可将数字信号发生器的时钟频率设置为 1Hz~999MHz,Ready 信号的输出端按照频率输出准备好信号。

5) Edit 区字信号的输入

字信号的输入在 Edit 区编辑,可用以下 3 种方法 Hex、ASCII、Binary 在编辑区输入数据。

6) Control 区

有 Cycle (循环)、Burst (单帧)、Step (单步)、Breakpoint (中断点)、Pattern (预设) 5 种信号输出方式:

Pattern (预设) 选项含义如下:

Clear buffer: 清零缓冲区,单击可清除 32 位数据存储区的全部数字。

Open: 打开 * DP 文件,将数据装入数据存储区。

Save: 将数据区的数据以 * DP 的数据文件形式存盘,以方便调用。

Up Counter: 在 32 位数据区产生递增计数数据序列。

Down Counter: 在 32 位数据区产生递减计数数据序列。

Shift Right: 在 32 位数据区产生右移位数据序列。

Shift Left: 在 32 位数据区产生左移位数据序列。

2. 字信号发生器的使用

一个使用字信号发生器的电路以连接七段显示译码显示设计结果为例说明其参数的设置如图 3.29 所示。U1 是一个七段译码显示器,双击字信号发生器图标打开其控制面板将 Initial 地址设置为 0000,Final 地址设置为 0009,表示产生的数据地址为 0000~0009。同时在数据 Edit 的 Hex 编辑区输入 00000000、00000001、00000002、00000003、00000004、00000005、00000006、00000007、00000008、00000009,在 Control 设置栏中选择 Cycle 方式,在 Trigger 设置栏设置为内触发 (Internal),频率设置为 10Hz。

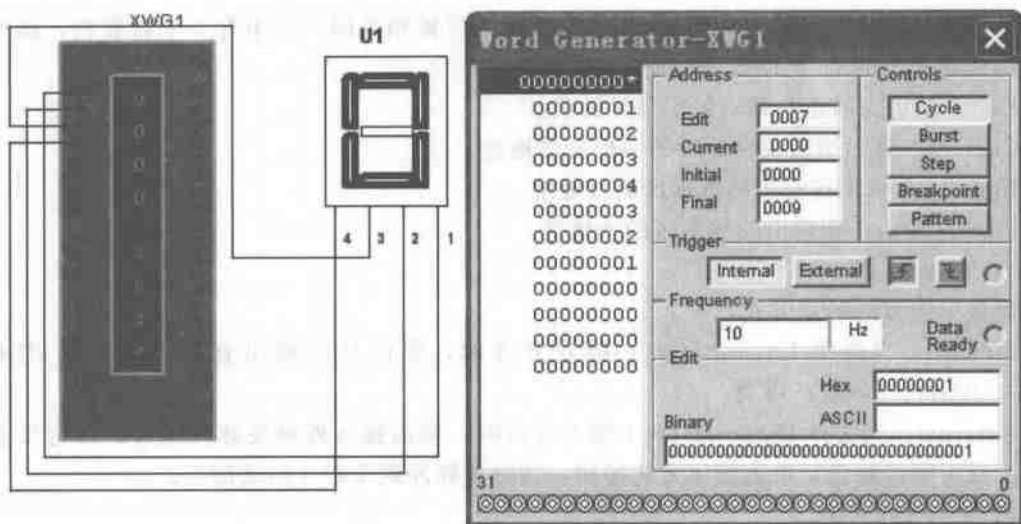



图 3.29 字信号发生器的设置

对电路进行仿真，七段译码显示器将循环显示 0、1、2、3、4、3、2、1，分别用循环方式（单击 Cycle 按钮）单帧方式（单击 Burst 按钮）和单步方式（连续单击 Step 按钮）3 种方式演示看看有什么不同。用户也可以改变 Frequency（频率）参数的设置，看看显示有什么不同。

3.2.7 逻辑分析仪

1. 逻辑分析仪参数介绍

逻辑分析仪可以高速采集和显示 16 路逻辑时序信号，因此，当把电路的输入信号和输出信号接入逻辑分析仪时，可以同步显示出输入信号和输出信号的波形，通过显示的波形分析电路的逻辑功能。逻辑分析仪的功能如同示波器，但逻辑分析仪可以同时显示 16 个信号的波形，其功能远比示波器强大。是逻辑分析仪在设计工具栏上的图标，需要在电路中调用逻辑分析仪时，在设计工具栏中单击其图标即可在鼠标箭头上取出一个浮动的逻辑分析仪的图标移动到适当的位置后，单击鼠标左键即可将它放在电路中。逻辑分析仪控制面板如图 3.30 所示。

1) 输入逻辑信号

左边是 16 路信号输入端，自上而下依次排列，上面第一路是输入信号的最低位，下面最后一路是输入信号的最高位。

2) 波形显示区

左边显示从 1~16 个逻辑信号 (Term1~Term16) 的输出。

3) 仿真控制区域

下部为仿真控制区域：

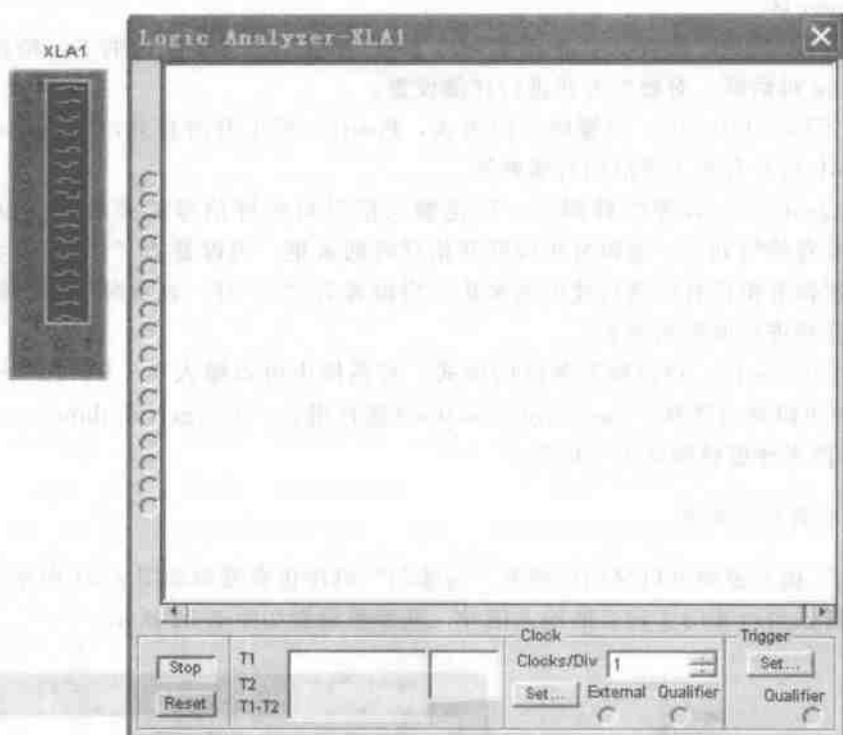


图 3.30 逻辑分析仪在电路中的符号及其控制面板

Stop: 停止信号的输出, 停止操作与触发模式有关。Reset: 清除仿真窗口的波形, 重新进行仿真。在停止运行后按下复位按钮, 消除记录区的波形; 在运行过程中按下复位按钮, 记录区波形被清除并开始显示波形。数据显示区显示 T1、T2 和 T1-T2 的时间值。其中 T1 为红色游标所处的时间位置, T2 为蓝色游标所处的时间位置, T1-T2 为红色游标 T1 和蓝色游标 T2 之间的时间差值。右边的小窗口为数据显示窗。上面的数据为红色游标所处的 T1 时间位置时的数据, 下面的数据为蓝色游标所处的 T2 时间位置时的数据。所显示的数据是 4 位十六进制数。

4) Clock 区

设置显示的时间轴, 即显示窗口的水平时间间隔。

Clock/Div: 设置每个时间间隔所显示的时钟脉冲。

Set: 设置时钟的脉冲, 单击此按钮, 将弹出 Clock Setup 对话框, 对时钟进行详细的设置。Clock Source 区: 设置触发选择, 有外触发 (External) 两种触发模式。Clock Rate 区: 设置内时钟频率, 可以改变选择内触发时时钟频率。Clock Qualifier: 设置时钟限定, 决定输入信号对时钟信号的控制。当设置为 “X” 时, 表示只要有信号到达, 逻辑分析仪就开始对波形的采集; 当设置为 “0” 时, 表示时钟控制输入为低电平时逻辑分析仪开始进行波形的采集。Sampling Setting 区: 设置采样方式, Pre-triggerSample 表示触发前的数据采样点数, Post-triggerSample 表示触发后的数据采样点数, Threshold Voltage 表示触发的阈值电压。

5) Trigger 区

Trigger 区设置触发的方式，单击如图 3.30 所示在 Trigger 区内的 Set 按钮，将弹出 TriggerSetting 对话框，对触发方式进行详细设置。

Trigger Clock Edge 区：设置触发沿方式，Positive 指上升沿有效，Negative 指下降沿有效，而 Both 指上升和下降沿均有效触发。

TriggerQualifier：设置时钟限定，决定输入信号对时钟信号的控制，当设置为“X”时，表示只要有信号到达，逻辑分析仪就开始对波的采集；当设置为“1”时表示时钟控制输入为 1 时逻辑分析仪开始进行波形的采集；当设置为“0”时，表示时钟控制输入为 0 时逻辑分析仪开始进行波形的采集。

TriggerPattern 区：设置触发条件的模式，对话框中可以输入 A、B、C3 个触发条件。3 个触发条件可以通过选择 TriggerCombinations 进行组合，TriggerCombinations 对 A、B、C3 个触发条件多种逻辑模式进行组合。

2. 逻辑分析仪的使用

“与非门”接入逻辑分析仪的电路及“与非门”时序仿真波形如图 3.31 所示，此仿真用字信号发生器做为与非门 1 和 2 的输入信号，其参数设置如图 3.32 所示。

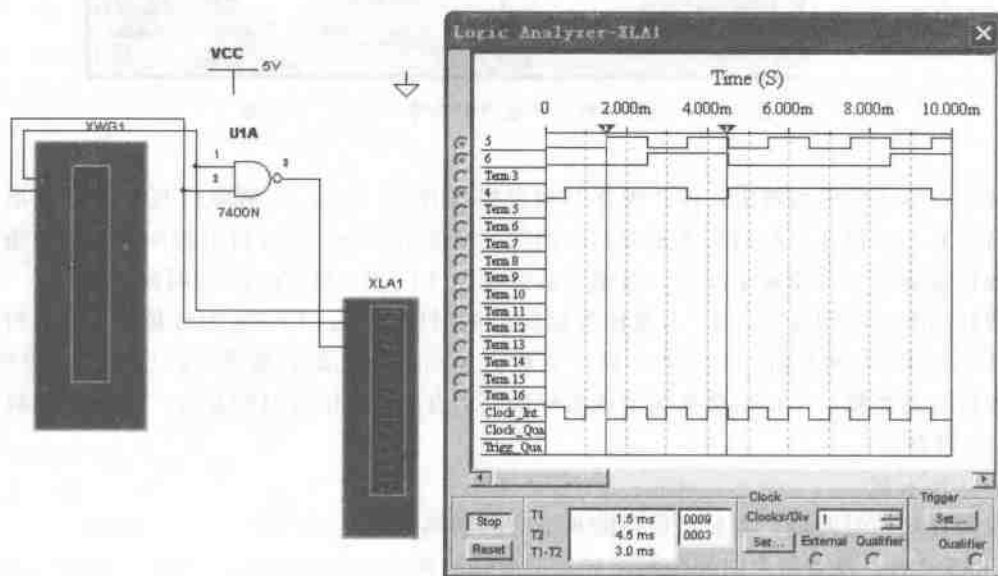


图 3.31 “与非门”时序仿真波形

仿真用 2 个函数信号发生器做为与非门 1 和 2 的输入信号，2 个函数信号发生器都用 1kHz 的方波，1 号的方波用 50% 的占空比，2 号的方波用 30% 的占空比，逻辑分析仪的 Clock 设置 (set...) 用 10kHz 的脉冲，其电路如图 3.33 所示。“与非门”接入逻辑分析仪的时序仿真波形如图 3.34 所示。

3.3 放大电路的分析

3.3.1 放大电路静态工作点的分析

放大电路静态工作点直接影响放大电路的动态范围,进而影响放大电路的电流电压增益和输入/输出电阻等参数指标,故设计一个放大电路首先要设计合适的工作点。其性能指标的仿真如 3.1.3 所述。

3.3.2 放大电路的动态分析

1. 放大电路的交流分析

其性能指标的仿真如 3.1.3 所述。

2. 放大电路的瞬态分析

单击 Simulate 菜单中的 Analysis 命令下的 Transient Analysis 命令,弹出 Transient Analysis 对话框,在其 Output variables 标签中,选定节点 3 (输入节点) 和节点 9 (输出节点) 进行仿真,在 Start time 和 End time 分别选择 0s 和 0.001s,单击 Simulate 按钮,仿真分析结果如图 3.35 所示。

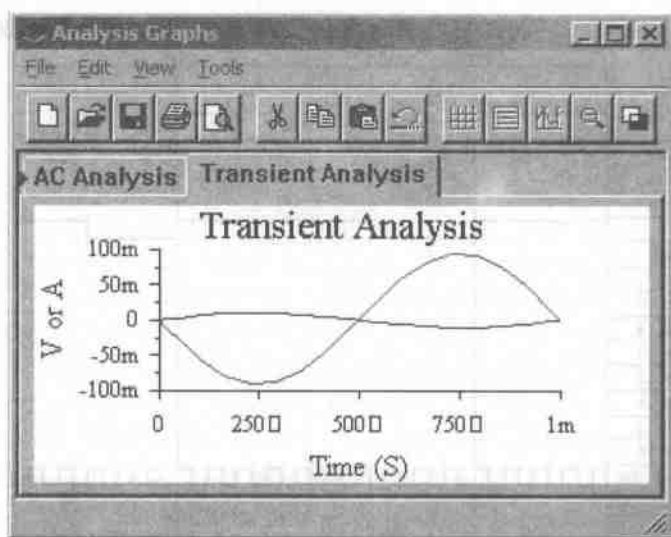


图 3.35 放大电路的瞬态分析

3.3.3 电压源和电流源激励下放大电路的输入与输出情况

1. 电压源激励

图 3.36 (a) 所示放大电路的激励源是电压源,输入端加 $U_s = 10\cos(2000\pi t)\text{mV}$ 的正弦信号,输出波形无明显失真,输出电压幅度为 180mV。若增大输入信号幅度为 500mV,

输入与输出波形如图 3.36 (b) 所示, 明显看出波形上秃下尖, 产生非线性失真。输出电压幅度正半周为 2.299V, 而负半周却有 4.334V。用同样的方法, 降低输入信号幅度为 1mV 时, 输出波形将也产生失真。

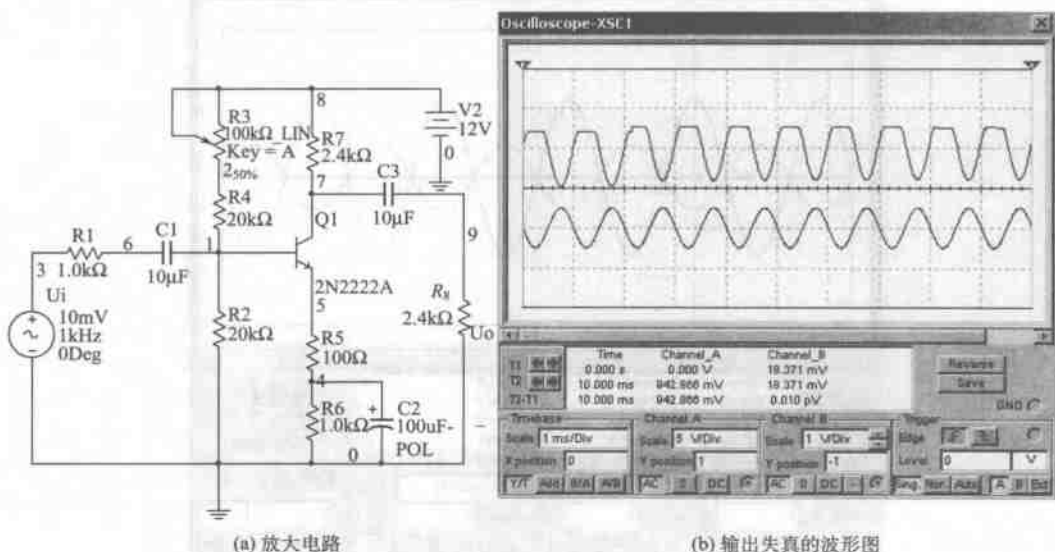


图 3.36 放大电路及其输出波形

2. 电流源激励

改变图 3.36 (a) 所示的放大电路中激励源为电流源, 如图 3.37 所示, 设 $I_s(t) = I_s \cos(2000\pi t) \mu\text{A}$, 调整输入信号电流幅度, 使输出电压峰-峰值与图 3.36 相同, 约为

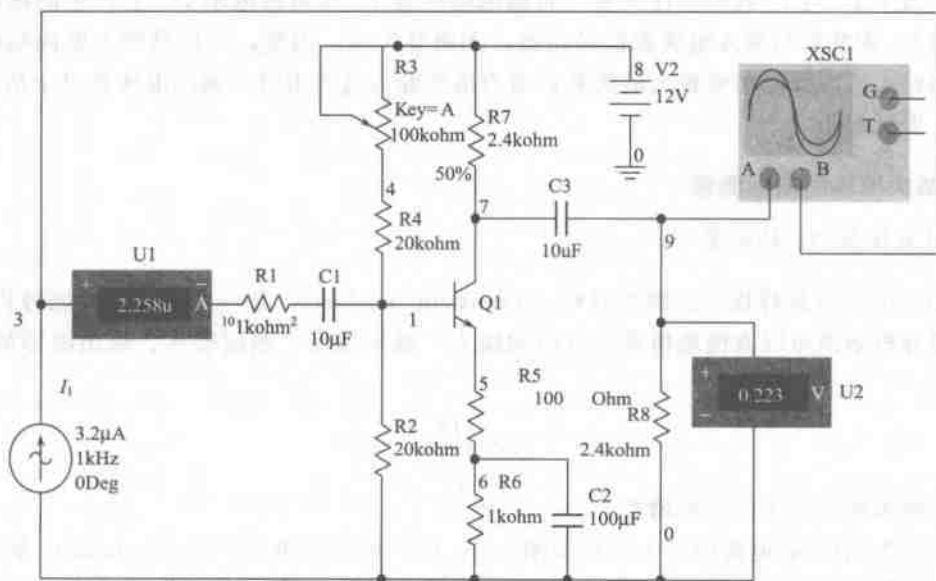


图 3.37 电流源激励时的放大电路

360mV, 此时 $I_e = 3.2\mu\text{A}$ 。再观察电路的波形如图 3.38 所示。从图 3.38 可见放大电路输出波形无明显失真。

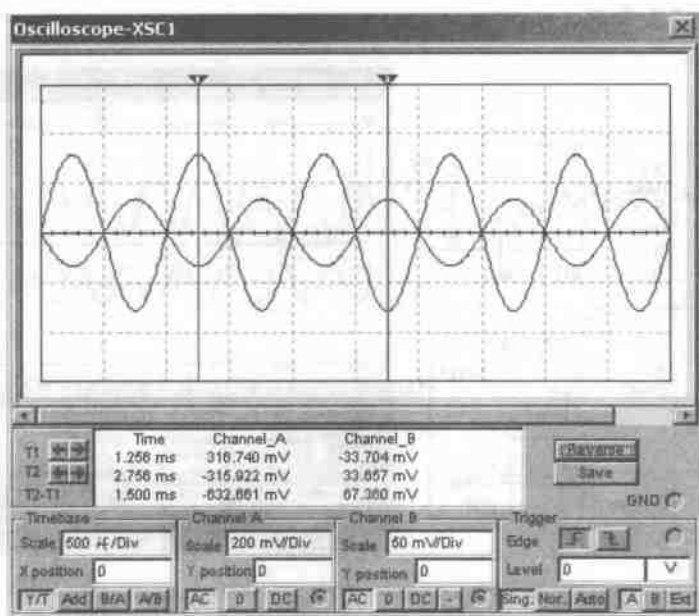


图 3.38 电流源激励时放大电路输出电压波形

以上现象说明, 对同一个放大电路, 即使输出电压动态范围相同, 但由于电压源激励和电流源激励不同使得输出电压波形失真情况不同。在用电压源激励时, 输入信号幅度增大, 输出电压波形有明显的非线性失真, 这是晶体管输入特性的非线性导致的结果; 而用电流源激励时, 由于 I_c 与 I_b 近似线性关系, 而输出电压是 I_c 在负载电阻 R_c 上产生的压降, 故输出电压 U_o 的波形与输入电流源信号相比, 无明显失真。因此, 当信号源为低内阻时, 输出电压相对于信号源电压有较大的失真; 而当信号源为高内阻时, 输出电压相对于信号源电压而言, 失真很小。

3.3.4 放大电路的指标测量

1. 放大倍数 A_v 的测量

Multisim 仿真软件提供的瞬态分析 (Transient Analysis) 是一种非线性时域分析方法。利用瞬态分析结果可以方便地仿真出电路的输入、输出波形, 测出输入、输出波形的峰值, 利用公式:

$$A_v = \frac{U_o}{U_i}$$

可方便地算出放大电路的增益。

首先在 Multisim 电路窗口中创建如图 3.36 (a) 所示的电路, 单击 Simulate 菜单中的 Analysis 命令下的 Transient Analysis 命令, 在弹出瞬态对话框中, 设置起始时间 (Start time) 为 0, 终止时间 (End time) 为 0.001s, 在 Output Variables 标签页中选择输入节点

3 和输出节点 9 为分析节点。单击 Simulate 按钮, 利用示波器测出不失真的输出输入仿真结果, 再利用指针读取输入、输出信号波形峰值, 代入公式。

2. 输入电阻 R_i 和输出电阻 R_o 的测量

电路如图 3.39 所示, 在输入/输出端分别接入交流模式电流表测量 I_i 、 I_o 、 U_i 、 U_o (R_s 接入时的输出电压) 和 U_{o2} (R_s 开路时的输出电压)。

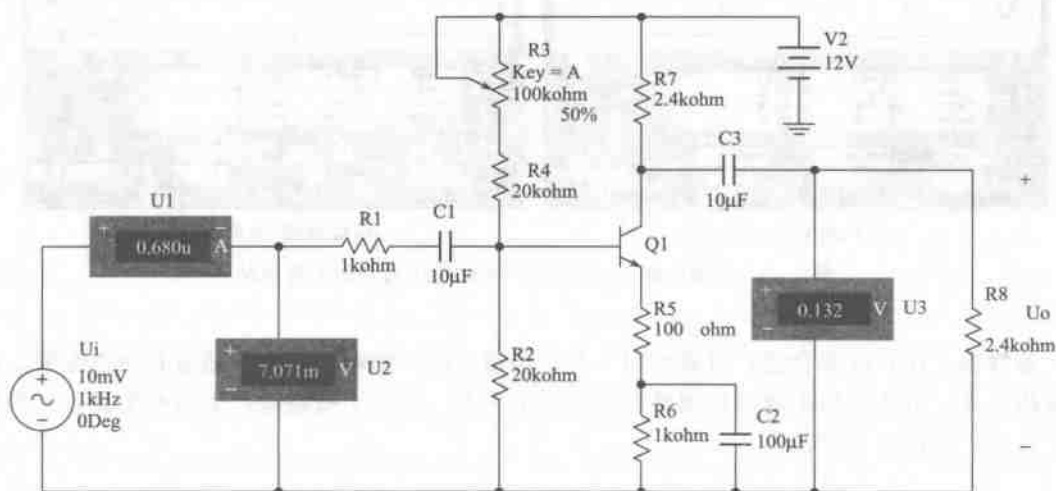


图 3.39 输入电阻 R_i 和输出电阻 R_o 的测量

从图 3.39 可知:

输入交流电流的有效值 I_i 为 $0.68\mu\text{A}$, 输入交流电压的有效值 U_i 为 7.071mV , 所以 $R_i = U_i / I_i = 10397\Omega$ 。

输出电压 U_{o1} 的有效值为 0.063V , 输出电压 U_{o2} 的有效值为 0.132V 。

可计算出: $R_o = (U_{o2} / U_{o1} - 1) \times R_s = 2.628\text{k}\Omega$ 。

3.3.5 组件参数对放大电路性能的影响

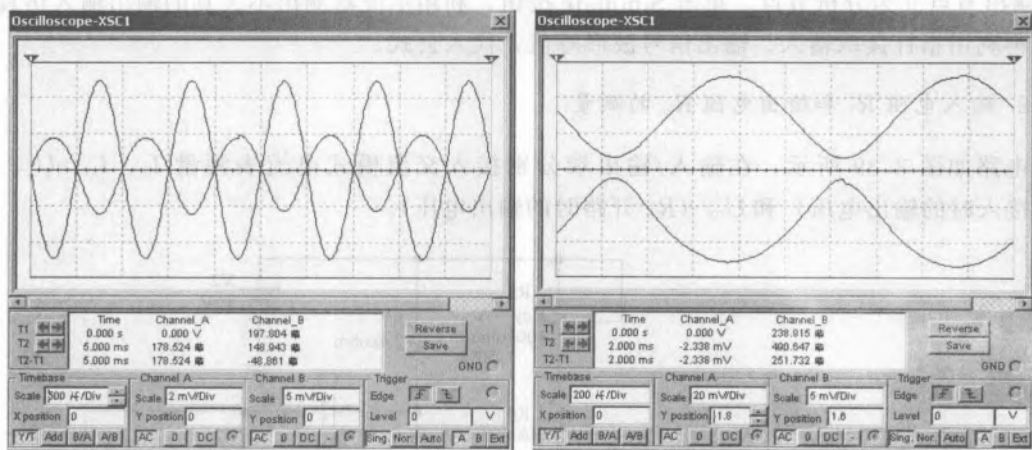
下面讨论静态工作点对放大性能的影响。

假定 R_c 、 R_i 不变, 输入信号从 0 开始增大, 使输出信号足够大但不失真。工作点偏高, 输出将产生饱和失真; 工作点偏低, 则产生截止失真。一般来说, 静态工作点 Q 应选在交流负载线的中央, 这时可获得最大的不失真输出, 即可得到最大的动态工作范围。

增大 R_{b1} 或减小 R_{b2} , 工作点升高, 但交流负载线不变, 动态范围不变; 增大 U_{cc} , 交流负载线向右平移, 动态范围增大, 同样会提升工作点; 增大 R_c , 交流负载线斜率绝对值减小, 动态范围减小, 同时降低工作点。反之则相反。

对图 3.36 (a) 所示的放大电路来说, 在输入信号幅度适当时, 调整偏置 R_{b2} 电阻时, 输出波形的失真情况如图 3.40 (a) 和图 3.40 (b) 所示。

静态工作点决定以后, 若增大或减小集电极负载电阻 R_c , 都会影响输出电流或输出电压的动态范围。在激励信号不变的情况下, 会产生饱和失真或截止失真。

(a) R_{b2} 减小产生的饱和失真(b) R_{b2} 增加产生的截止失真图 3.40 调整偏置 R_{b2} 电阻时产生的输出波形的失真情况

若静态工作点设置合适, 负载电阻不变, 但输入信号的幅度增大, 超出其动态范围, 会使输出电流、电压波形出现顶部削平和底部削平失真。即放大电路既产生饱和失真, 又产生截止失真, 如图 3.41 所示。

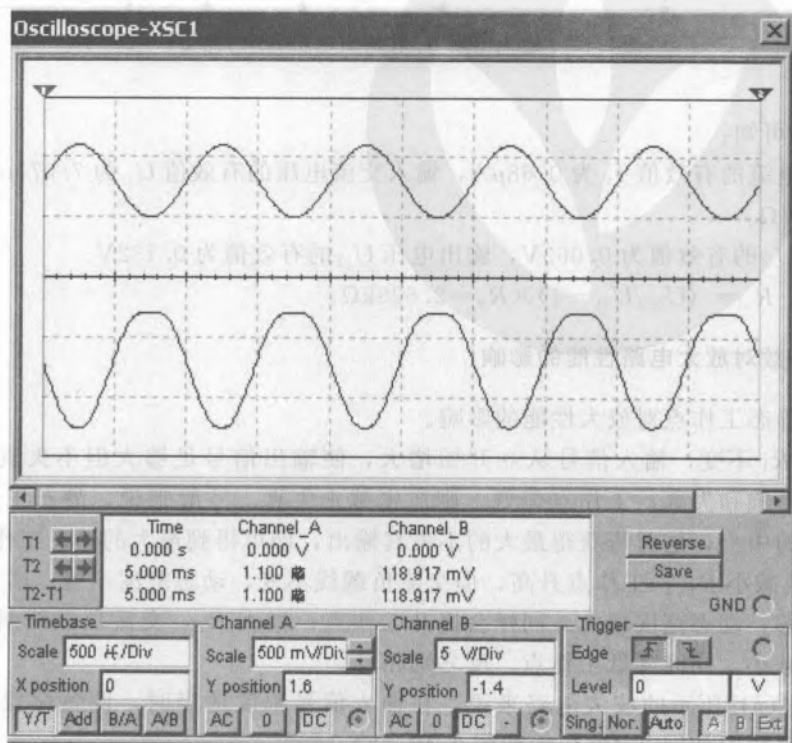


图 3.41 输入信号的幅度过大引起失真

以上的讨论充分说明了放大电路的静态工作点, 输入信号以及集电极负载电阻对放大电路输出电流电压波形动态范围的影响。设计一个放大电路, 首先要充分考虑这些因素。

3.3.6 三极管故障对放大电路的影响

利用 Multisim 仿真软件可以虚拟仿真三极管的各种故障现象。为观察方便并与输入波形形成对比, 将 B 通道输出波形下移 1.2 格, A 通道输入波形上移 1.2 格。对图 3.36 (a) 所示的放大电路, 若设置三极管 B、E 极开路, 则放大电路的输入、输出波形如图 3.42 所示, 输出信号电压为零, 与理论分析吻合。

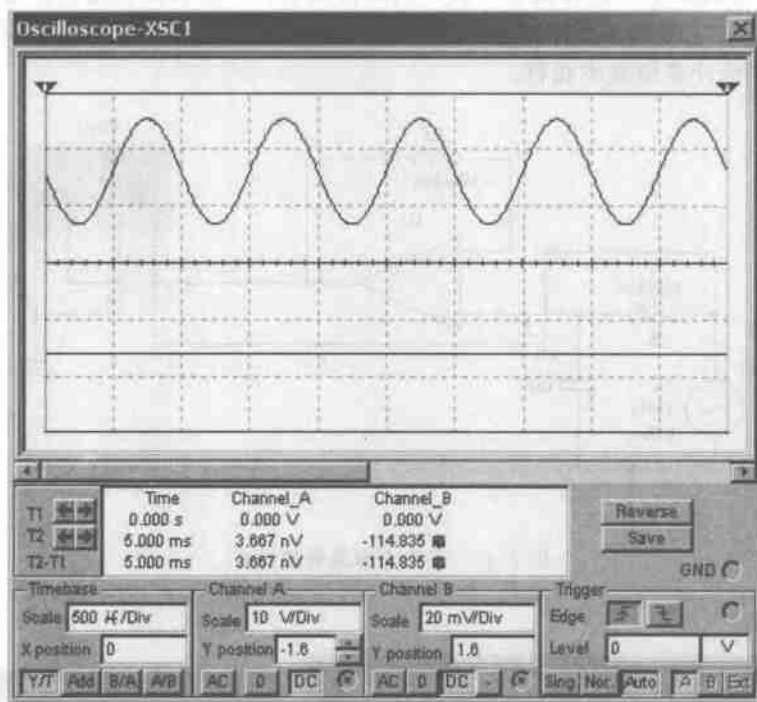


图 3.42 三极管 B、E 极开路时电路的输入与输出波形

3.4 有源滤波电路的分析

滤波器是一种能够滤除不需要频率的分量、保留有用频率分量的电路。工程上常用于信号处理、数据传送和抑制干扰等方面。利用运算放大器和无源器件 (R、L、C) 构成有源滤波器具有一定的电压放大和输出缓冲作用。按滤除频率分量的范围来分, 有源滤波器可分为低通滤波器、高通滤波器、带通滤波器和带阻滤波器。

用 Multisim 仿真软件中的交流分析, 可以方便地求得滤波器的频率响应曲线, 根据频率响应曲线, 调整和确定滤波器电路的元件参数, 很容易获得所需的滤波特性, 同时省去繁琐的计算, 充分体现计算机仿真技术的优越性。

3.4.1 低通滤波器

1. 一阶有源低通滤波器

图 3.43 所示为一阶有源低通滤波器。

电路的截止频率：

$$f_n = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi \times 10 \times 10^3 \times 1000 \times 10^{-12}} = 15.92\text{kHz}$$

在交流分析对话框中，合理设置参数，启动仿真后，一阶有源低通滤波电路的幅频响应和相频响应如图 3.44 所示。由幅频特性指针 2 处读取该低通滤波器的截止频率 (X_2) $f_n = 15.96\text{kHz}$ ，与理论计算值基本相符。

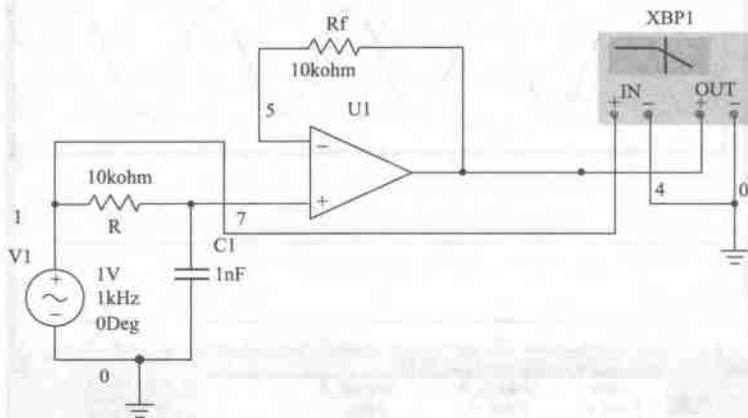


图 3.43 一阶有源低通滤波器

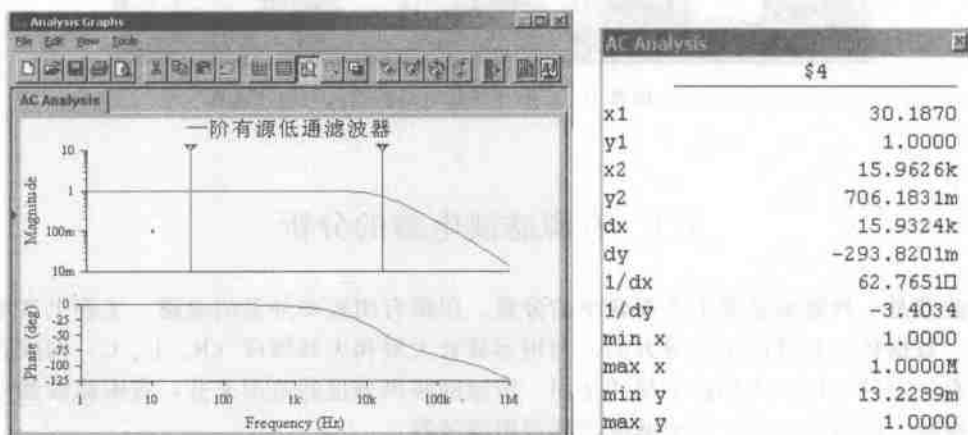


图 3.44 一阶有源低通滤波电路的幅频响应和相频响应

2. 二阶有源低通滤波器

二阶有源低通滤波器电路如图 3.45 所示。

$$\text{电路的截止频率: } f_n = \frac{1}{2\pi RC} = \frac{1}{2\pi \times 6.8 \times 10^3 \times 47 \times 10^{-9}} = 498 \text{ Hz}$$

$$C = C_1 = C_2, R = R_1 = R_2$$

在“交流分析”对话框中,合理设置参数,启动仿真后,二阶有源低通滤波电路的幅频响应和相频响应如图 3.46 所示。由幅频特性指针 2 处读取该低通滤波器的截止频率 (X_2) $f_n = 500.5 \text{ Hz}$,与理论计算值基本相符。

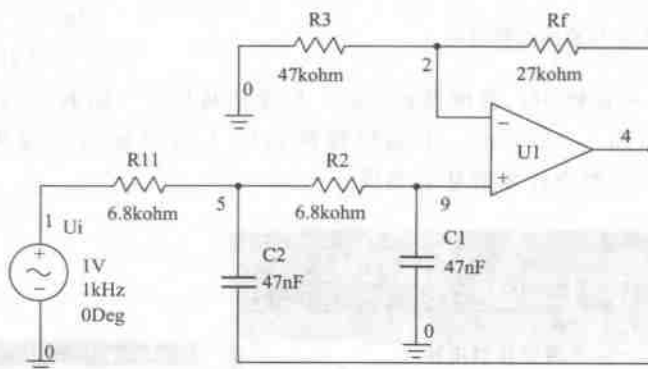


图 3.45 二阶有源低通滤波器电路

当输入信号电压频率高于截止频率时,二阶滤波器频率响应下降速率明显高于一阶滤波器(下降速率由 20dB/十倍频程增加到 40dB/十倍频程)。

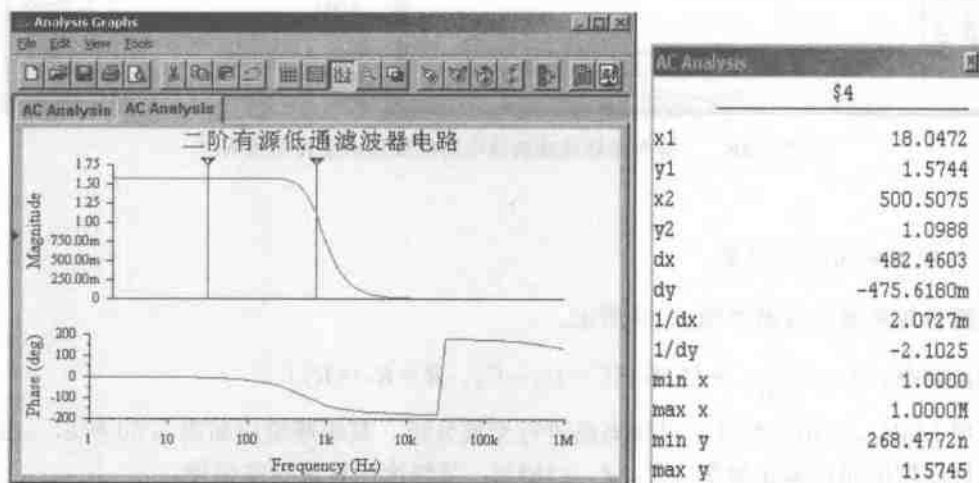


图 3.46 二阶有源低通滤波器电路的幅频响应和相频响应

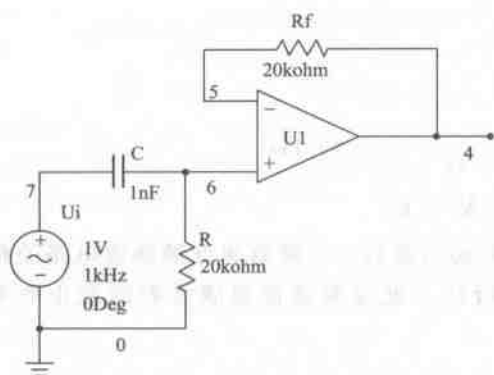


图 3.47 一阶有源高通滤波器电路

3.4.2 高通滤波器

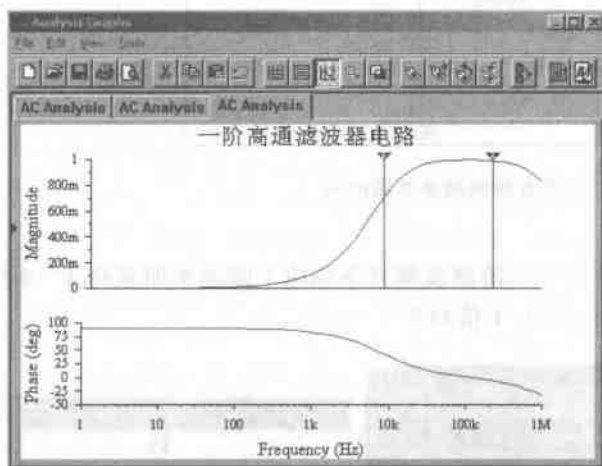
1. 一阶有源高通滤波器

将低通滤波器中元件 R 、 C 的位置互换后，电路变为高通滤波器，一阶有源高通滤波器如图 3.47 所示。

$$\text{截止频率: } f_n = \frac{1}{2\pi RC}$$

$$= \frac{1}{2\pi \times 20 \times 10^3 \times 1 \times 10^{-9}} = 7.96 \text{ kHz}$$

在“交流分析”对话框中，合理设置参数，启动仿真后，一阶有源高通滤波器电路的幅频响应和相频响应如图 3.48 所示。由幅频特性指针 1 处读取该低通滤波器的截止频率 (X_2) $f_n = 7.95 \text{ kHz}$ ，与理论计算值基本相符。



AC Analysis	
§4	
x1	7.9551k
y1	706.8810m
x2	223.0050k
y2	988.1777m
dx	215.0499k
dy	281.2967m
1/dx	4.6501□
1/dy	3.5550
min x	1.0000
max x	1.0000M
min y	125.6643□
max y	994.5835m

图 3.48 一阶有源高通滤波器电路的幅频响应和相频响应

2. 二阶有源高通滤波器

二阶有源高通滤波器如图 3.49 所示。

$$\text{截止频率: } f_n = \frac{1}{2\pi RC} = 1 \text{ kHz} \quad (C = C_1 = C_2, R = R_1 = R_2)$$

利用 Multisim 仿真软件，对该电路进行交流分析，其幅频响应如图 3.50 所示。由幅度特性指针读取电路的截止频率 (X_1) $f_n = 1 \text{ kHz}$ ，与理论计算值基本相符。

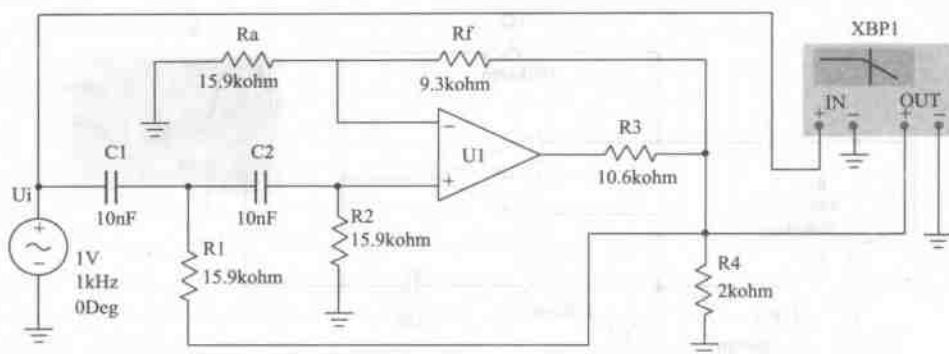


图 3.49 二阶有源高通滤波器电路

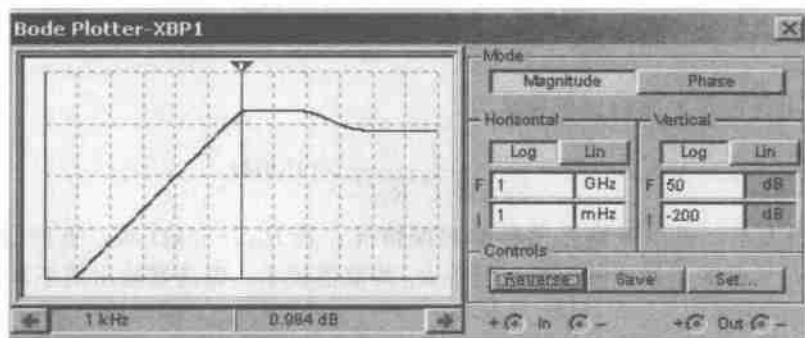


图 3.50 二阶有源高通滤波器的幅频响应和相频响应

3.5 正弦波信号产生电路的分析

信号产生电路是电子系统中的重要组成部分。信号产生电路从直流电源获取能量，转换成负载上周期性变化的交流振荡信号。若振荡频率单一，为正弦波信号发生电路；若振荡频率含有大量谐波，称为多谐振荡，如矩形波、三角波等。

3.5.1 RC 基本文氏电桥振荡电路

RC 正弦波振荡电路有很多种形式，其中文氏电桥振荡电路最为常用。当工作于超低频时，常选用积分式 RC 正弦波振荡电路。

图 3.51 所示电路为基本文氏电桥振荡电路，电路中负反馈网络为一电阻网络，电路中正反馈网络 RC 选频网络。其中，正反馈系数 $B_+ = \frac{1}{1 + \frac{R_2 + C_1}{R_1 + C_2}} = \frac{1}{3}$ ，负反馈系数 $B_- =$

$\frac{R_n}{R_n + R_n}$ ， $A = \frac{1}{B_-}$ ，为了满足起振条件 $AB_+ \geq 1$ ，取 $R_n = 100\text{k}\Omega$ ，则 $R_n \leq 50\text{k}\Omega$ 。

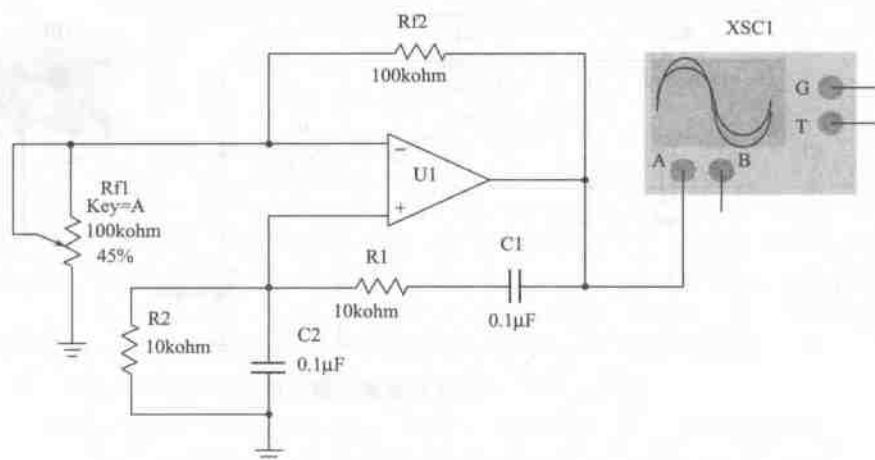


图 3.51 基本文氏电桥振荡电路

基本文氏电桥振荡电路的振荡频率为

$$f_0 = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} = 159\text{Hz}$$

调整 R_n 的大小, 可以观察振荡器的起振情况。若 $R_n > 50\text{k}\Omega$ 时, 电路很难起振; 若 $R_n < 50\text{k}\Omega$ 时, 尽管振荡器能够起振, 但若 R_n 的取值较小, 振荡器输出的不是正弦波信号, 而是方波信号。

由于输出波形上下均幅, 说明电路起振后随幅度增大, 运算放大器进入强非线性区。RC 正弦波振荡电路因选频网络的等效 Q 值很低, 不能采用自生反偏压稳幅, 只能采用热惰性非线性元件或自动稳幅电路来稳幅。当工作与低频或超低频范围时, 难以找到具有足够惰性的非线性元件, 则必须使用自动稳幅电路来稳幅。

图 3.52 所示的电路是基本文氏电桥振荡器的改进电路, 它是用场效应管稳幅的文氏电桥振荡器。振荡电路的稳幅过程是: 若输出幅度增大, 当输出电压大于稳压管的击穿电压时, 则检波后加在场效应管上的栅压负值增大, 漏源等效电阻增大, 负反馈加强, 环路增益下降, 输出幅度降低, 从而达到稳幅的目的。

对图 3.52 所示场效应管稳幅的文氏电桥振荡器进行瞬态分析, 振荡波形如图 3.53 所示。可见, 振荡器输出的波形基本上是正弦波。

3.5.2 RC 移相式振荡器

RC 移相式振荡器如图 3.54 所示, 该电路是由反相放大器和 3 节 RC 移相网络组成, 要满足振荡相位条件, 则要求 RC 移相网络完成 180° 相移。由于一节 RC 移相网络的相移极限为 90° , 因此采用 3 节或 3 节以上的 RC 移相网络, 才能实现 180° 相移。

只要适当调节 $R_f = R_1$ 的值, 使得 A_u 适当, 就可以满足相位和振幅条件, 产生正弦振荡。其振荡频率 $f_0 \approx \frac{1}{2\pi\sqrt{6}RC}$ ($R = R_1 = R_2 = R_3$, $C = C_1 = C_2 = C_3$)。振荡波形如图 3.55 所示。

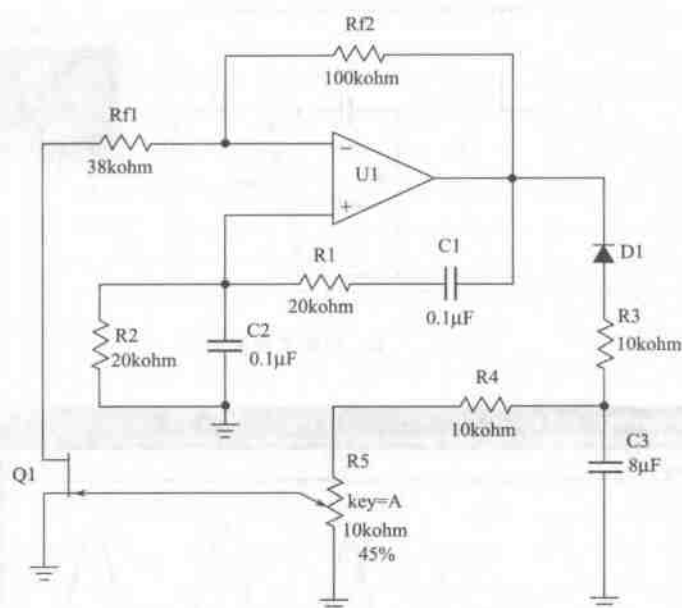


图 3.52 改进的文氏电桥振荡器

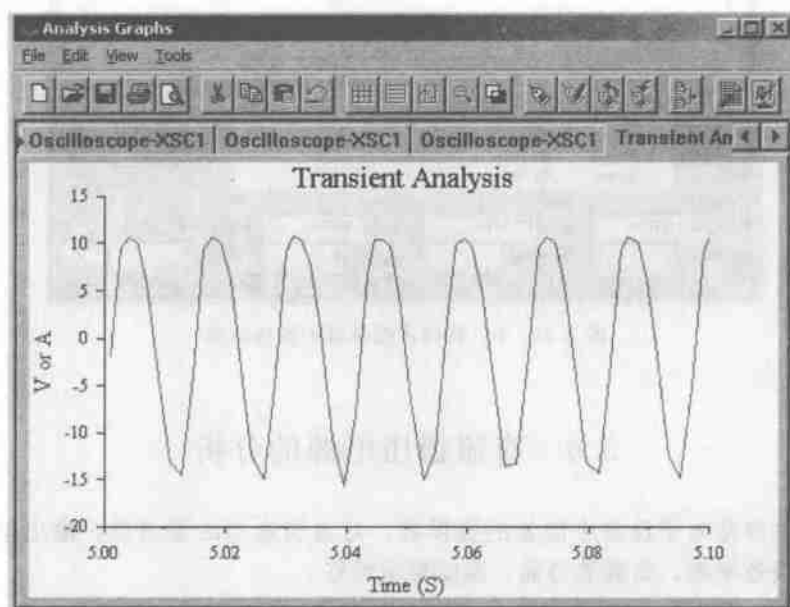


图 3.53 用场效应管稳幅的文氏电桥振荡器的振荡波形

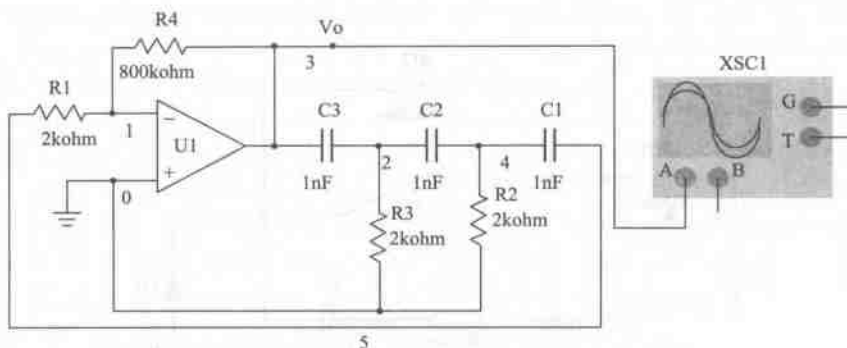


图 3.54 RC 移相式振荡器

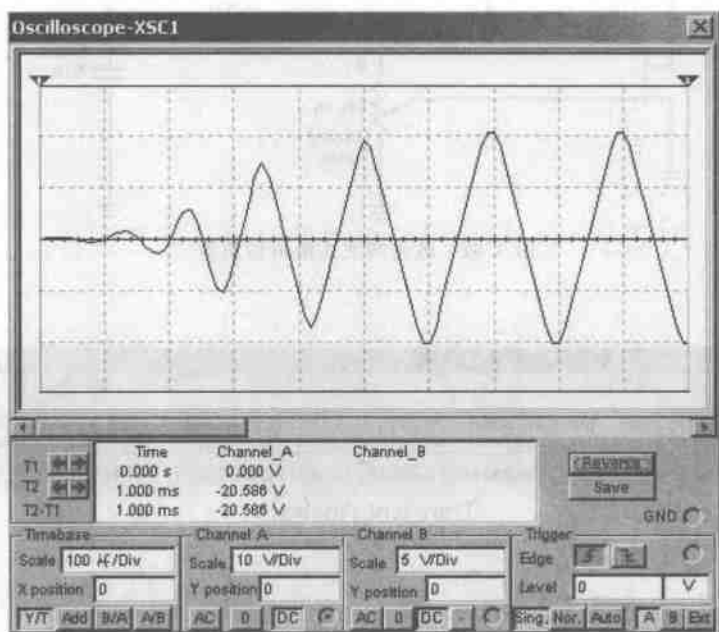


图 3.55 RC 移相式振荡器的振荡波形

3.6 直流稳压电源的分析

直流稳压电源是电子设备中能量的提供者。对直流电源的要求是：输出电压的幅值稳定、平滑、变换效率高、负载能力强、温度稳定性好。

3.6.1 线性稳压电源

图 3.56 所示的电路为线性稳压电源。220V/50Hz 交流电经过降压、整流、滤波和稳压 4 个环节变换成稳定的直流电压。

对图 3.56 所示的电路进行瞬态分析，电阻 R_L 两端的波形如图 3.57 所示。可见，电路输出接近直流。

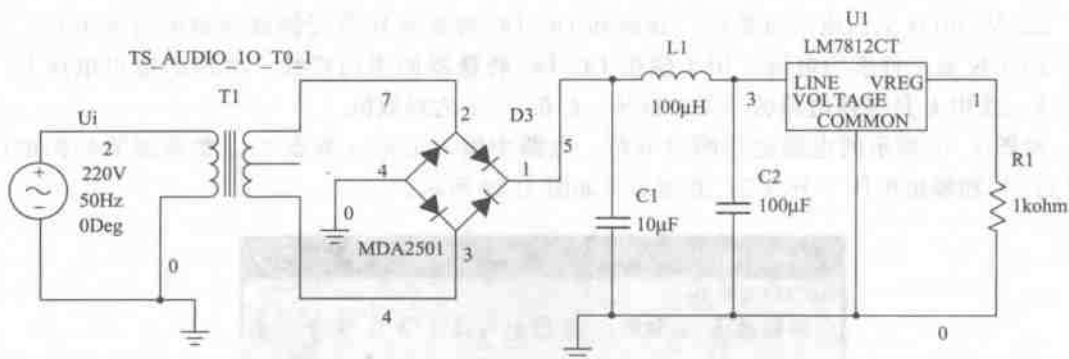


图 3.56 线性稳压电源

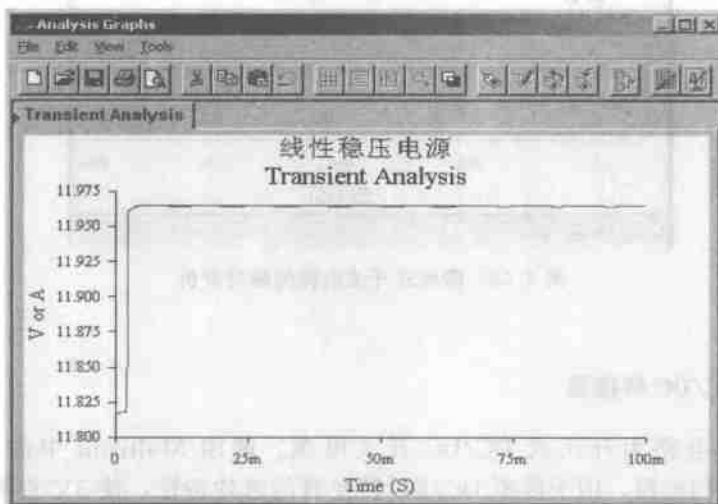


图 3.57 经稳压管稳压后输出信号的波形

3.6.2 降压式开关电源

图 3.58 所示的电路为降压式开关电源。

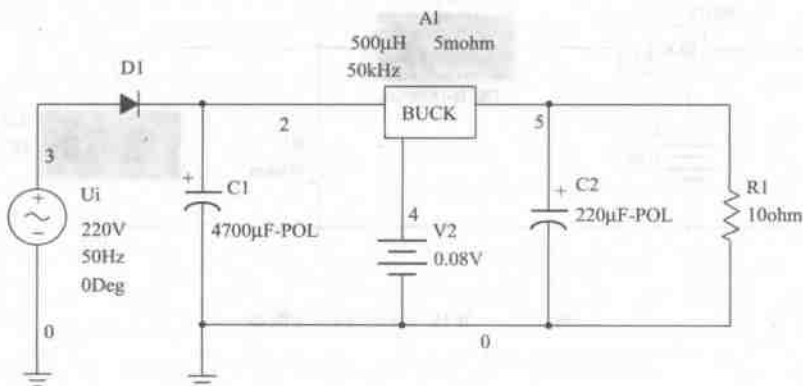


图 3.58 降压式开关电源

220V/50Hz 交流电经过整流、滤波和 DC/DC 转换等环节变换成稳定的直流电压。其中, BUCK 是一种求均电路, 用于模拟 DC/DC 转换器的求均特性。电路的输出电压 $U = U_i \times k$, 式中 k 是转换电路的开关占空比, k 在 0~1 之间取值。

对图 3.58 所示的电路进行瞬时分析, 电路中输入电压 (节点 3)、整流滤波后的电压 (节点 2) 和输出电压 (节点 5) 的波形图如图 3.59 所示。

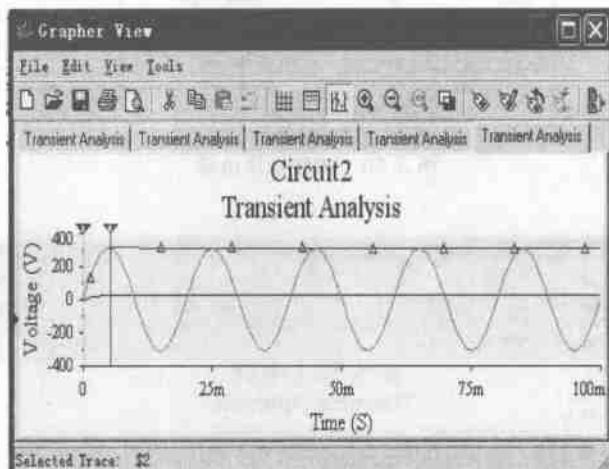


图 3.59 降压式开关电源的瞬时分析

3.6.3 升压式 DC/DC 转换器

图 3.60 所示电路为升压式 DC/DC 开关电源。调用 Multisim 中的 BOOST 器件, BOOST 是一种求均电路, 用于模拟 DC/DC 转换器的求均特性, 使 5V 直流电压经过 DC/DC 转换后而得到 15.583 直流电压。它不仅能模拟电源转换中的小信号和大信号特性, 而且能模拟开关电源的瞬态响应。电路的输出电压 $V_o = V_i / (1 - k)$, 式中 k 是转换电路的开关占空比, k 在 0~1 之间取值。

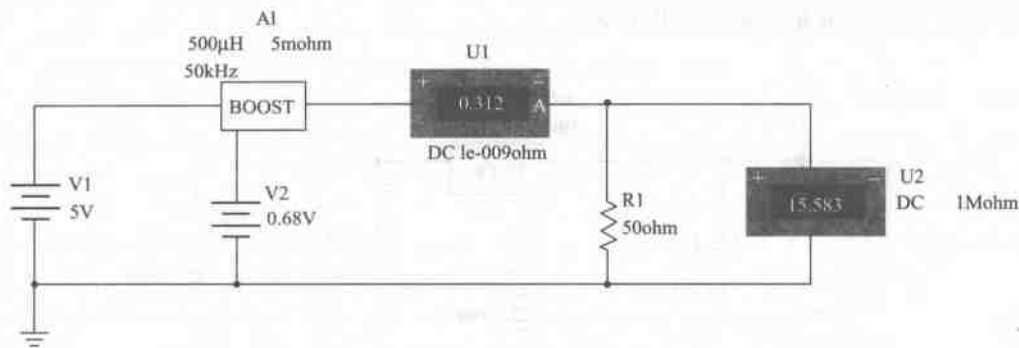


图 3.60 升压式 DC/DC 转换器

第4章 电工与电子技术仿真实验

本章通过利用 Multisim 仿真软件对电工和电子技术中的若干个典型的模拟及数字电路进行实验并对结果进行分析,运用计算机仿真技术给实验者观察电子电路中实际元件的运行规律及可调可观察的参数变化情况,帮助实验者理解电子器件参数的物理意义和电子系统可实现的功能,为在实验室进行的实验做好准备。软件显示中出现的“礎”,表示“微、 μ ”。

4.1 叠加原理和戴维南定理

4.1.1 实验目的

通过仿真验证:

- (1) 基尔霍夫电压定律及电流定律,加深对参考方向的理解。
- (2) 线性电路的叠加原理和戴维南定理。
- (3) 学会戴维南等效电路中开路电压、等效内阻的测量方法,为在实验室进行的叠加原理和戴维南定理实验做准备。

4.1.2 实验电路及内容

叠加原理/基尔霍夫电压定律实验电路如图 4.1 所示,戴维南定理实验电路如图 4.2~图 4.4 所示。

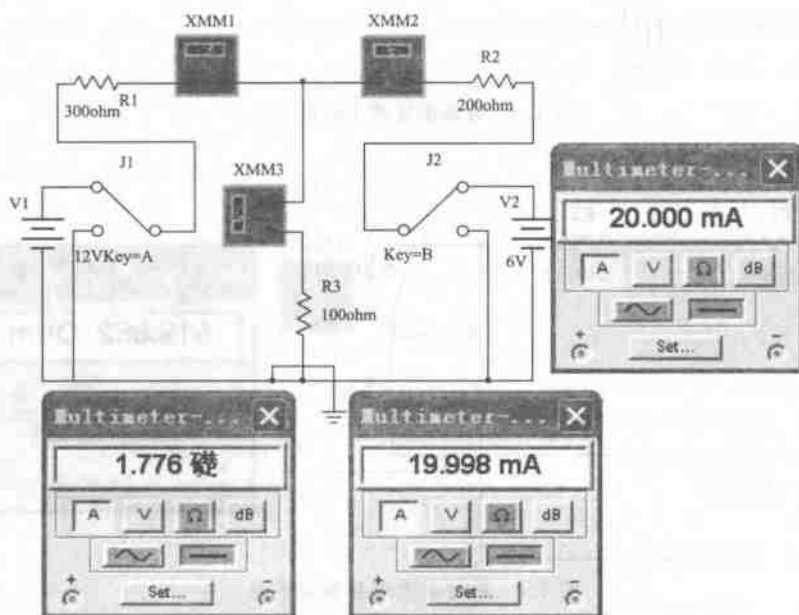


图 4.1 叠加原理电路

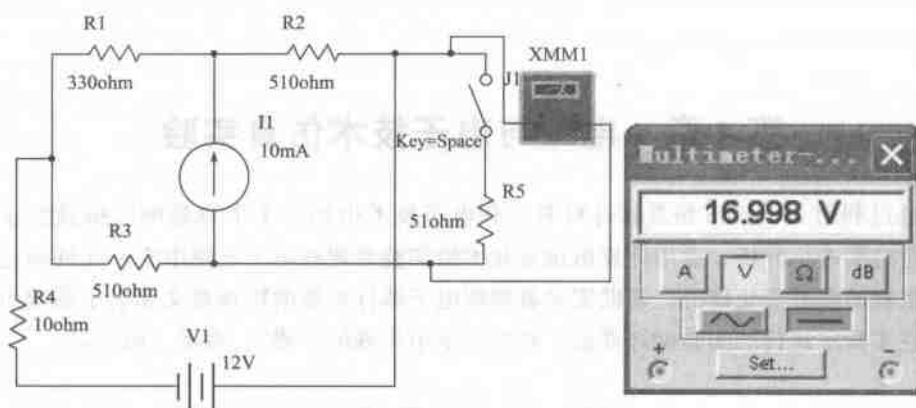


图 4.2 戴维南定理 U 测量电路

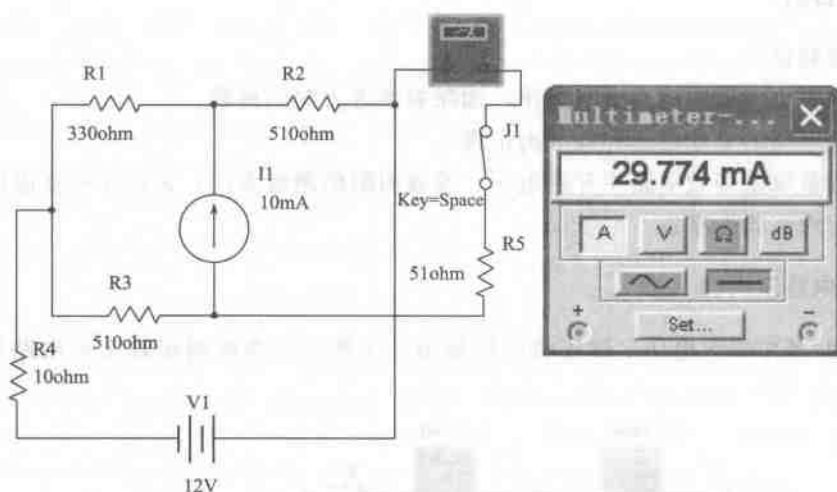


图 4.3 戴维南定理 I 测量电路

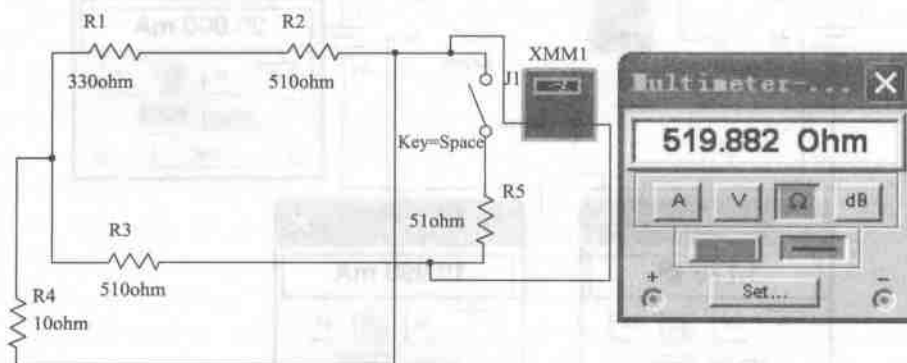


图 4.4 戴维南定理 R 测量电路

4.1.3 仿真分析

(1) 基尔霍夫定理/叠加原理测量电路在图 4.1 中, 按 E_1 和 E_2 共同作用测量了各支路的电流, 见万用表数据验证了 $I_3 = I_1 + I_2 = 0.001776 + 19.998 = 20.000 \text{ mA}$, 符合基尔霍夫定理 $\sum I = 0$ 。

(2) 戴维南定理测试数据如图 4.2、4.3、4.4 所示, 将它们的测量结果列入表 4.1 中。

表 4.1 戴维南定理测试数据

开路电压 U_{OC}/V	16.998
短路电流 I_{SC}/mA	29.774
等效内阻 R_0/Ω	519.882

测出的二端网络的等效内阻 $R_0 = 519.882\Omega$, 根据测出的电压和电流数值计算得 $R_0 = U_{OC}/I_{SC} = 16.998/0.29774 = 570.9\Omega$, 虽然两个数据存在误差, 但结论基本符合戴维南定理: 一个线性有源二端网络, 可以用一个理想电压源和一个等效电阻串联构成的电压源等效代替。等效电压源的源电压为有源二端网络的开路电压; 串联电阻为有源二端网络中所有独立电源作用为零时的无源二端网络的等效电阻。

4.2 RLC 串联谐振电路的研究

4.2.1 实验目的

通过仿真验证:

(1) 巩固和加深对串联谐振电路基本概念的理解。

(2) 了解 R 、 L 、 C 参数变化对谐振性能的影响, 以及品质因数对谐振曲线的影响。为在实验室进行的 RLC 串联谐振电路实验做准备。

4.2.2 实验电路及实验内容

RLC 串联谐振电路如图 4.5 所示, 信号发生器的设置如图 4.6 所示, RLC 串联谐振曲线如图 4.7 所示。

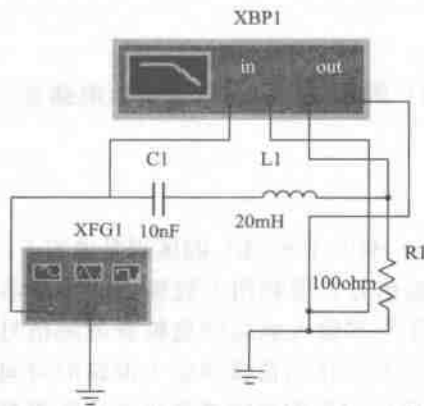


图 4.5 RLC 串联谐振电路

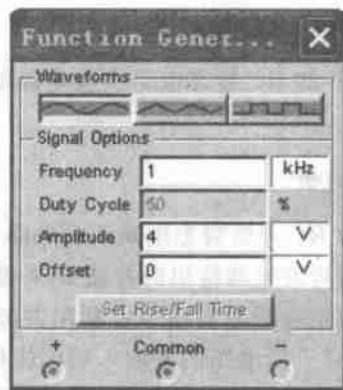


图 4.6 RLC 串联谐振电路信号发生器的设置

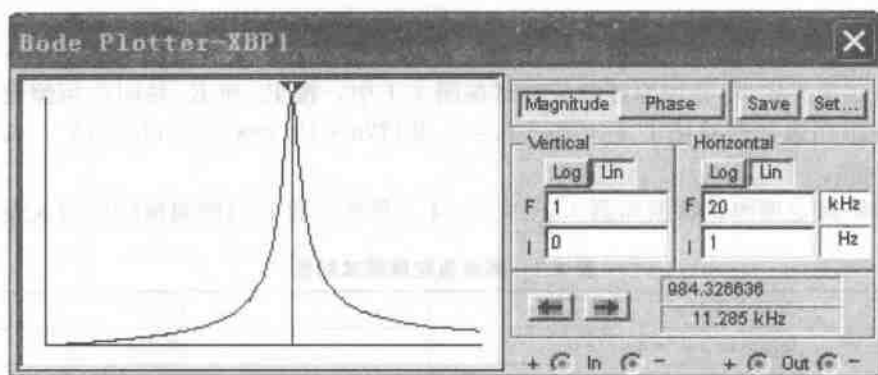


图 4.7 RLC 串联谐振曲线

4.2.3 仿真分析

图 4.7 波特图仪上的串联谐振曲线说明：

(1) 串联谐振时，由于 $X=0$ ，有 $|Z|=R$ 为最小值，电路呈纯电阻性， u 与 i 同相位。

(2) 在电源电压一定时，电路中电流在谐振时达到最大 $I=I_0=U/R$ 。

(3) 因 $X_L=X_C$ ，有 U_L, U_C 大小相等、相位相反，因此电源电压 $U=U_R$ 。

此电路的输入信号为 1kHz, 2V 正弦波，谐振点为 11.285kHz， $U_R=0.984V$ 。

4.3 RC 电路的暂态过程

4.3.1 实验目的

通过仿真：

- (1) 观察 RC 电路的暂态过程，加深对电阻和电容两端电压随时间变化的规律的理解。
- (2) 观察电容充、放电时的暂态过程。
- (3) 了解电路时间常数的意义，学习电路时间常数的测量方法。

4.3.2 实验电路及内容

$C_1=10\text{nF}$ 的 RC 暂态电路实验电路如图 4.8 (a) 所示， $C_1=100\text{nF}$ 实验电路如图 4.8 (b) 所示。

4.3.3 仿真分析

图 4.8 为 RC 一阶暂态电路实验电路，图 4.8 (a) 和图 4.8 (b) 的区别是电容 C_1 取值不同，利用信号发生器输出的方波 u 来模拟阶跃激励信号，即利用方波输出的上升沿作为零状态响应的正阶跃激励信号；利用方波的下降沿作为零输入响应的负阶跃激励信号。图 4.8 所示的 RC 一阶电路的零输入响应按指数规律衰减其变化的快慢决定于电路的时间常数 τ 。 $C_1=10\text{nF}$ 和 $C_1=100\text{nF}$ 时的时间常数 τ 不同，所以它们的衰减其变化的快慢表现出不同。其变化曲线 $C_1=10\text{nF}$ 仿真结果如图 4.9 所示， $C_1=100\text{nF}$ 仿真结果如图 4.10 所示。

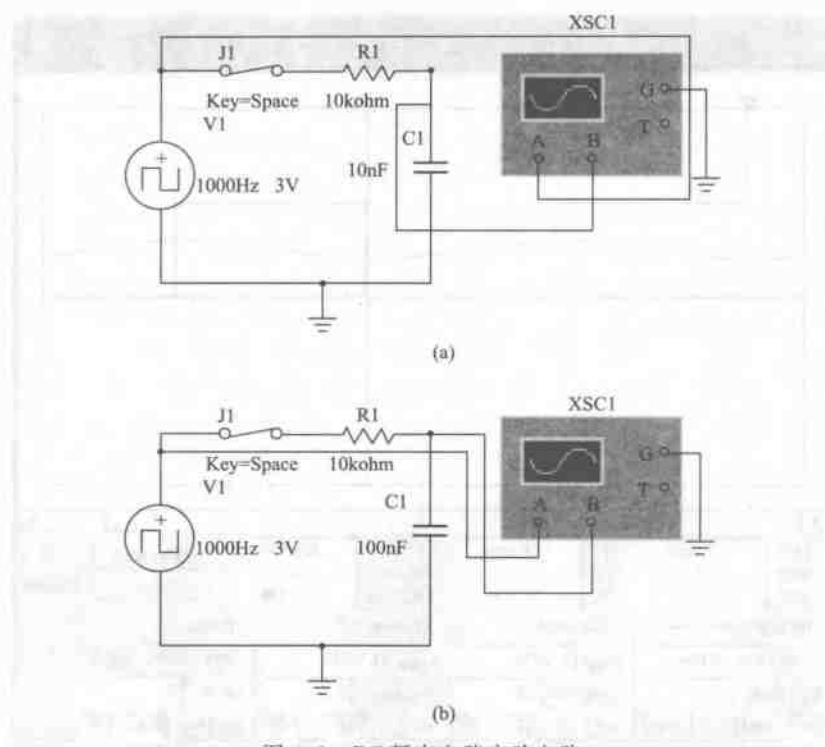
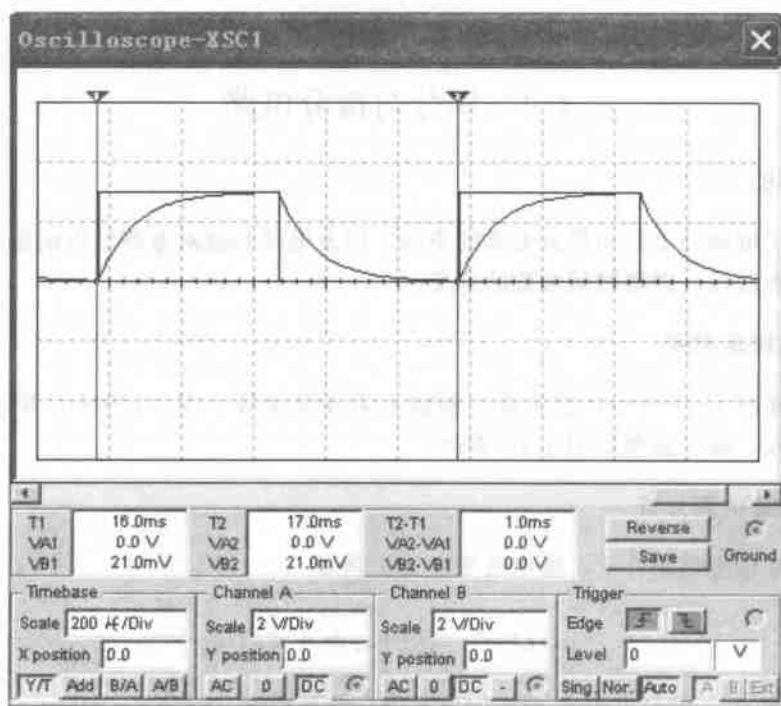
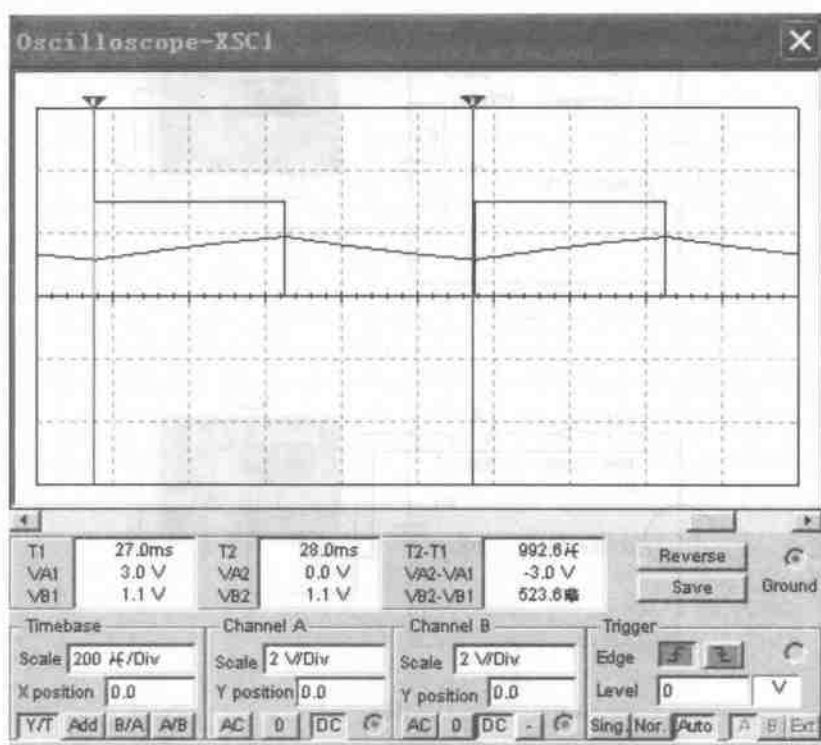


图 4.8 RC 暂态电路实验电路

图 4.9 $C_1 = 10\text{nF}$ 仿真结果

图 4.10 $C_1 = 100\text{nF}$ 仿真结果

4.4 积分与微分电路

4.4.1 实验目的

通过仿真了解微分电路和积分电路的条件，以及电路参数对电路波形的影响，了解电容充放电时的暂态过程，理解时间常数的意义。

4.4.2 积分电路及内容

积分电路如图 4.11 所示，信号发生器输入为方波信号 10V，100Hz，单击示波器图标可以观察到输入、输出波形如图 4.12 所示。

4.4.3 积分电路仿真分析

积分电路在理想化条件下，输出电压 $u_o(t)$ 等于

$$u_o(t) = -\frac{1}{R_1 C} \int_0^t u_i dt + u_c(0)$$

式中， $u_c(0)$ 是 $t=0$ 时刻电容 C 两端的电压值，即初始值。

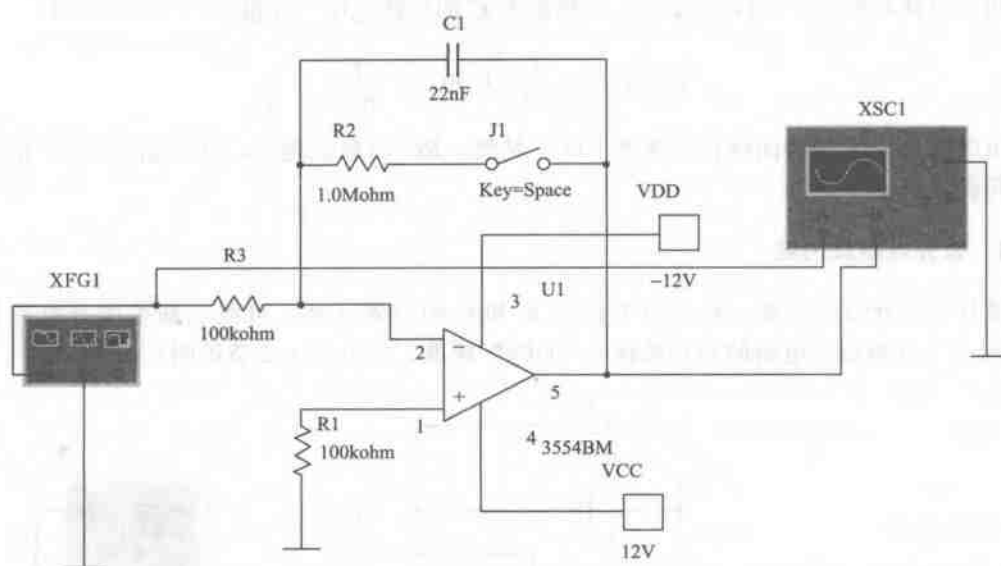


图 4.11 积分电路

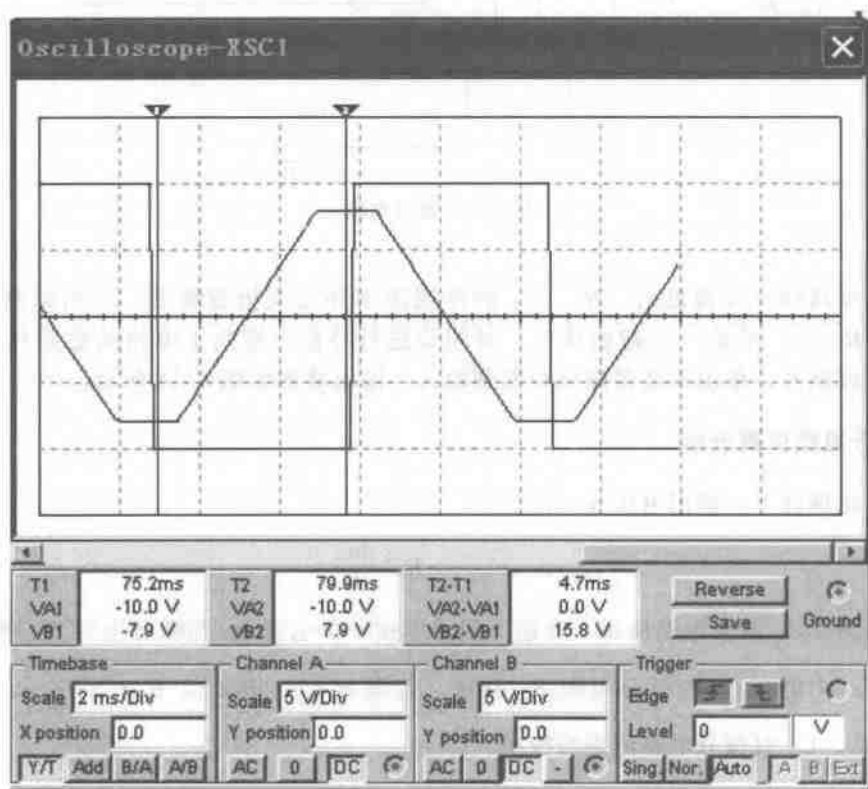


图 4.12 积分电路仿真

积分电路如图 4.11 所示。 $u_i(t)$ 是幅值为 E 的阶跃电压, 并设 $u_c(0) = 0$, 则

$$u_o(t) = -\frac{1}{R_1 C} \int_0^t E \, dt = -\frac{E}{R_1 C} t$$

即输出电压 $u_o(t)$ 随时间增长而线性下降。显然, RC 的数值越大, 达到给定的 u_o 值所需的时间就越长。

4.4.4 微分电路及内容

微分是积分的逆运算。将积分电路中 R 和 C 的位置互换, 可组成基本微分电路如图 4.13 所示 (此电路中电阻的符号选择的“DIN”标准, 参见 3.1.2 节说明)。

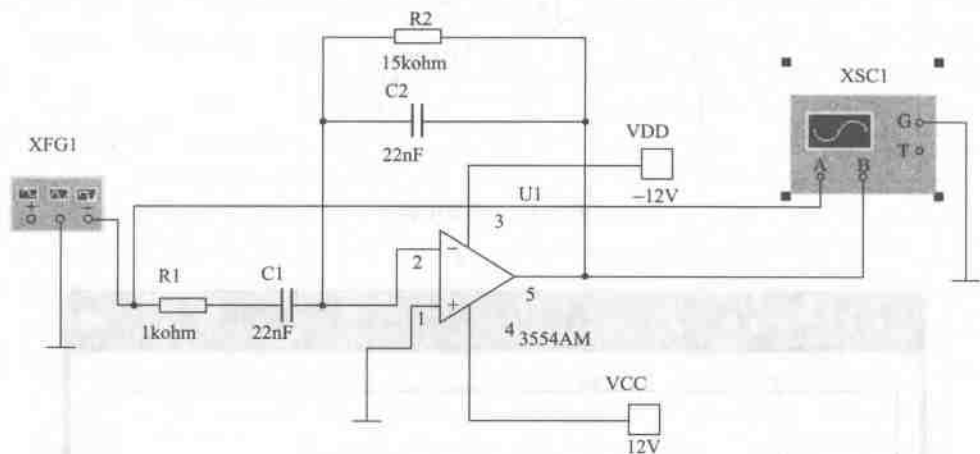


图 4.13 微分电路

但当频率高到一定程度时, R_1 、 C_1 的作用使闭环放大倍数降低, 从而抑制了高频噪声。同时, R_1 、 C_1 形成一个超前环节, 对相位进行补偿, 提高了电路的稳定性。图 4.13 中输入为方波信号, 单击示波器图标观察到输入、输出波形如图 4.14 所示。

4.4.5 微分电路仿真分析

在理想化条件下, 输出电压 u_o 等于

$$u_o(t) = -RC \frac{du_i}{dt}$$

微分电路如图 4.13 微分电路所示, 在输入回路中接一个电阻 R_1 与微分电容 C_1 串联, 在反馈回路中接一个电容 C_2 与微分电阻 R_2 并联, 若设 $R_1 C_1 = R_2 C_2$, $R_2 < \left\langle \frac{1}{\omega C_2}, \frac{1}{\omega C_1} \right\rangle >$ R_1 , 此时 R_1 、 C_1 对微分电路的影响很小。

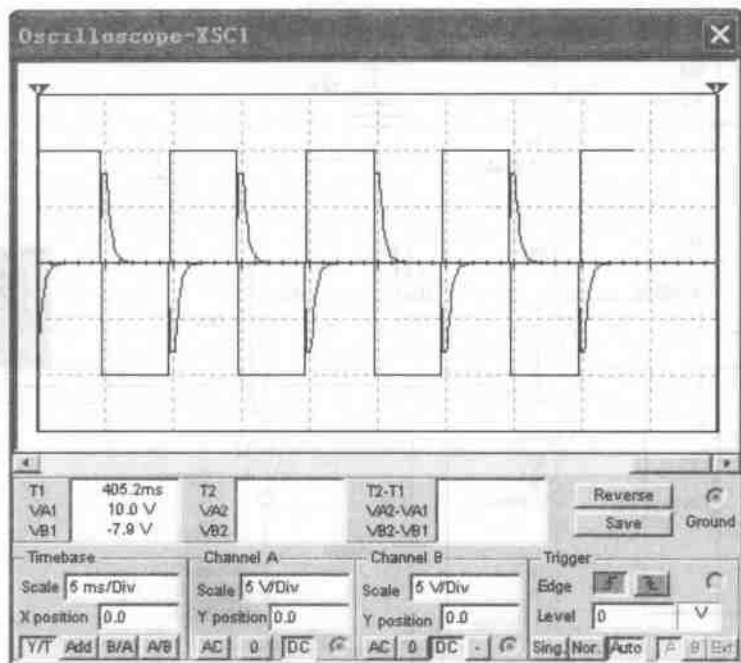


图 4.14 微分电路仿真

4.5 单管电压放大电路

4.5.1 实验目的

通过仿真实单管电压放大电路的工作原理，为在实验室进行的单管电压放大电路实验做准备。

4.5.2 实验电路及内容

单管电压放大实验电路如图 4.15 所示。

内容：

- (1) 仿真测试电路的静态参数，求集电极电流、基极电流，晶体管 U_{CE} 电压测量。
- (2) 仿真测试电路的动态参数，信号发生器设置为正弦波， $f=1\text{kHz}$ ， $U=10\text{mV}$ ，调整 R_P ，在示波器上观察波形，使波形输出幅度最大且不失真。测量电路的电放大倍数。测量输入电阻 R_i ，输出电阻 R_o 。

4.5.3 仿真分析

1) 求 I 的方法可通过测量电压间接计算或用电流表直接测量

(1) 测量 U_E 法，用 $I_C \approx I_E = U_E / R_E$ 计算集电极电流，如图 4.16 发射极电压，万用表 XMM1 测出 $U_E = 2.617\text{V}$ ，电路中 $R_E = 1800 + 100 = 1900$ ，则

$$I_E = I_C + I_B \approx I_C$$

$$I_C = \frac{U_E}{R_E} = \frac{2.617}{1900} = 1.37\text{mA}$$

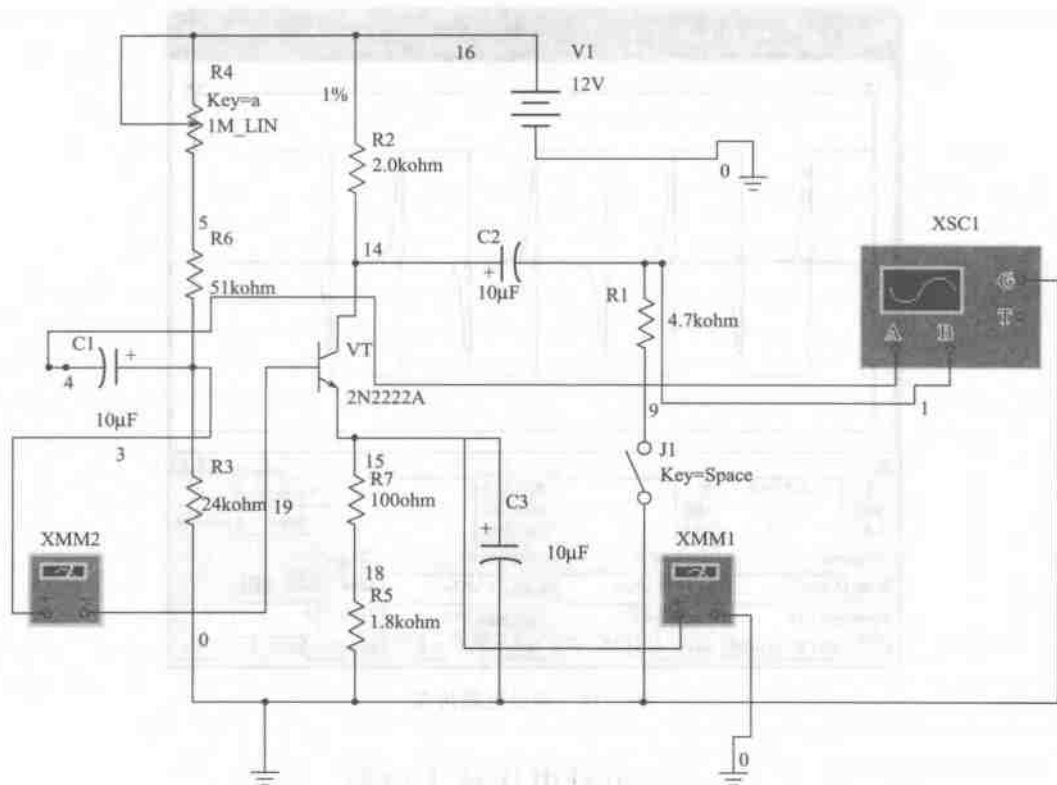


图 4.15 单管电压放大电路

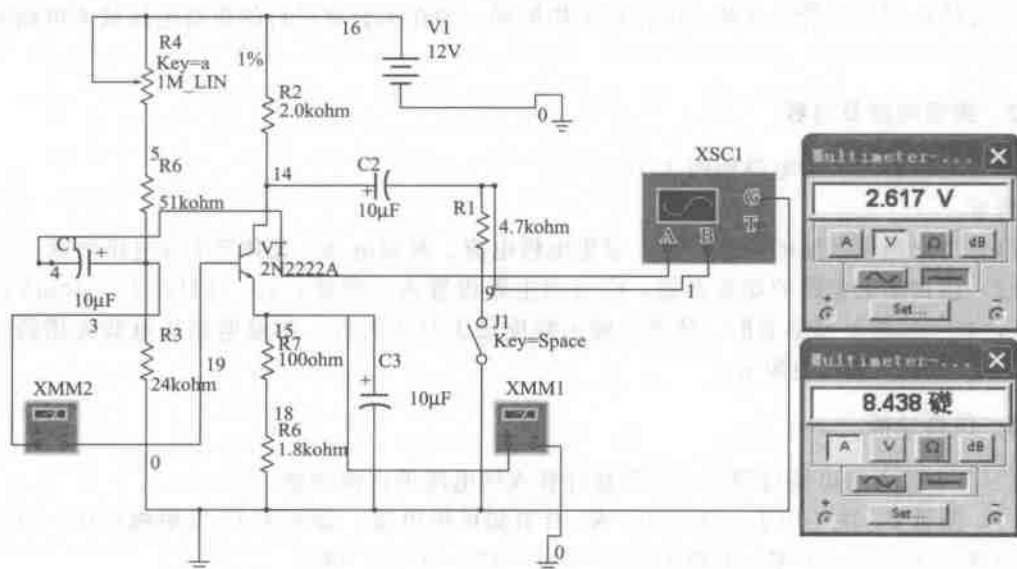


图 4.16 发射极电压和基极电流的测量

(2) 用电流表直接测量 I_B ，如图 4.16 基极电流的测量所示，万用表 XMM2 测量得出 $I_B = 8.438\mu\text{A}$ 。

(3) 用电压表直接测量 U_C 和 U_E ，如图 4.17 的测量所示。

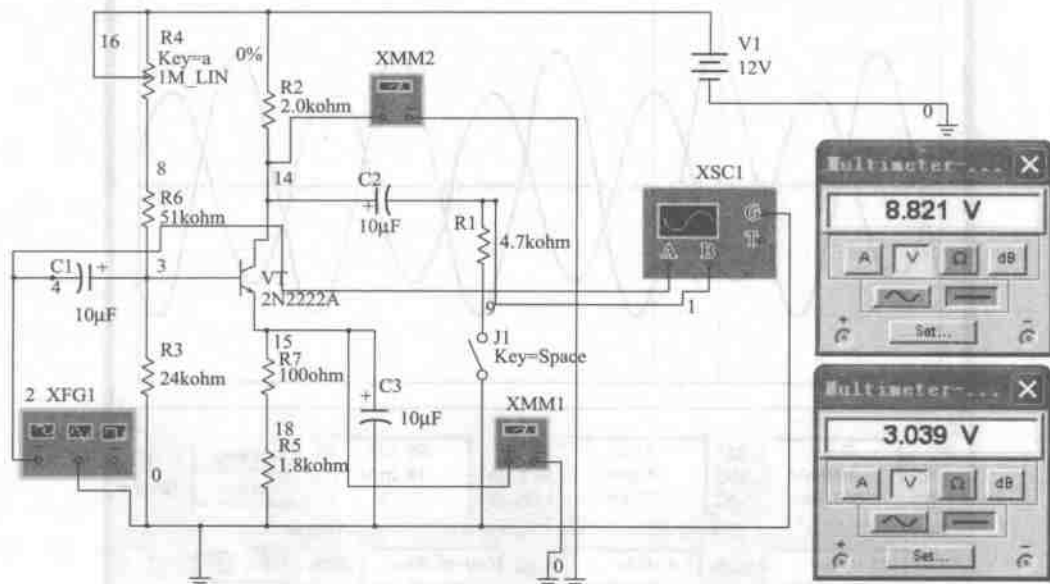


图 4.17 晶体管 U_{CE} 电压测量

2) 测试电路的动态参数

(1) 信号发生器参数的设置是双击图 4.18 中 XFG1 图标，出现如图 4.17 信号发生器参数设置所示界面，设置正弦波交流信号，频率为 1kHz，幅度为 10mV。

双击示波器出现如图 4.19 所示界面，调整 ChannelA、B 的 Scale (A 为 5mV/div, B 为 500mV/div)，使波形有一定的幅度，调整 Timebase 的 Scale (500 μ s/div)，使波形便于观察。反复调整 R_p ，使输出波形幅度最大且不失真。

R_p 的调整办法：点击选中 R_p ，按键盘上的 A 键，百分数增大，按住 shift+A 键，电阻百分数减小 (A 为控制键，双击 R_p ，可修改其控制键、标号、递增值等)，调整 R_p ，主要目的是为保证合适的静态工作点，使 $U_{CE} = 6\text{V}$ 左右， U_{CE} 的测量如图 4.17 所示，万用表测出 $U_C = 8.821\text{V}$ ， $U_E = 3.039\text{V}$ ，计算知此电路的静态参数 $U_{CE} = 5.782\text{V}$ 。运行仿真，动态参数测试结果如图 4.19 所示。

(2) 电压放大倍数 (电压增益)。

从图 4.19 中可知，如分别移动 1 号指针和 2 号指针到指针所示位置，可以看到 T1 行

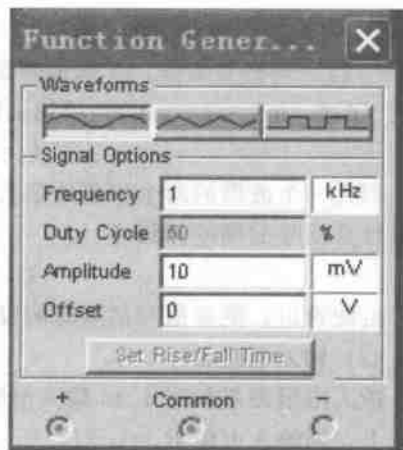


图 4.18 信号发生器参数设置

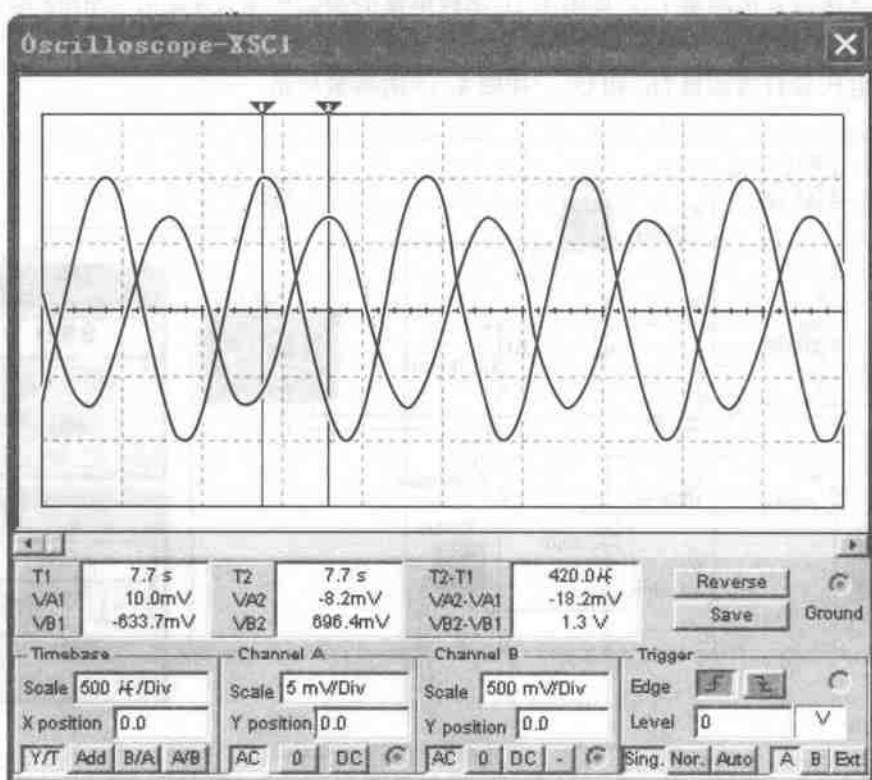


图 4.19 单管放大电路输入输出波形

(或 T2 行) 的有关数据, A 通道测试值为输入信号的幅度 10mV, B 通道测试值为输出信号幅度 (696.4mV \approx 700mV), 可用这组参数计算放大器的放大倍数

$$\dot{A}_u = U_o / U_i = 696 / 10 = 69.6$$

利用一个波形的两个相邻的最大同像点间的时间差 (信号的周期), 用 T2-T1 的 Time 值可计算信号的周期和频率

$$T = 1\text{ms} \quad f = 1/T = 1\text{kHz}$$

由此看出, 测量值与信号源的设置值是一致的。

(3) 输入电阻 R_i 。

输入电阻测量如图 4.20 输入电阻测量图所示, 放大器输入电压为 U_i , 测试电阻 R 上的电流 I_i , 则输入电阻 $R_i = U_i / I_i$

$$R_i = U_i / I_i = 7.071 / 0.0021\Omega = 3.367\text{k}\Omega$$

(4) 测试输出电阻 R_o 。

输出电阻测量如图 4.21 所示, 在负载电阻 R_L 接上时运行仿真, 得到 U_o 值为 512.804mV; 断开 R_L 后运行仿真, 得到 U_o 值为 380.406mV。

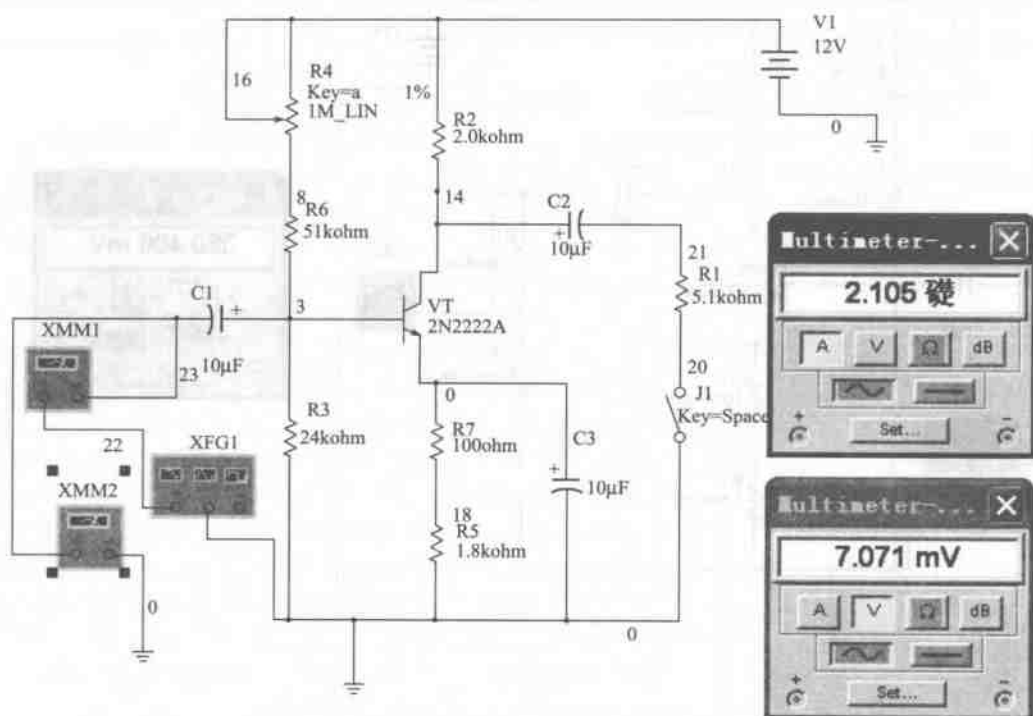
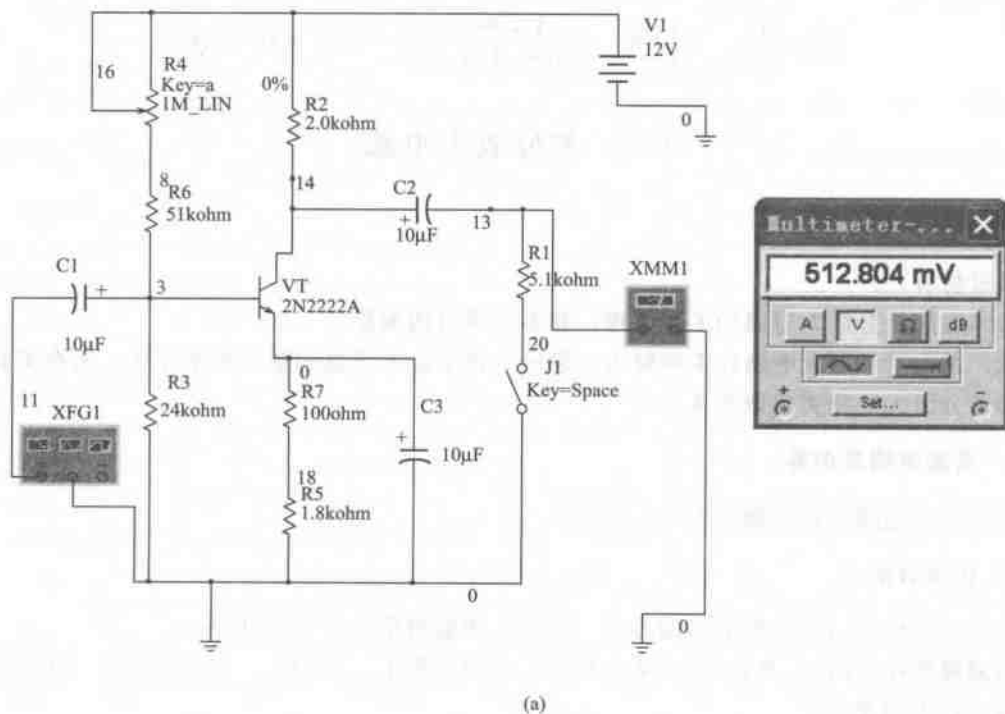


图 4.20 单管放大电路输入电阻的测量



(a)

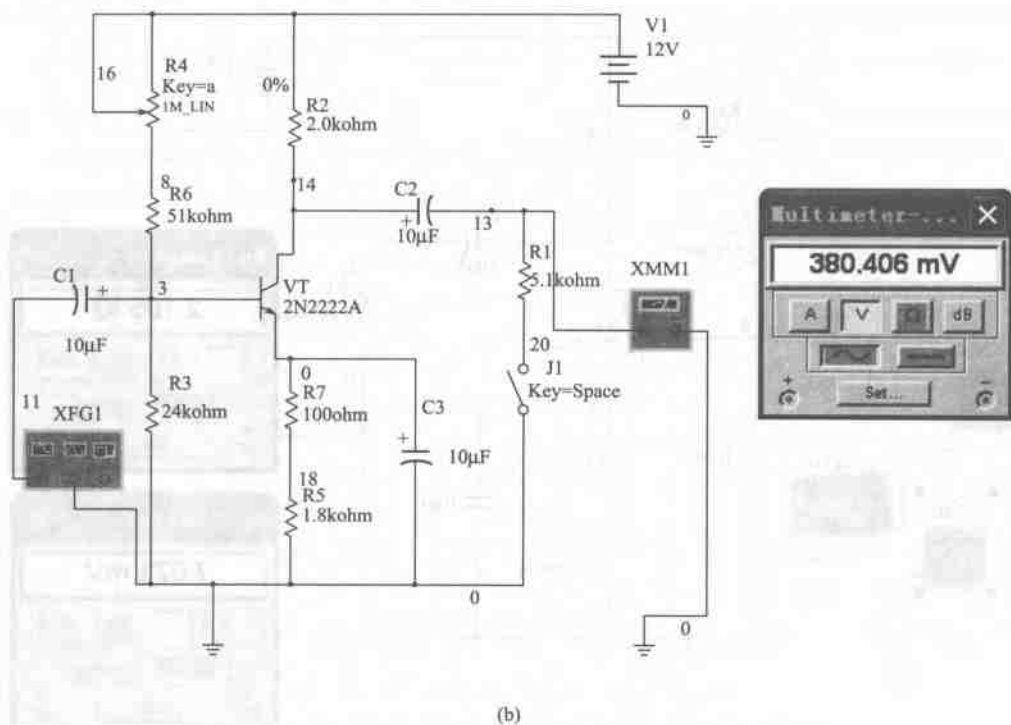


图 4.21 单管放大电路输出电阻的测量

输出电阻

$$R_o = \left(\frac{U_o}{U_L} - 1 \right) \cdot R_L = \left(\frac{512.804}{380.406} - 1 \right) \cdot 5100 = 1.348 \Omega$$

4.6 差分放大电路

4.6.1 实验目的

通过仿真：

- (1) 理解差分放大电路的工作原理，静态工作点的测量。
- (2) 掌握差动放大电路在不同输入、输出方式下放大倍数的基本测试方法。为在实验室进行的差分放大电路实验做准备。

4.6.2 实验电路及内容

差分放大电路实验电路如图 4.22 所示。

4.6.3 仿真分析

根据实验电路仿真分析电路的静态工作点，测量数据如图 4.23 所示，

由测量数据看出 18 节点与 20 节点是第 1 个管子的 $U_{ce} = 5.83 - (-0.593) = 6.4V$ 满足静态工作点的要求。

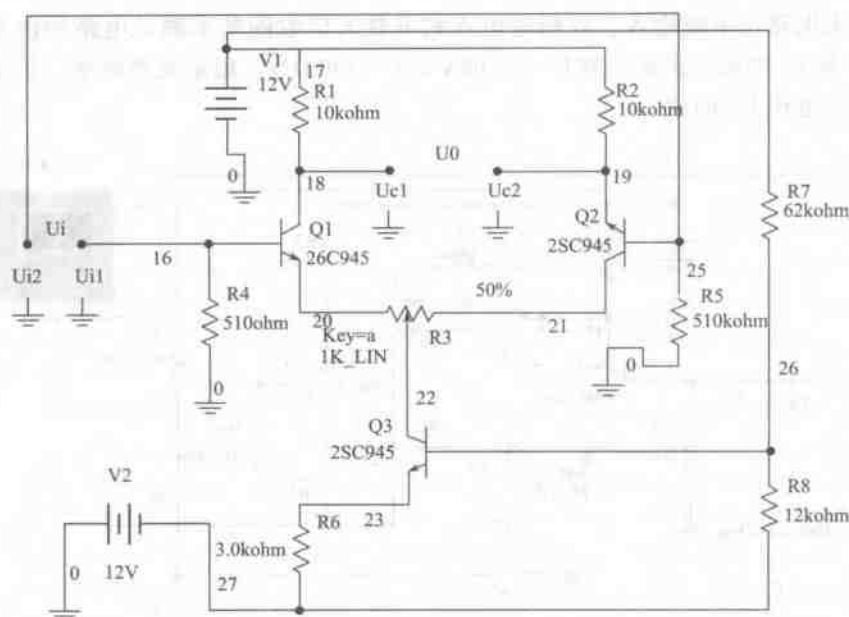


图 4.22 差分放大电路

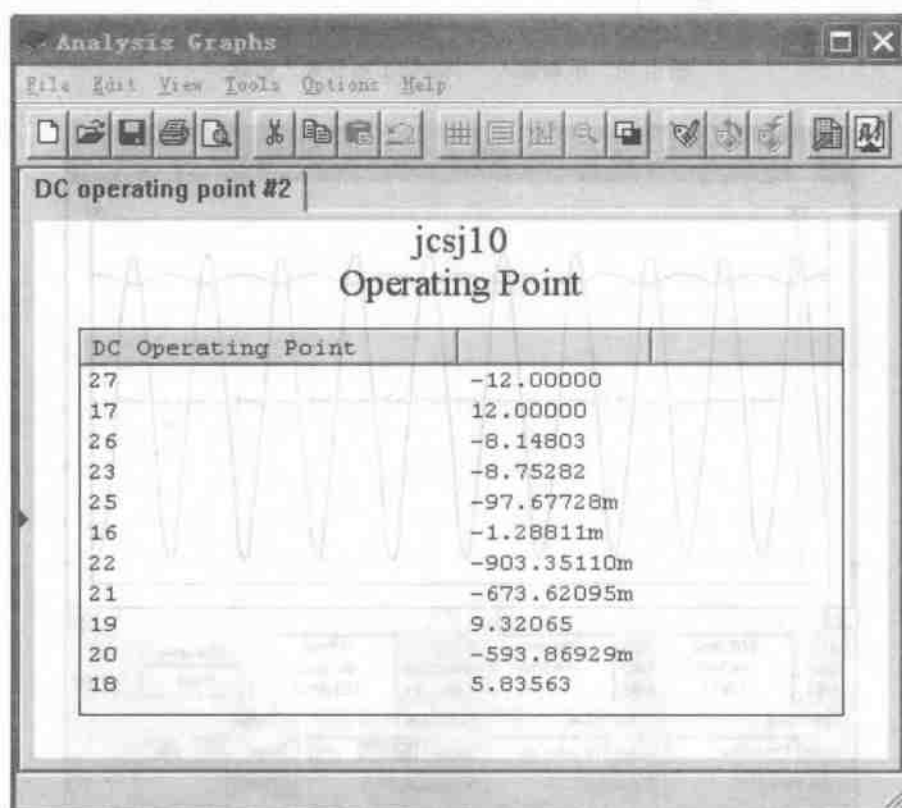


图 4.23 静态工作点分析

差分放大电路在单端输入、双端输出方式下放大倍数的基本测试电路和仿真结果如图 4.24 所示。从 b_1 端加入正弦交流 $U_i = 0.05\text{V}$, $f = 1000\text{Hz}$, 用示波器测量、记录了双端输出的交流信号电压 U_o 的值。

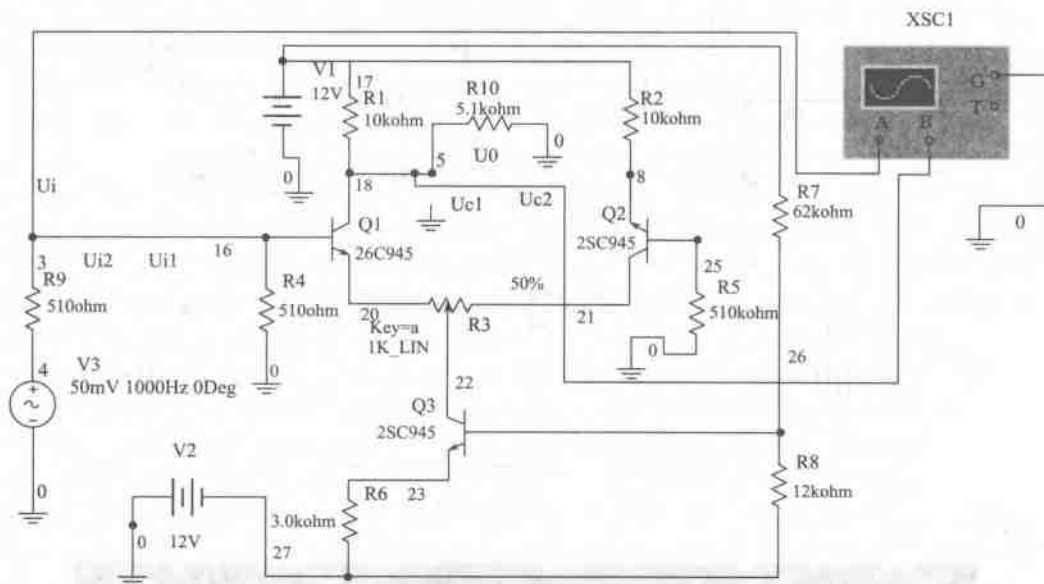


图 4.24 单端输入、双端输出差分放大电路

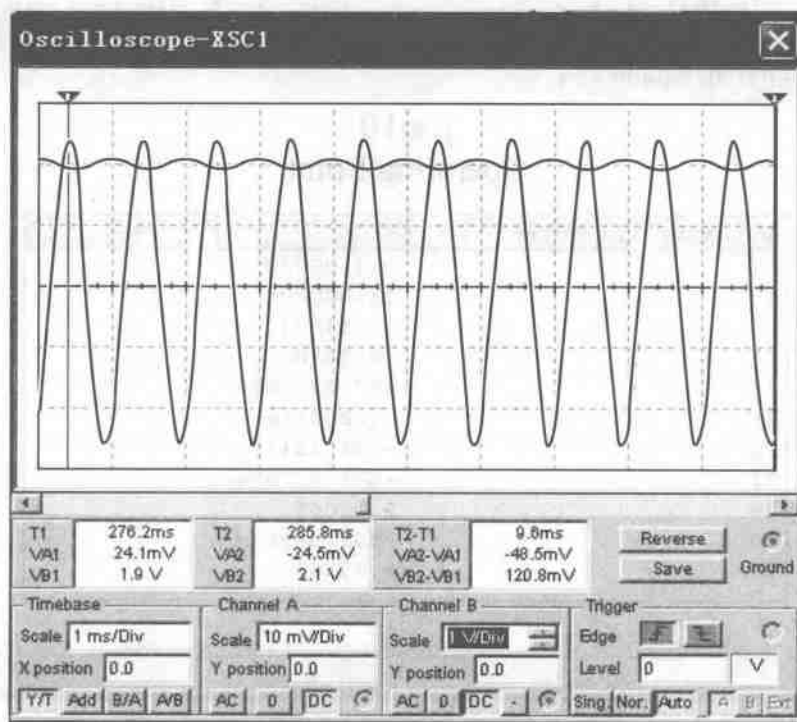


图 4.25 单端输入、双端输出仿真波形

如图 4.25 所示, U_o 是 VB2 的数值 2.1V, U_i 是 VA2 的数值 24.5mV, 则单端电压放大倍数即:

$$A_u = \frac{U_o}{U_i} = \frac{2100}{245} = 8.57$$

(注意: 输入交流信号时, 用示波器监视 U_o 的波形, 若有失真现象时, 可减小输入信号的电压值。使波形不失真为止)。

4.7 集成运算放大电路

4.7.1 实验目的

通过仿真实理解掌握用集成运算放大器组成比例、求和电路的特点及性能, 电路的测试和分析方法。为在实验室进行的集成运算放大器实验做准备。

4.7.2 实验电路及内容

通过运用集成运算放大器外部接入不同的线性或非线性元器件组成输入和负反馈电路, 实现各种特定的函数关系。在线性应用方面, 可组成比例、加法、减法、积分、微分、对数等模拟运算电路。

1) 理想运算放大器特性

① 开环电压增益 $A_{ud} = \infty$ 。

② 输入阻抗 $r_i = \infty$ 。

③ 输出阻抗 $r_o = 0$ 。

④ 带宽 $f_{BW} = \infty$ 。

⑤ 失调与漂移均为零等。

2) 理想运放在线性应用时的两个重要特性

(1) 输出电压 U_o 与输入电压之间满足关系式

$$U_o = A_{ud}(U_+ - U_-)$$

由于 $A_{ud} = \infty$, 而 U_o 为有限值, 因此, $U_+ - U_- \approx 0$, 即 $U_+ \approx U_-$, 称为“虚短”。

(2) 由于 $r_i = \infty$, 故流进运放两个输入端的电流可视为零, 即 $I_{ib} = 0$, 称为“虚断”。

反比例运算的输出电压与输入电压之间的关系为

$$U_o = -\frac{R_f}{R_1} U_i$$

为了减小输入级偏置电流引起的运算误差, 在同相输入端应接入平衡电阻 $R = R_1 // R_f$ 。

3) 反比例运算电路

反比例电路如图 4.26 所示, 输入幅度为 2V 的方波信号, 当 $R_1 = 1k\Omega$, $R_f = 2k\Omega$ 时的电路输入与输出波形如图 4.27 所示, 由于运算放大器的非理想性使得输出信号波形为非标准方波。由此可见, 理论分析与仿真分析结果相同。

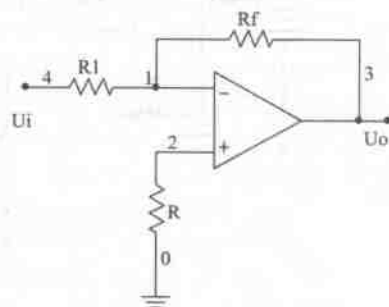


图 4.26 反比例电路

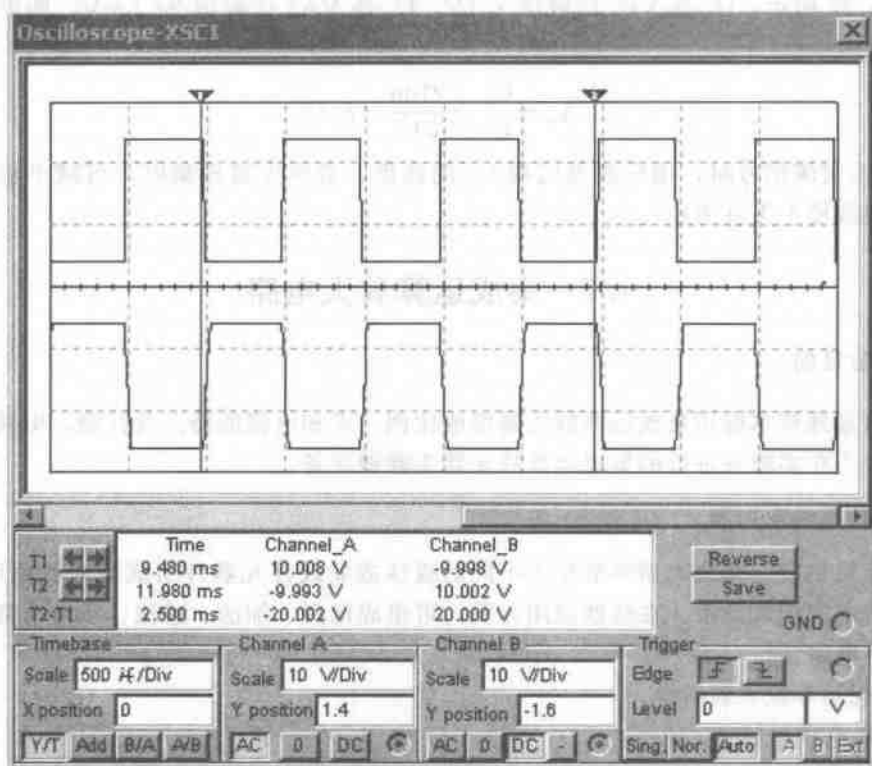


图 4.27 反相比例电路的输入与输出波形图

4) 反相加法电路

反相加法电路如图 4.28 所示，输出电压与输入电压之间的关系为

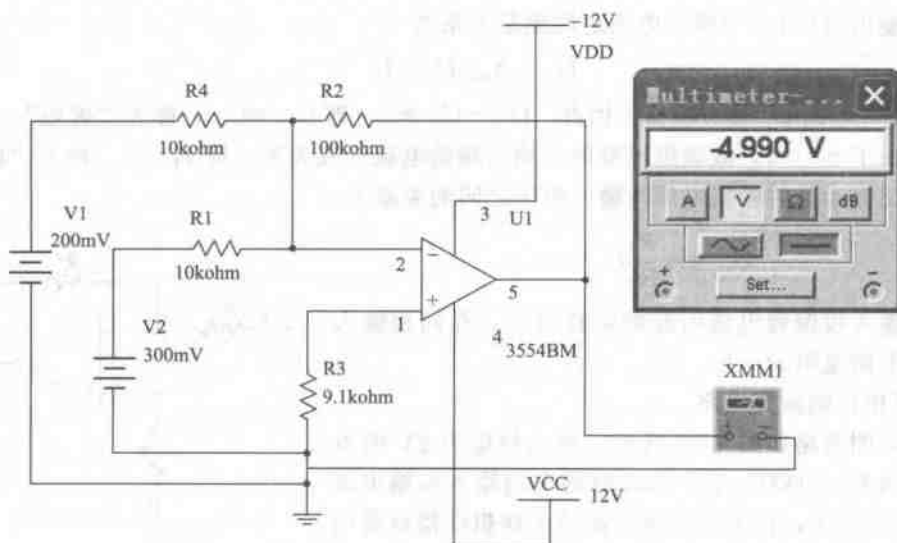


图 4.28 反相加法电路

$$U_o = -\left(\frac{R_2}{R_4}V_{i1} + \frac{R_2}{R_1}V_{i2}\right)$$

式中, $R_3 = R_1 // R_2 // R_4$ 。

5) 电压跟随电路

同向比例运算电路输出电压与输入电压之间的关系为

$$U_o = \left(1 + \frac{R_1}{R}\right)U_i \quad R_2 = R_1 // R$$

当 $R_1 \rightarrow \infty$ 时, $U_o = U_i$, 即得到如图 4.29 所示的电压跟随器。图中 $R_2 = R_1$, 用以减小漂移并起保护作用。一般 R_1 取 $10\text{k}\Omega$, R_1 太小起不到保护作用, 太大则影响跟随性。

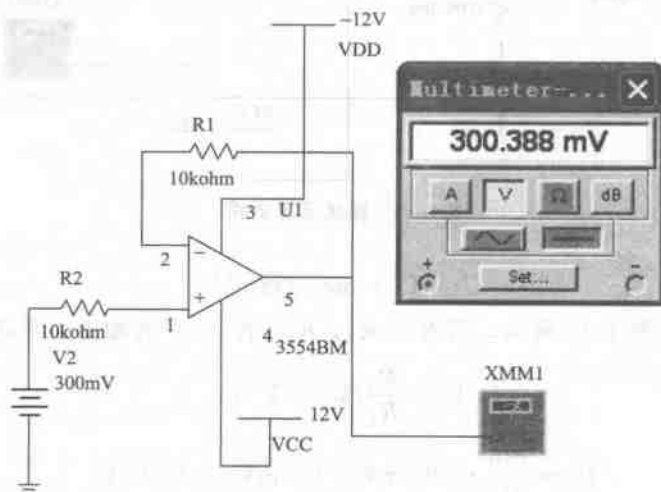


图 4.29 电压跟随电路

6) 减法运算电路

减法运算电路如图 4.30 所示, 当 $R_1 = R_4$, $R_3 = R_2$ 时, 有如下关系式

$$U_o = \frac{R_2}{R_4}(V_{i2} - V_{i1})$$

4.7.3 仿真分析

反相加法电路

反相加法仿真如图 4.28 所示, 输出电压与输入电压之间的关系为

$$U_o = -\left(\frac{R_2}{R_4}V_{i1} + \frac{R_2}{R_1}V_{i2}\right)$$

$$U_o = -\left(\frac{100}{10} \cdot 200\text{mV} + \frac{100}{10} \cdot 300\text{mV}\right) = -4.99\text{V}$$

电压跟随电路仿真如图 4.29 所示, 输出电压与输入电压之间的关系为

$$U_o = \left(1 + \frac{R_1}{R}\right)U_i = \left(1 + \frac{R_1}{\infty}\right)U_i = U_i$$

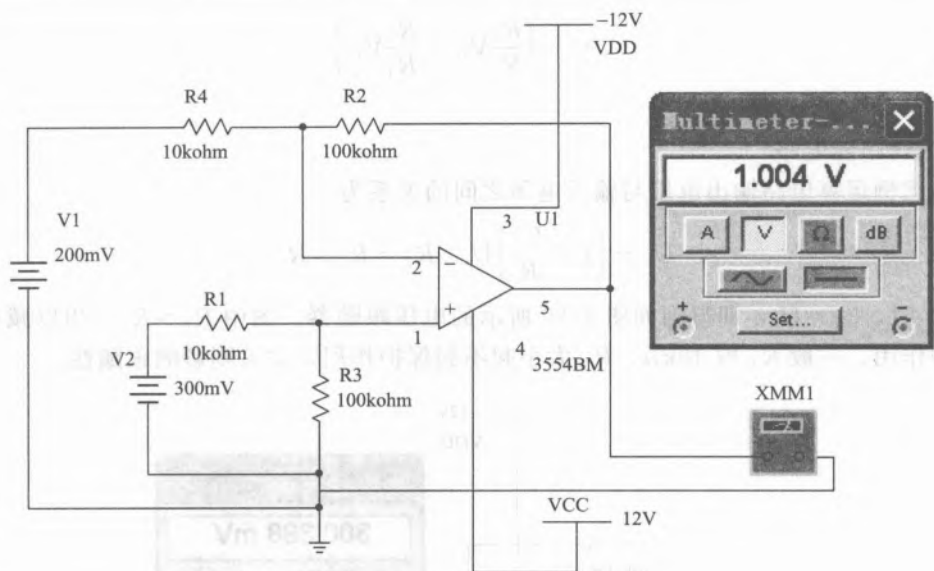


图 4.30 减法运算电路

$$U_o = U_i = 300.388\text{mV}$$

减法运算电路仿真如图 4.30 所示, 当 $R_1 = R_4$, $R_3 = R_2$ 时, 有如下关系式

$$U_o = \frac{R_2}{R_4} (V_{i2} - V_{i1})$$

$$U_o = \frac{100}{10} \cdot (300\text{mV} - 200\text{mV}) = 1.004\text{V}$$

4.8 两级阻容耦合放大电路

4.8.1 实验目的

通过仿真理解两级放大电路的工作原理, 为在实验室进行的两级阻容耦合放大电路实验做准备。

4.8.2 实验电路及内容


按图 4.31 所示电路连接电路, 利用 Multisim 进行如下分析:

内容: ①静态工作点分析, 计算各节点电压。

②瞬态分析, 测量和计算电压增益。

③交流分析, 采用每 10 倍频段扫描分析电路的频率特性包括幅频和相频。

4.8.3 仿真分析

(1) 计算各节点电压, 在工具栏中点击  按钮, 选择静态工作点 DC Operating Point, 设置需要分析的节点, 单击 Simulate, 结果如图 4.32 所示。

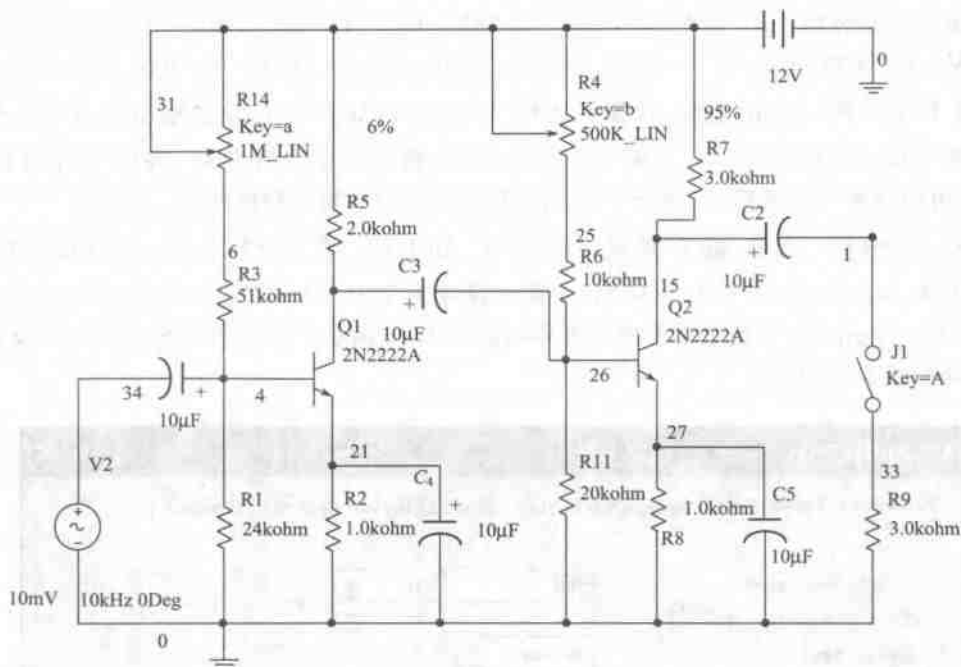


图 4.31 两级阻容耦合放大电路

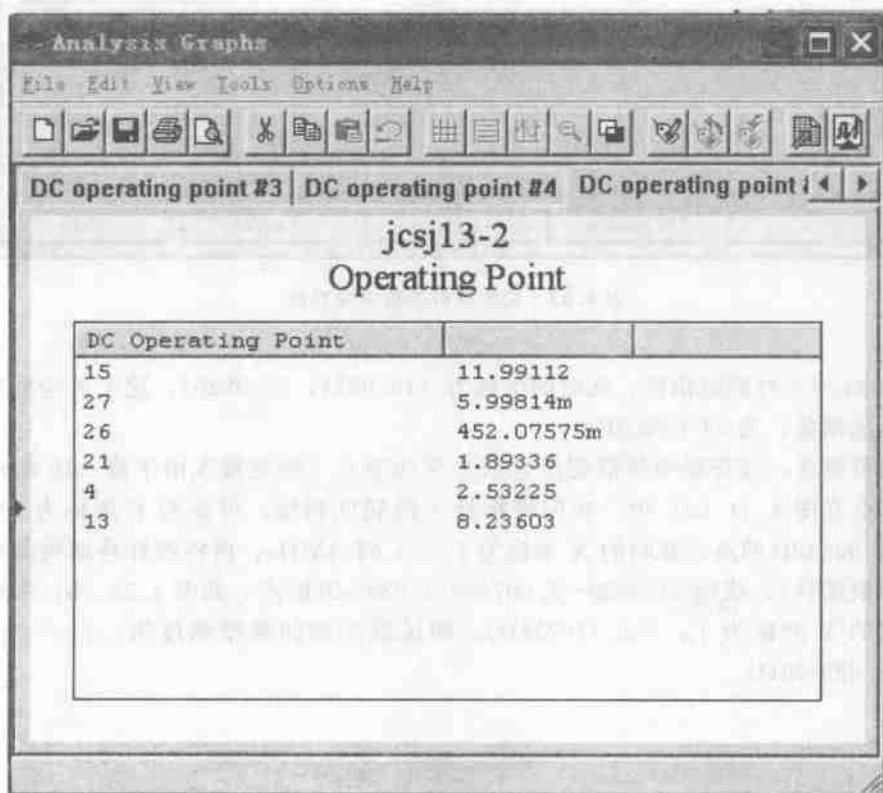




图 4.32 静态分析

此电路静态分析： R_{14} 调到6%， $U_{13}=8.23\text{V}$ ， $U_{21}=1.893\text{V}$ ，所以， $U_{CE1}=8.23-1.89=6.34\text{V}$ ， R_4 调到95%， $U_{15}=12\text{V}$ ， $U_{27}=5.998\text{V}$ ， $U_{CE2}=11.99-5.998=5.992\text{V}$ 。

(2) 瞬态分析，点击  按钮，选择 Transient Analysis，设置输出节点（节点1），设置分析时域，开始时间 0s，结束时间 0.0003s（输入信号的频率为 10kHz，计算其周期 $100\mu\text{s}$ ，可以观察 3 个波形），单击 Simulate 按钮，即得到瞬态特性曲线，图略。

(3) 交流分析，点击  按钮，选择 AC Analysis，设置分析节点，选择输出节点 1，设置分析频率范围为 100kHz~1GHz（默认设置为 1Hz~10GHz），纵坐标标尺 Vertical scale 设置为 Decibel，交流分析参数设置界面如图 4.33 所示，点击仿真 Simulate 得交流 AC 分析结果如图 4.34 所示。

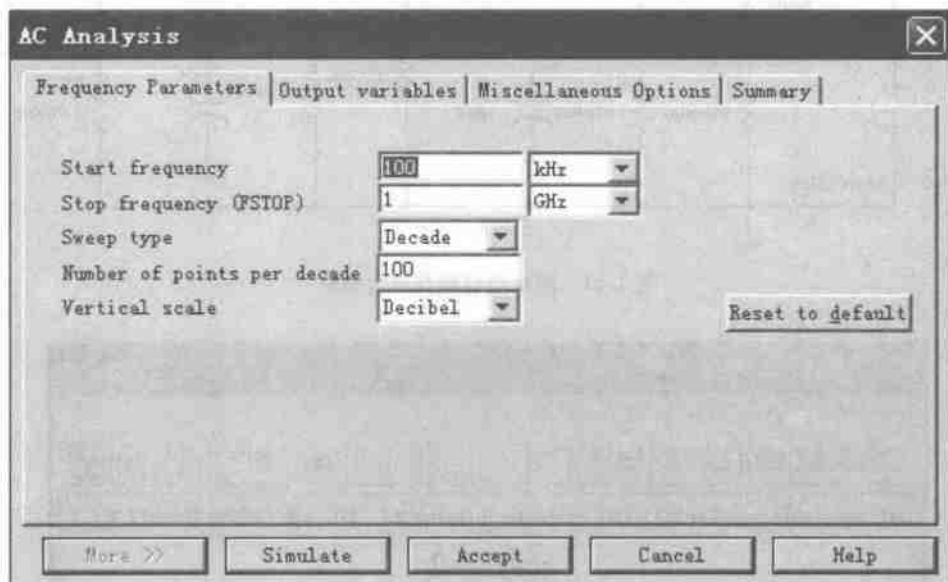
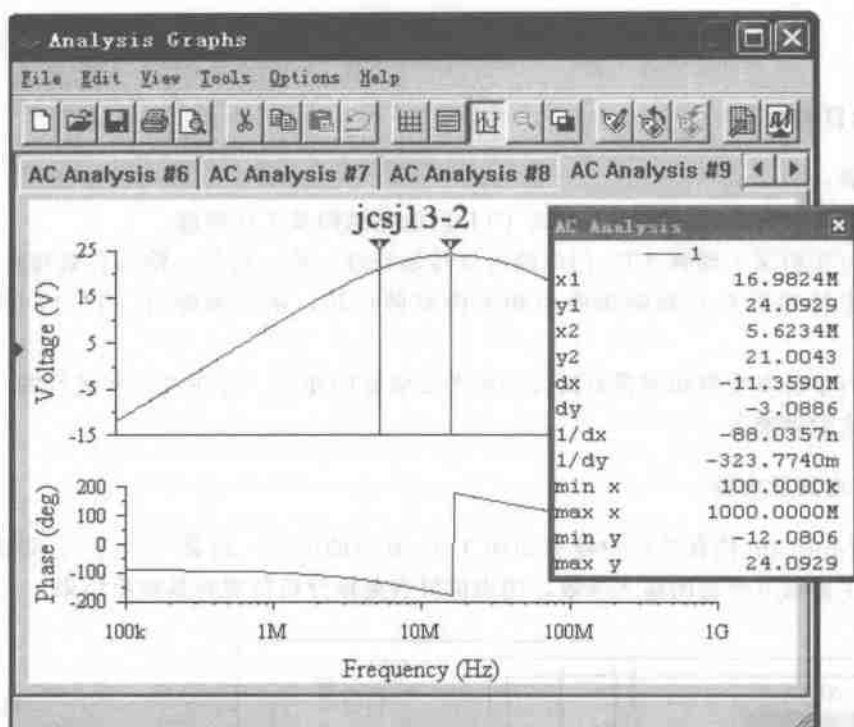


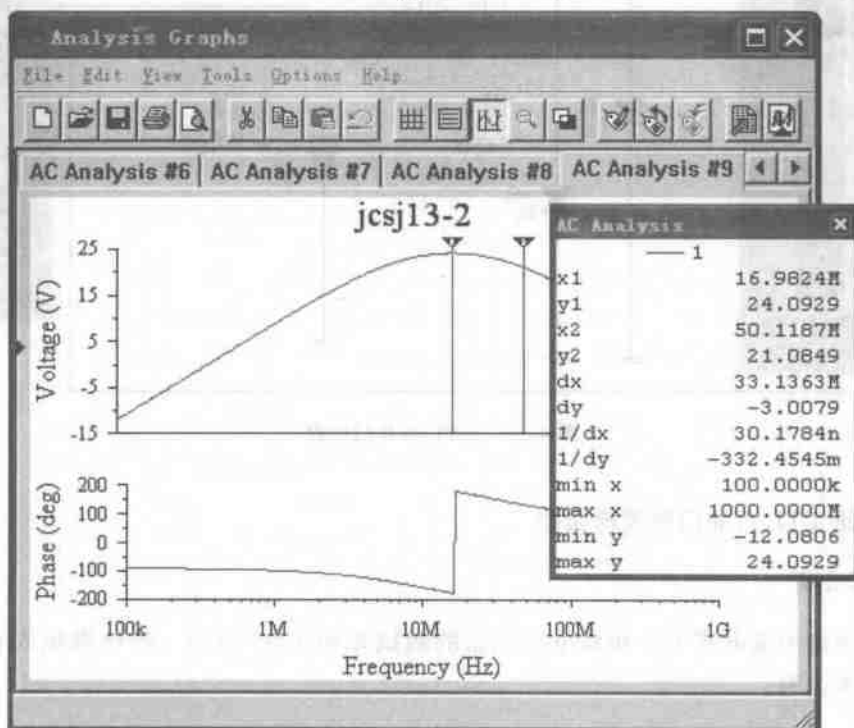
图 4.33 交流分析参数设置界面

如图 4.34 中 1 号测试指针，此时的坐标为 (16.9824, 24.0929)，这个 Y 坐标就是该放大器最大电压增益，为 24.0929dB。

再看频带宽度，波特图中频带宽度是两个半功率点（幅度最大值下降 3dB 的点）的频率之差。那么在图 4.34 (a) 中，我们将指针 1 拉到低频端，可找到 Y 坐标为 $24.0929-3.0886\approx 21.0043\text{dB}$ 的点，此时的 X 坐标为 $f_L=5.6234\text{MHz}$ ；再将指针移动到高频端（也可移动另一根指针），找到 $24.0929-3.0079\approx 21.0849\text{dB}$ 的点，如图 4.34 (b) 所示的 2 号指针，这时的 X 坐标为 $f_H=50.1187\text{MHz}$ ，即该放大器的频带宽度为： $f_w=f_H-f_L=50.1187-5.6234\text{MHz}$ 。



(a)



(b)

图 4.34 AC 分析结果

4.9 TTL 与非门的参数测试

4.9.1 实验目的

通过仿真：

- (1) 理解“与非”门的功能，测试 TTL 门电路结构及工作原理。
- (2) 通过实验深入理解 TTL 门电路电压传输特性、输入特性、输入负载特性、输出特性、传输延迟特性等并与基础实验中相关内容做比较，从而加深对 TTL 门电路性能的理解。
- (3) 学习字符发生器和逻辑分析仪和发光二极管的使用。为在实验室进行的 TTL 门电路性能测试实验做准备。

4.9.2 实验电路及内容

(1) 在 Multisim 仿真平台中建立如图 4.35 所示的电路，这是 1 个 TTL 集成与非门，用字信号发生器调节合适的输入参数，用虚拟仪表逻辑分析仪观察其输出结果。

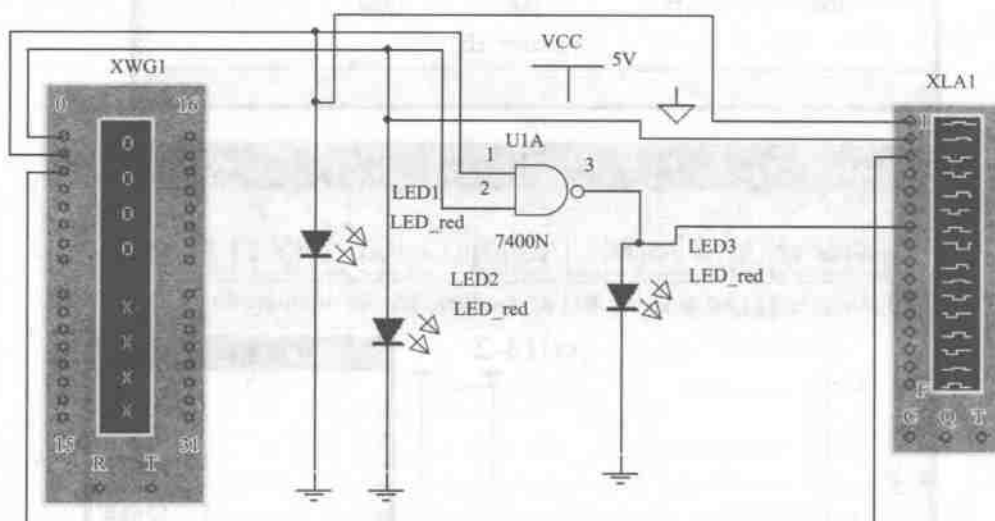


图 4.35 TTL 与非门电路

(2) 验证 TTL 与非门的逻辑功能

4.9.3 仿真分析

(1) 输出输出低电平 U_{OL} 和高电平 U_{OH} 的测试如图 4.36 所示。将结果填入表 4.2 中，说明符合与非逻辑。

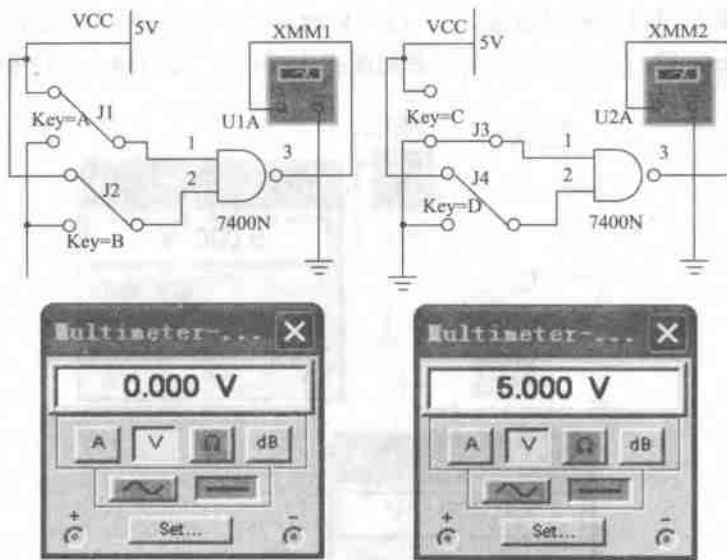


图 4.36 验证 TTL 与非门的逻辑功能

表 4.2 与非门的逻辑功能测试表

输入		输出逻辑状态	输出电压
A	B	Y	U_o/V
1	1	0	0.000
0	1	1	5.000

(2) 电压传输特性。按图 4.37 和图 4.38 接线，调节电位器 R_w ，使 U_i 从 0~5V 变化，

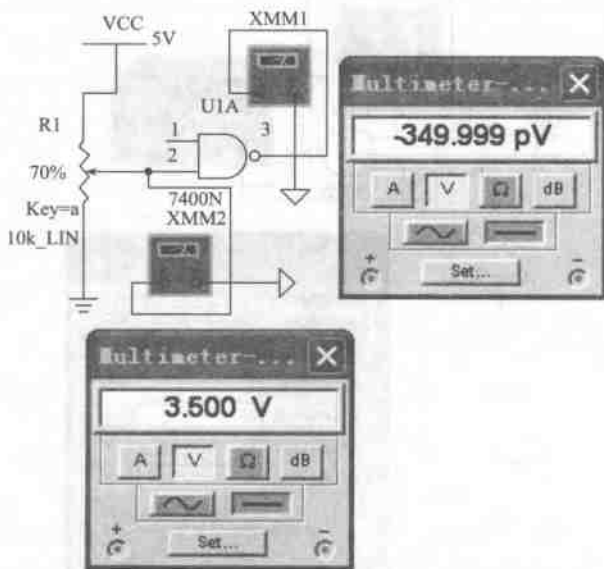


图 4.37 TTL 与非门的电压传输特性

用万用表逐点测量 U_i 和 U_o 的对应值, $U_i=3.5\text{V}$ 时 $U_o=-349.999\text{pV}$ 的仿真如图 4.37 所示, $U_i=180.000\text{mV}$ 时 $U_o=5.000\text{V}$ 的仿真如图 4.38 所示, 说明输入低电平, 输出高电平。

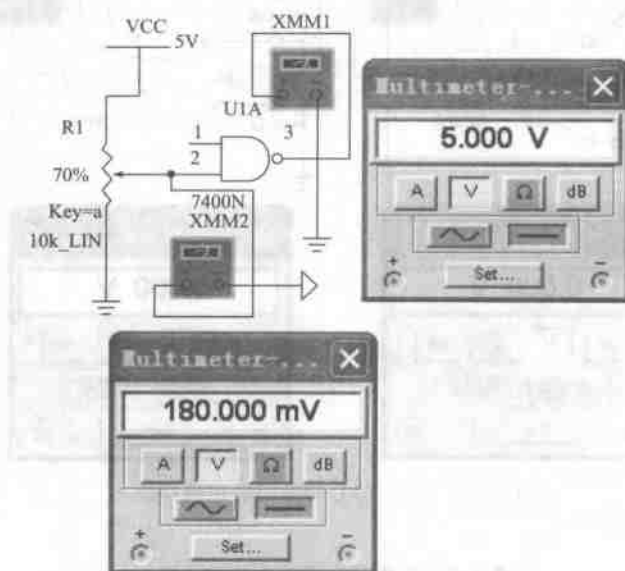


图 4.38 TTL 与非门的电压传输特性

(3) TTL 与非门动态逻辑功能测试。与非门的一个输入端 1 接 1kHz 的连续脉冲, 另一端 2 接逻辑电平开关, 如图 4.39 所示, 按要求输入电平, 用示波器观察输入端 A 和输出端 B 的波形如图 4.40 所示。

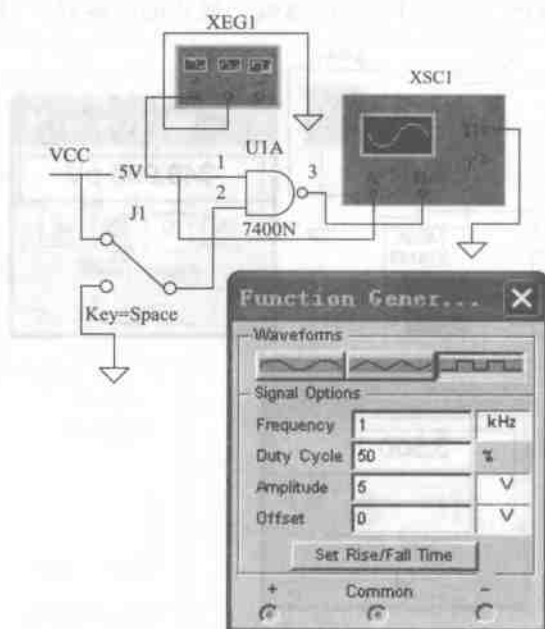
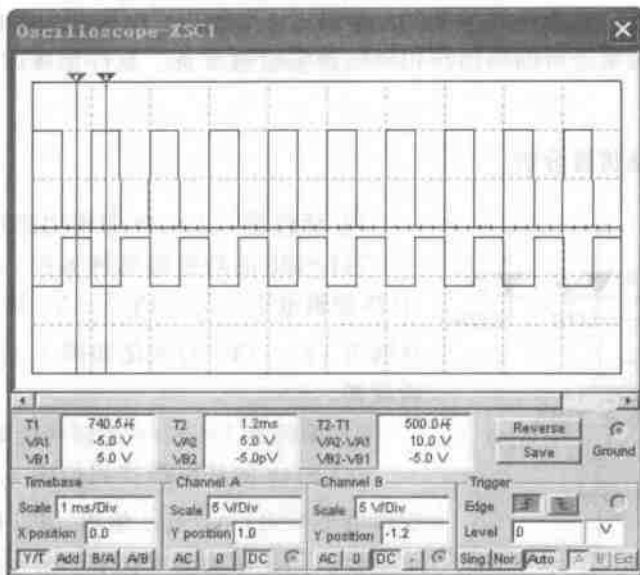
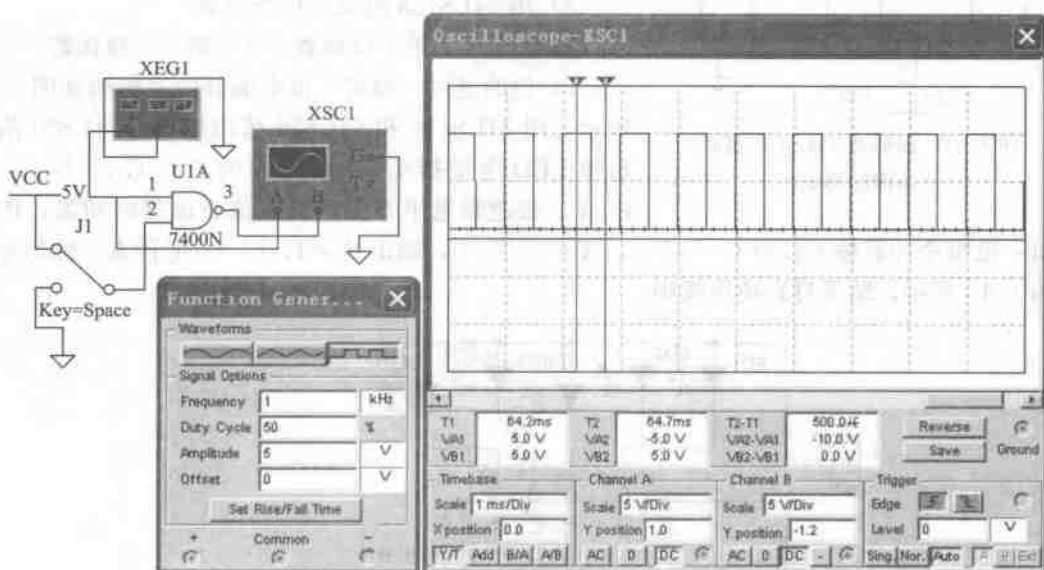


图 4.39 TTL 与非门动态逻辑功能测试电路



(a) (J1)=1结果



(b) (J1)=0结果

图 4.40 TTL 与非门动态逻辑功能测试

4.10 编码器、译码器功能测试及其应用

4.10.1 实验目的

通过仿真掌握编码器和译码器逻辑功能的测试方法，了解优先编码的原理；了解中规模

集成编码器和译码器的功能和管脚排列；掌握用译码器构成全加器和数据分配器组合逻辑电路的方法，为在实验室进行的编码器和译码器实验做准备。软件生成的图中 $\sim 1C$ 表示此变量的反变量，即 $1\bar{C}$ 。

4.10.2 实验电路及仿真分析

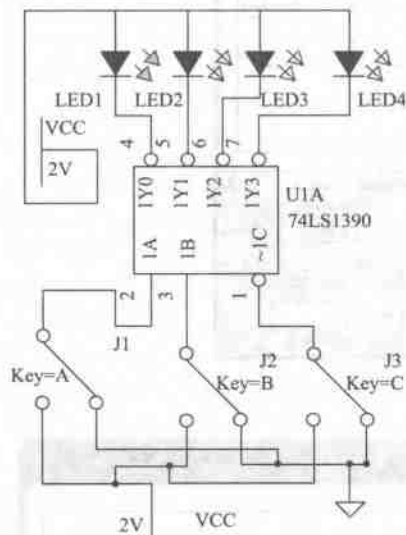


图 4.41 译码器 74LS139 逻辑功能的测试

1) 译码器 74LS139 逻辑功能的测试

74LS139 的外引脚排列如图 4.41 所示， $1\bar{C}$ 、1A、1B 接逻辑电平开关， $1\bar{Y}_0 \sim 1\bar{Y}_3$ 接 LED 电平显示。仿真输出 $1\bar{Y}_0 \sim 1\bar{Y}_3$ 的变化如图 4.41 所示，结果符合逻辑规则。

2) 编码器 74LS148 逻辑功能的测试

74LS148 的外引脚排列如图 4.42 所示， $\bar{I}_0 \sim \bar{I}_7$ 接逻辑电平开关， $\bar{A}_2 \sim \bar{A}_0$ 输出、 \bar{E}_0 和 \bar{G}_s 依次接 LED 电平显示， \bar{EI} 接逻辑电平开关。仿真输出 $\bar{A}_2 \sim \bar{A}_0$ 的变化如图 4.42 所示，结果符合逻辑规则。

3) 用 74LS138 组成一位全加器

如果设 A 为第 i 位加数，B 为第 i 位被加数，C 为 $(i-1)$ 位的进位，则第 i 位全加器的逻辑图如图 4.43 所示。用 74LS138 和 74LS20 按图连接，74LS20 的输出接 LED 电平指示，74LS138 的 \bar{G}_1 、 \bar{G}_{2A} 、 \bar{G}_{2B} 、A、B、C、接逻辑电平开关，测试该全加器的功能，图中

给出一组组全加器输入信号 $C_{i-1}=1$ ， $A=0$ ， $B=0$ ，输出 $S_i=1$ ， $C_i=0$ 的仿真，输出变化如图 4.43 所示，结果符合逻辑规则。

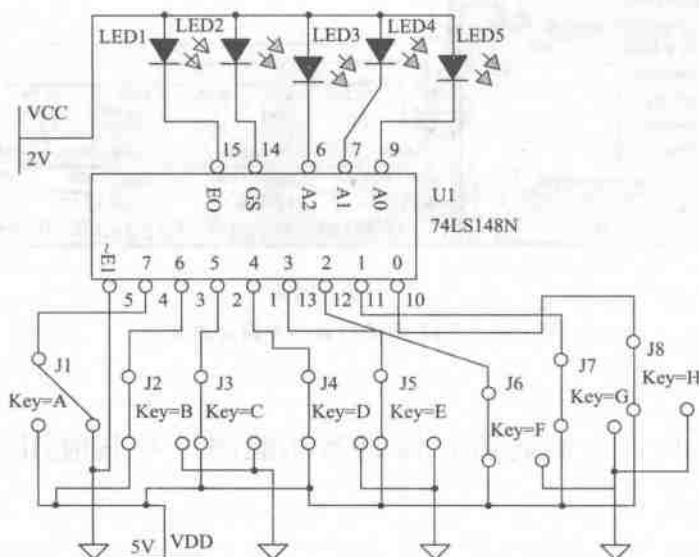


图 4.42 编码器 74LS148 逻辑功能的测试

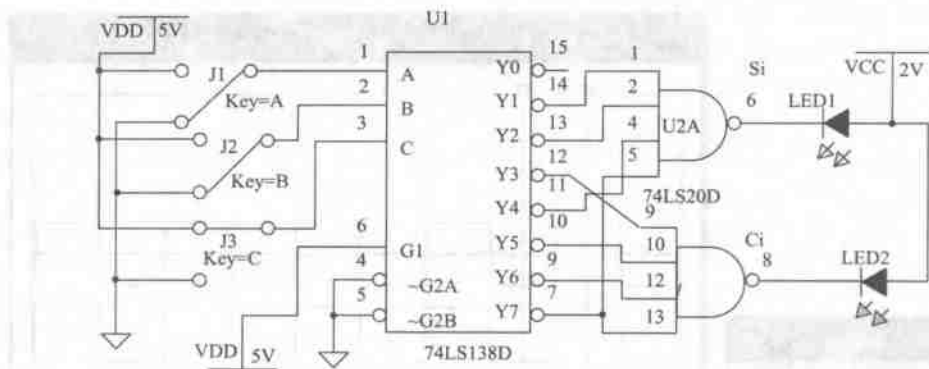


图 4.43 全加器逻辑功能的测试

4) 74LS138 做数据分配器

(1) 74LS138 做数据分配器电路如图 4.44 所示, A、B、C 作为地址输入端接实验箱上的逻辑电平开关, $\overline{G2A}$ 、 $\overline{G2B}$ 相连作为数据源信号发生器, 输出端 $Y_0 \sim Y_7$ 与地址对应的端口接示波器。

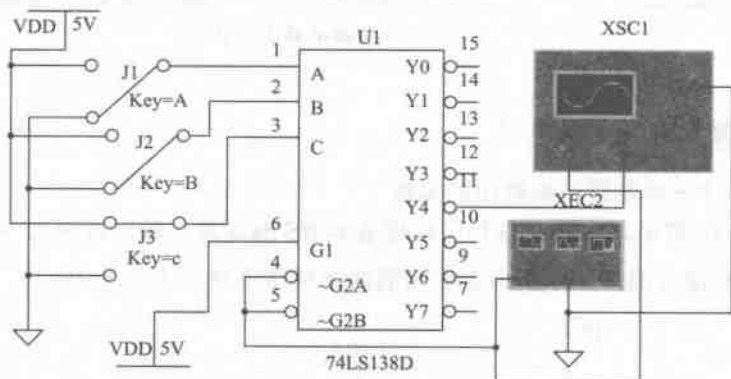


图 4.44 用 74LS138 做数据分配器电路

(2) 在地址输入端利用电平开关, 图中将 CBA=100 置入地址代码, 数据源端接连续脉冲的 1Hz, 观察得出在 Y_4 那一路上有信号输出脉冲波形, 如图 4.45 所示。

4.11 触发器及其应用

4.11.1 实验目的

通过仿真验证:

- (1) 掌握基本 R—S 触发器、D、JK 触发器的逻辑功能。
- (2) 掌握 D、JK 触发器逻辑功能的测试方法及使用方法。
- (3) 学习用集成触发器构成计数器的方法。为在实验室进行的触发器及其应用实验做准备。

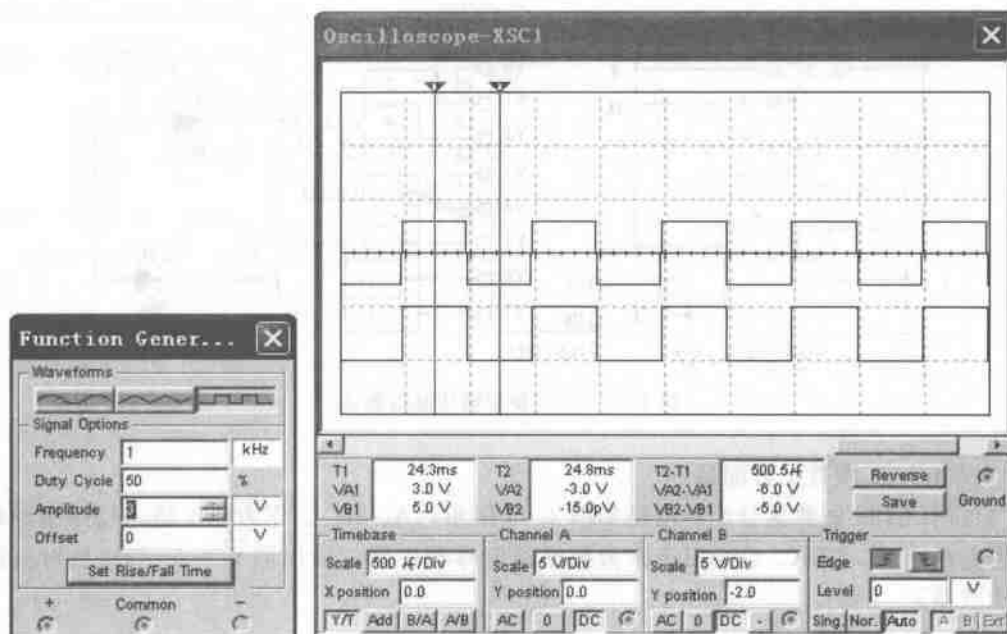


图 4.45 数据分配器电路仿真波形

4.11.2 实验电路及仿真分析

1) 测试基本 RS 触发器的逻辑功能实验

电路如图 4.46 所示, 用二个与非门构成基本 RS 触发器。输入端 \bar{R}_d 、 \bar{S}_d 接逻辑电平开关, 输出端 Q、 \bar{Q} 接灯泡显示, 图中逻辑功能的测试结果填入表 4.3 中。

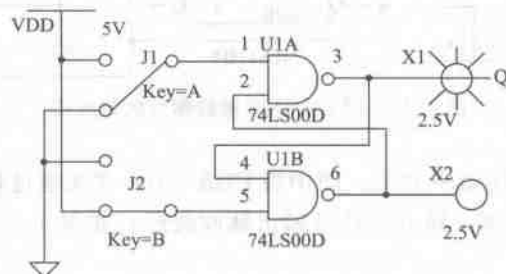


图 4.46 R-S 触发器电路

表 4.3 R-S 触发器逻辑功能

\bar{R}_d	\bar{S}_d	Q	\bar{Q}
1	0	1	0

2) 双 JK 触发器 74LS112 逻辑功能的测试

将 74LS112 中的一个 JK 触发器的 \bar{R}_d 、 \bar{S}_d 、J、K 端依次接逻辑电平开关, CP 接信号发生器, Q 端接灯泡显示, 其电路如图 4.47 所示。

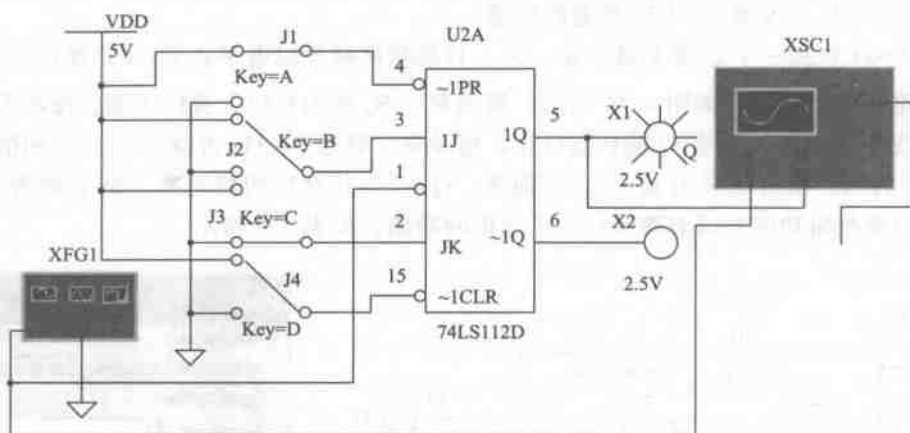


图 4.47 双 JK 触发器电路

测试 \bar{R}_d ($\sim 1CLR$)、 \bar{S}_d ($\sim 1PR$) 端的复位、置位功能。并改变 \bar{R}_d 、 \bar{S}_d 端状态 (J、K、CP、 Q^n 端为任意状态)。观察 Q^n 端状态的变化, 图 4.47 中给出了一组测试 JK 触发器的逻辑功能改变 J、K、CP 端状态, Q^n 端的状态变化, 测试结果是 J=1, K=0, $Q^n=1$ 如表 4.4 所示。

表 4.4 J-K 触发器逻辑功能测试表

J	K	Q^n	\bar{Q}^n
1	0	1	0

3) 将 CP 接到 100Hz 的连续脉冲, 通过示波器观察到 J=1, K=1, 100Hz 方波的输入、输出波形如图 4.48 所示。

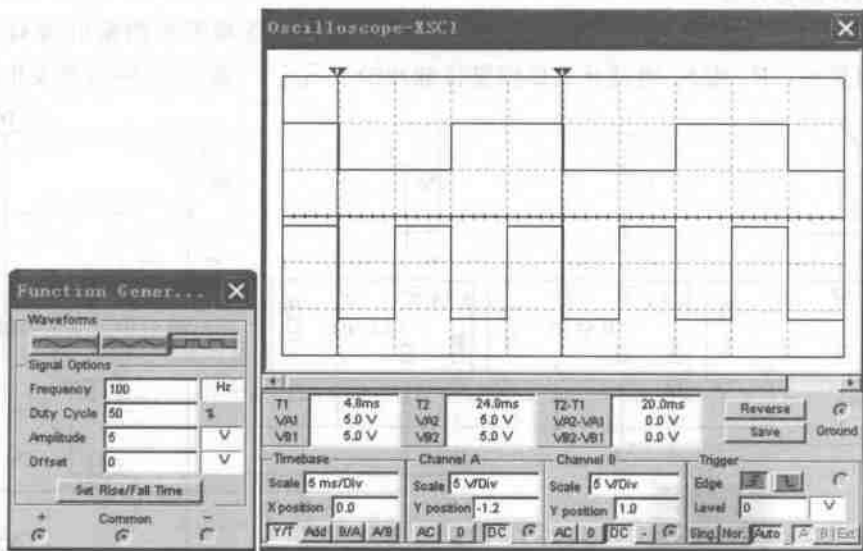


图 4.48 双 JK 触发器 J=K=1 仿真波形

4) 测试双 D 触发器 74LS74 的逻辑功能

将 74LS74 中的一个 D 触发器的 \bar{R}_d 、 \bar{S}_d 、D 端依次接逻辑电平开关，CP 接信号发生器，Q 端接灯泡显示，其电路如图 4.49 所示。测试 \bar{R}_d 、 \bar{S}_d 端的复位、置位功能。按照不同的电平组合改变 D 的状态，观察 Q 端状态变化，信号发生器给了 1Hz 占空比为 50% 的信号，图中以 D=0 为例，输出结果为 Q=0，灯泡灭、Q=1，其对应的灯泡亮，结果如图 4.49 所示。D 触发器逻辑功能测试表测试记录了图中的功能，如表 4.5 所示。

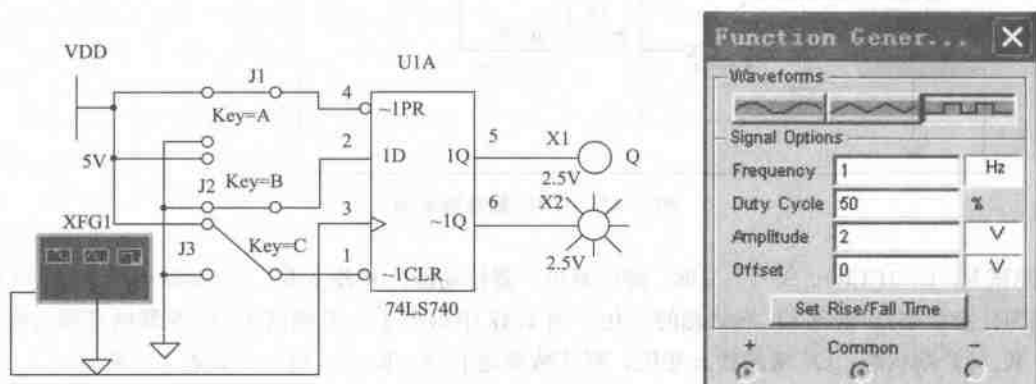


图 4.49 双 D 触发器电路

表 4.5 D 触发器逻辑功能测试表

D	Q	\bar{Q}
0	0	1

5) 左向移位寄存器

用 2 片 74LS74 接成图 4.48 所示的左向移位寄存器。将各触发器的输出端 $Q_3 \sim Q_0$ 接到 LED 灯泡显示， \bar{R}_d 或 \bar{S}_d 通过开关提供复位脉冲的 (\square) 端，CP 接信号发生器的连续

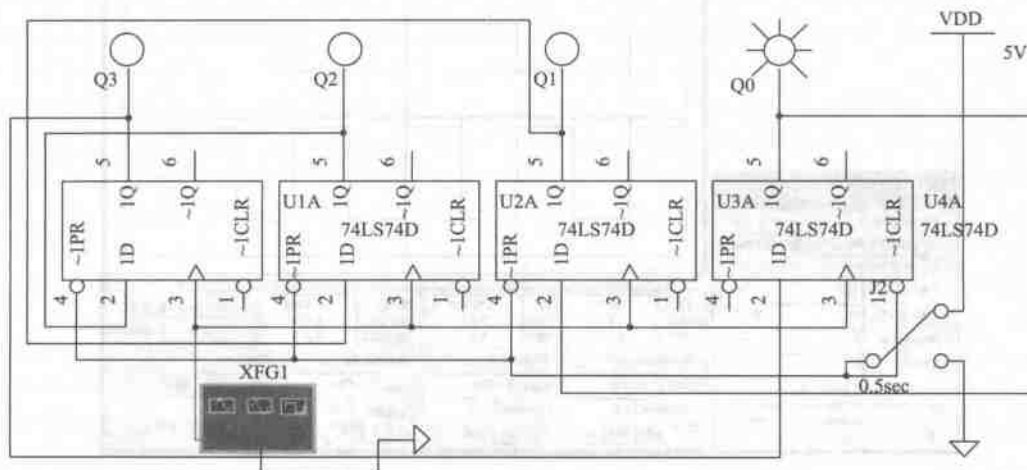


图 4.50 左移寄存器电路

脉冲(□)信号。

6) 按动复位脉冲,使寄存器初始状态 $Q_3 Q_2 Q_1 Q_0$ 为 0001。然后信号发生器依次输入 CP 脉冲, $Q_3 \sim Q_0$ 变化的实验结果如图 4.50 所示。

4.12 锁存器及其应用

4.12.1 实验目的

通过仿真:

(1) 了解锁存器的组成及其功能。

(2) 了解中规模集成电路 74LS75、74LS248 的外引线排列及其应用。为在实验室进行的锁存器及其应用实验做准备。

4.12.2 实验电路及仿真分析

74LS75 四 D 锁存器的功能测试

将 74LS75 的 $G_{1,2}$ ($EN1$)、 $G_{3,4}$ ($EN2$)、1D~4D 接逻辑电平开关 1J~4J, 1Q~4Q 接灯泡显示, 灯泡显示给出了一组 74LS75 功能测试结果, 输入 1D~4D=0001, 输出 1Q~4Q 为 0001, 实验电路和仿真结果如图 4.51 和表 4.6 所示。

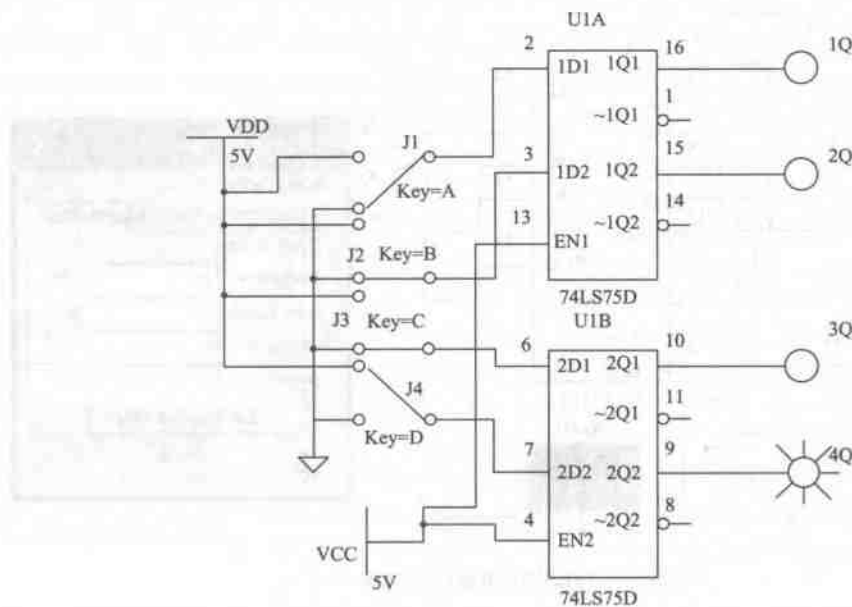


图 4.51 74LS75 数据锁存电路

表 4.6 74LS75 功能仿真数据表

输入						输出			
$G_{1,2}$	$G_{3,4}$	1D	2D	3D	4D	1Q	2Q	3Q	4Q
1	1	0	0	0	1	0	0	0	1

4.13 集成计数器及其应用

4.13.1 实验目的

通过仿真验证:

- (1) 中规模集成电路 74LS161 同步二进制计数器的功能及其应用。
- (2) 观察计数器利用复位端强制复位和利用置数端强制置数的工作过程。为在实验室进行的集成计数器及其应用实验做准备。

4.13.2 实验电路及仿真分析

1. 74LS161 的功能测试

将 74LS161 的 $\overline{\text{LOAD}}$ 、 ENP 、 ENT 、 $\text{A} \sim \text{D}$ 依次接逻辑电平开关， $\text{Q}_3 \sim \text{Q}_0$ 、进位输出端 RCO 依次接灯泡显示， $\overline{\text{CLR}}$ 接复位脉冲的（ $\square\square$ ）端， CLK 接信号发生器的脉冲（ $\square\square$ ）。如图 4.52 所示，将置数控制端 $\overline{\text{LOAD}}$ 接低电平，将 $\text{D}_3 \sim \text{D}_0$ 任选一组二进制数， CLK 接信号发生器给出的脉冲，实现同步置数，观察 $\text{Q}_3 \sim \text{Q}_0$ 的变化，然后再选几组二进制数，重复上面的步骤。

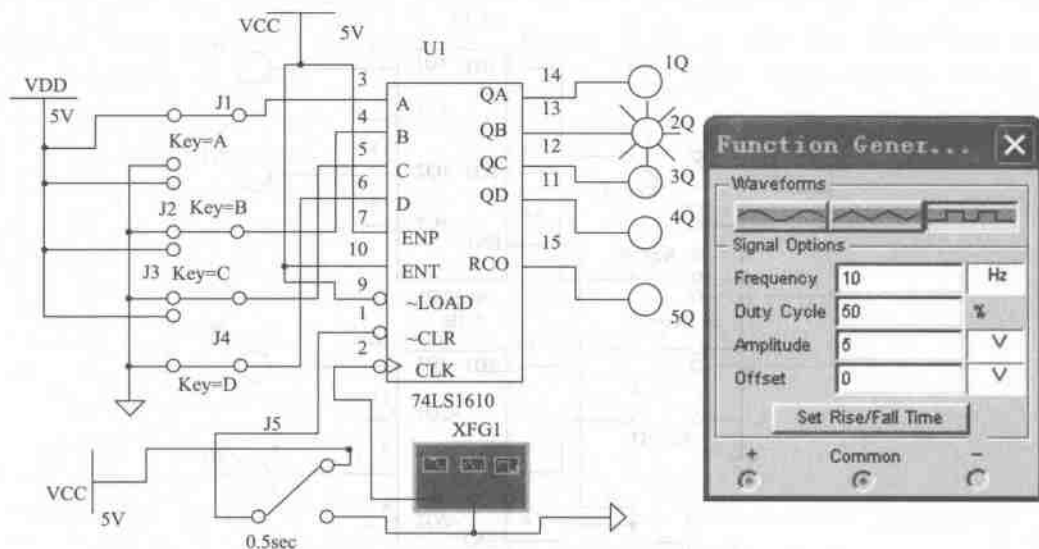


图 4.52 74LS161 功能测试电路

电路图中给出计数的例子： $\overline{\text{R}_D}$ 、 $\overline{\text{LD}}$ 、 ENP 、 ENT 都为“1”时，信号发生器输入 10Hz，5V，占空比为 50% 的脉冲，观察 $\text{Q}_3 \sim \text{Q}_0$ 的变化，图 4.52 中记录的是 0010 的瞬时结果。

2. 用 74LS161 构成 6 进制计数器

用反馈归零法（也称复位法）构成六进制计数器，由于 74LS161 是采用直接清“0”方式工作的，利用清零端 $\overline{\text{R}_D}$ ，按图 4.53 连接，可以实现 $N=6$ 计数，当计数器计到 0110 时，

与非门输出为“0”，计数器便被直接置成全“0”状态，0110 是暂态。

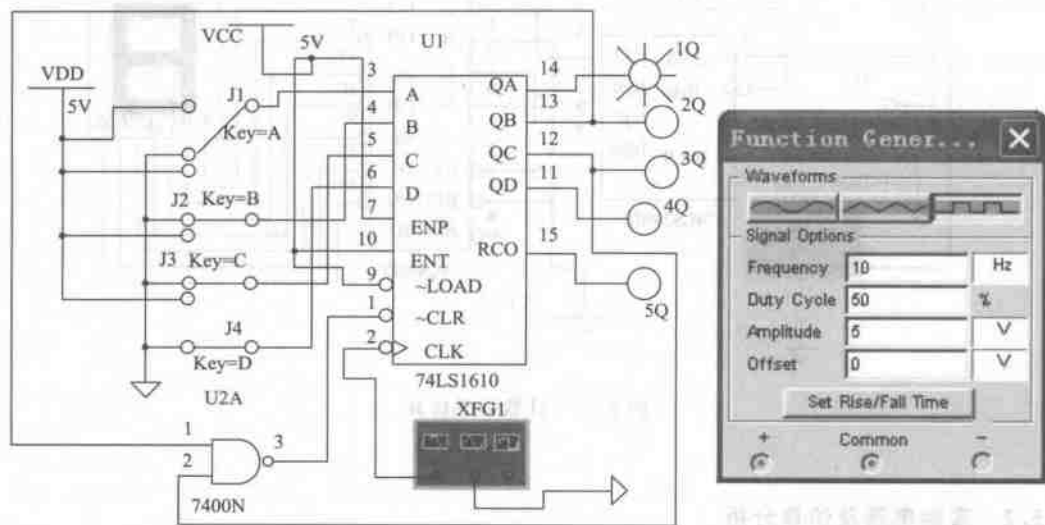


图 4.53 74LS161 集成 6 进制计数器仿真

如图 4.53 所示，74LS161 的 $Q_3 \sim Q_0$ 接灯泡显示，A~D 接逻辑电平开关，CLK 接信号发生器给出的脉冲，图中记录的是 0001 的瞬时结果。

4.14 计数、译码与显示

4.14.1 实验目的

通过仿真：

- (1) 掌握计数、译码和显示电路的工作原理。
- (2) 认识与熟悉 74LS390、74LS248 (CD4511) 及数码管的外形、管脚排列与使用方法。
- (3) 设计二位以上具有计数显示功能的计数器。为在实验室进行的计数、译码和显示实验做准备。

4.14.2 实验电路及仿真分析

一位计数译码显示实验电路如图 4.54 所示，将 74LS390 连接成 8421 码十进制计数器形式。74LS248 译码/驱动器 and 7 输入的数码管按图接好线。先将计数器清零，然后由 CLK 由信号发生器送入计数脉冲，观察到数码管显示的字形由 0 变到 9，仿真结果只是一个瞬时值为 8 的显示。

4.15 555 集成定时电路

4.15.1 实验目的

通过仿真验证 555 集成定时电路的基本结构与工作原理，为在实验室进行的 555 集成定时电路的实验做准备。

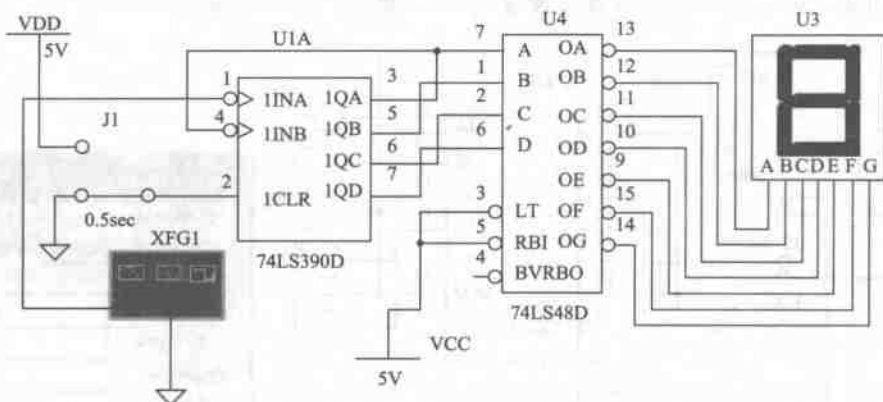


图 4.54 计数译码仿真

4.15.2 实验电路及仿真分析

1. 555 电路实验电路

如图 4.55 所示。

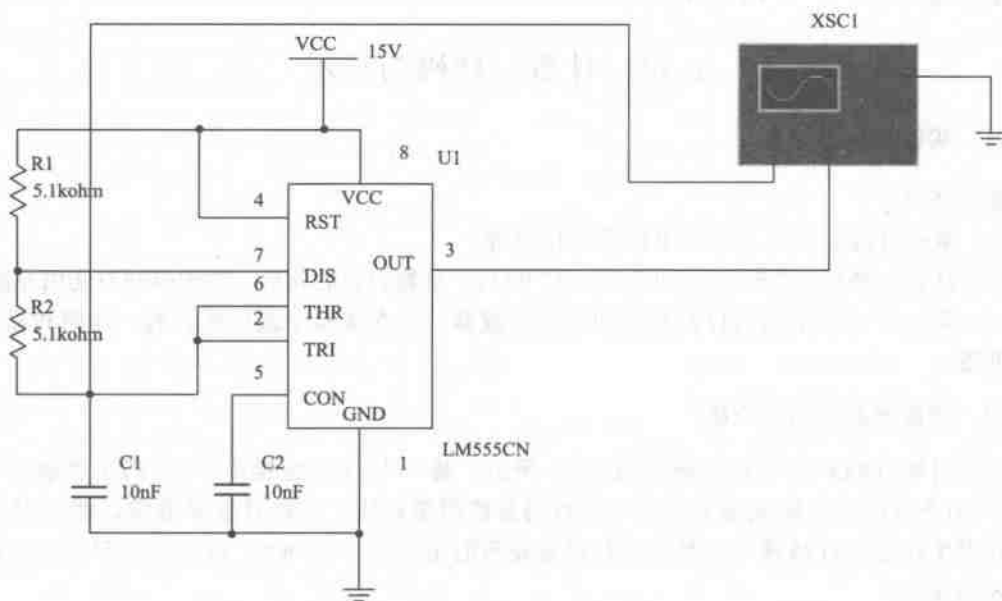


图 4.55 555 定时电路

2. 555 定时器工作原理及仿真

555 定时器是一种将模拟电路和数字电路集成于一体的电子器件。用它可以构成单稳态触发器、多谐振荡器和施密特触发器等多种电路。该电路由分压器：由三个等值电阻构成，

比较器：由电压比较器 C_1 和 C_2 构成，R-S 触发器和放电开关管 T 组成。比较器的参考电压由 3 只 $5k\Omega$ 的电阻器构成的分压器提供，它们分别是高电平比较器 A1 的同相输入端和低电平比较器 A2 的反向输入端的参考电平， $2/3V_{cc}$ 和 $1/3V_{cc}$ 。A1 与 A2 的输出端控制 RS 触发器状态和放电管开关状态。当输入信号自引脚 6 输入，即高电平触发输入并超过参考电平 $2/3V_{cc}$ 时，触发器复位，555 的输出引脚端 3 为低电平，同时放电开关管导通；当输入信号自引脚 2 输入并低于 $1/3V_{cc}$ 时，触发器置位，555 的输出引脚 3 为高电平，同时放电开关管截止。RST 是复位端（引脚 4），当 $RST=0$ ，555 输出低电平。平时 RST 端开始或接 V_{cc} 。

CON 是控制电压（引脚 5），平时输出 $2/3V_{cc}$ 作为比较器 A1 的参考电平，当引脚 5 外接一个输出电压，即改变了比较器的参考电平，从而实现对输出的另一种控制，在不接外电压时，通常接一个 $0.01\mu F$ 的电容器到地，起过滤作用，以消除外来的干扰，并确保参考电平的稳定。VT 为放电管，当 VT 导通时，将给接于引脚 7 的电容器提供低阻放电通路。图 5.56 是 555 电路脉冲产生或波形变换电路的仿真结果。

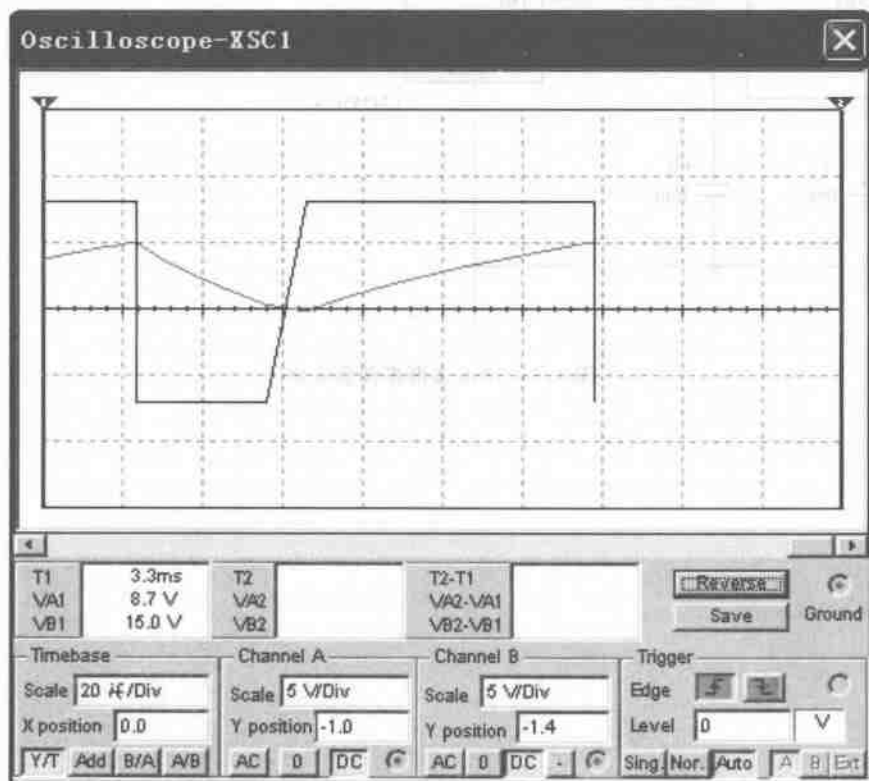


图 4.56 555 定时电路仿真

3. 555 电路构成多谐振荡器

如图 4.57 所示为由 555 定时器和外接元件 R_1 、 R_2 、 C 构成的多谐振荡器，引脚 2 与引脚 6 直接相连，电路没有稳态，仅存在两个暂稳态，电路也不需要外加触发信号，利用电源

通过 R_1 、 R_2 向 C 充电，以及 C 通过 R_1 放电，使电路产生振荡。电容 C 在 $1/3V_{cc}$ 和 $2/3V_{cc}$ 之间充电和放电，输出信号的参数为 $T_1=0.7(R_1+R_2)C$ ， $T_2=0.7R_2C$ ， $T=T_1+T_2$ ，LM555CN 电路要求 R_1 与 R_2 均应大于或等于 $1k\Omega$ ，但 R_1+R_2 应小于或等于 $3.3M\Omega$ 。

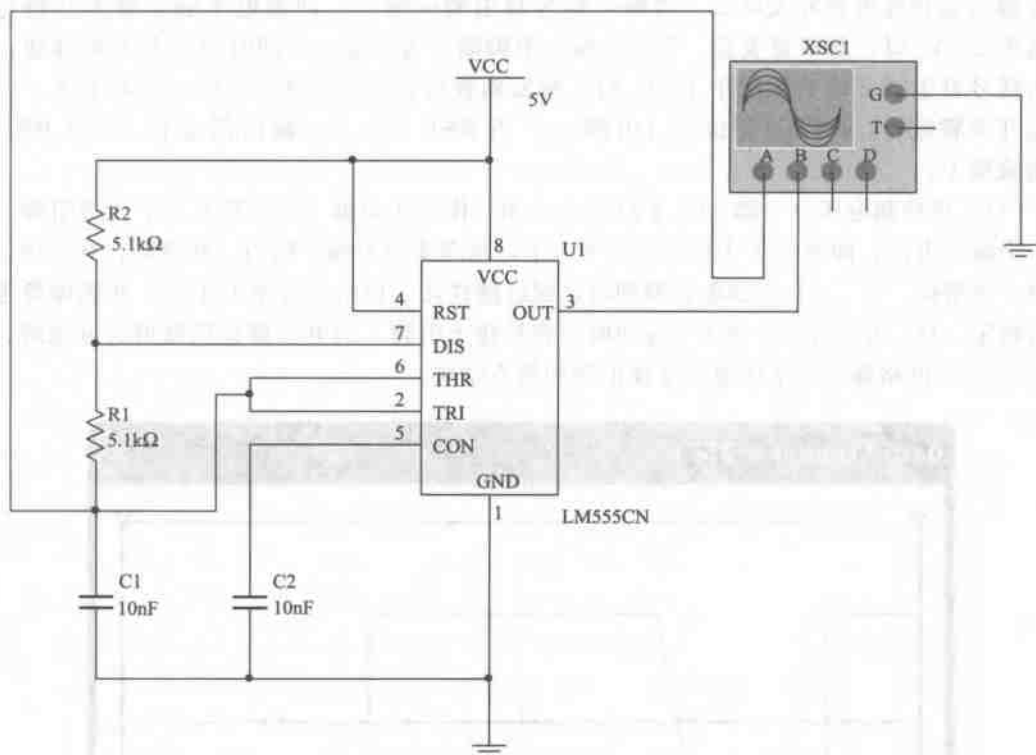


图 4.57 555 多谐振荡器电路

第5章 电工技术基础实验

5.1 叠加原理和戴维南定理

5.1.1 实验目的

- (1) 验证基尔霍夫电压定律及电流定律，加深对参考方向的理解。
- (2) 验证线性电路的叠加原理和戴维南定理。
- (3) 学会戴维南等效电路中开路电压、等效内阻的测量方法。

5.1.2 实验原理

1. 基尔霍夫定律

(1) 基尔霍夫电流定律：电路中，任一瞬间流入和流出任一节点的电流的代数和等于零，即 $\sum I = 0$ 。

(2) 基尔霍夫电压定律：电路中，任一瞬间沿任一闭合回路一周，各元件电压降的代数和等于零，即 $\sum U = 0$ 。

2. 叠加原理

在具有多个独立电源的线性电路中，一条支路中的电流或电压，等于电路中各个独立电源分别作用时，在该支路中所产生的电流或电压的代数和。

值得注意的是，叠加原理只适用于电流或电压的计算，不适用于功率的计算。

3. 戴维南定理

戴维南定理：一个线性有源二端网络，可以用一个理想电压源和一个等效电阻串联构成的电压源等效代替。等效电压源的源电压为有源二端网络的开路电压；串联电阻为有源二端网络中所有独立电源作用为零时的无源二端网络的等效电阻。

5.1.3 实验设备与器材

(1) 直流稳压电源	1 台
(2) 直流毫安表	1 台
(3) 直流电压表	1 台
(4) 电流表	1 台
(5) 万用表	1 块
(6) 叠加原理实验板，戴维南电路实验板各一块	

5.1.4 实验内容与步骤

1. 基尔霍夫定律

按图 5.1 所示电路连线，开关 K_1 投向 U_1 ， K_2 投向 U_2 。根据表 5.1 中的实验项目，将

K_3 分别投向 R_5 、二极管 D，测出电压和电流，用以验证基尔霍夫电流定律和电压定律。

注意：在电路中串联直流电流表时，电流表的“+”、“-”极性应按图 5.1 中所标电流参考方向去接，如果表针反偏，则应将接电流表接入电路的“+”、“-”极对调，但其读数应记作负值，这就是参考方向的实际意义。测量电压时也有同样的情况。

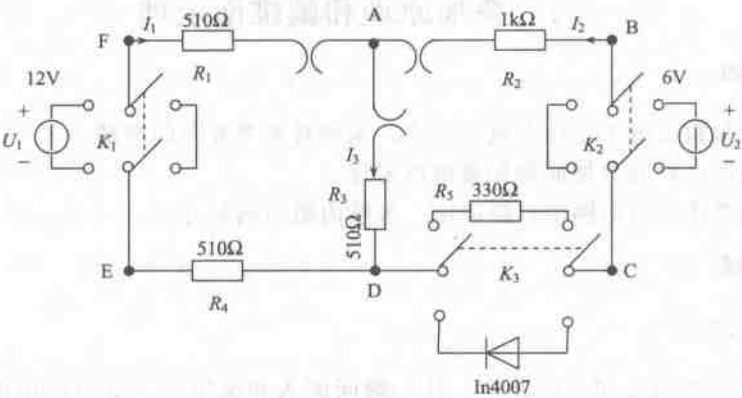


图 5.1 基尔霍夫/叠加测量电路

表 5.1 基尔霍夫电流电压定律的验证

项目	测量值 I/mA			测量值 U/V					验算		
	I_1	I_2	I_3	U_{AB}	U_{BD}	U_{DA}	U_{DF}	U_{FA}	A 点 $\sum I$	$\sum U_{ABCD A}$	$\sum U_{ABCEFA}$
K_3 投 R_5 测量值											
K_3 投 R_5 理论值											
K_3 投 D 测量值											
K_3 投 D 理论值											

2. 叠加原理

在图 5.1 中， K_3 投向 R_5 。按 U_1 和 U_2 共同作用、 U_1 单独作用、 U_2 单独作用的次序，测量各支路的电流，并填入表 5.2 中。

表 5.2 叠加原理的验证

电路工作状态	测量值 I/mA			算 A 点 $\sum I$
	I_1	I_2	I_3	
U_1 、 U_2 共同作用				
U_1 单独作用				
U_2 单独作用				
计算 $I' + I''$				

3. 戴维南定理

(1) 在图 5.2 (a) 电路中，调 R_L 为 5Ω ，测其电流 I_L 记于表 5.3 中。

(2) 去掉 R_L 电阻, 有源二端网络 A、B 断开, 测 A、B 间开路电压 U_{OC} 和短路电流 I_{SC} , 计算出二端网络的等效内阻 R_0 ($R_0 = U_{OC}/I_{SC}$), 并将所测数据记于表 5.3 中。

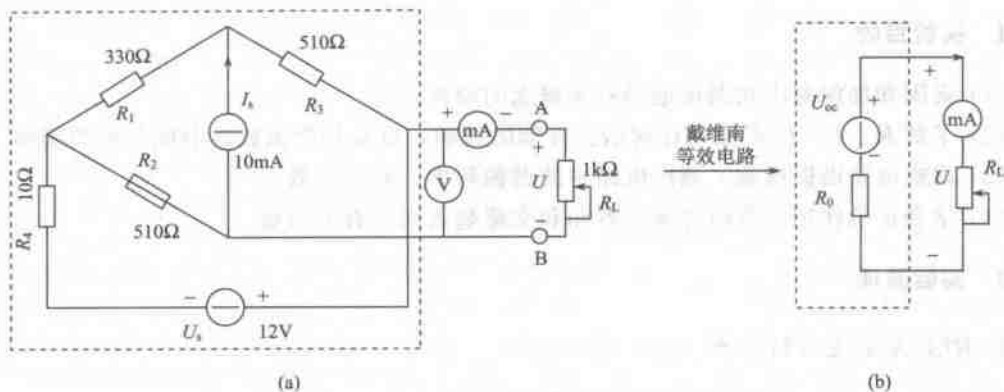


图 5.2 戴维南测量电路

(3) 将稳压电源的一路电压调至 U_{OC} , 电阻箱调至 $R_0 + 5\Omega$, 按图 5.2 (b) 接线, 测量电流 I'_L , 填入表 5.3 中, 并与实验内容中步骤 (1) 测量的 I_L 作比较。

表 5.3 验证戴维南定理数据表

数据测量		等效电源参数	
电流 I_L/mA		等效电动势 U_{OC}/V	
开路电压 U_{OC}/V		等效内阻 R_0/Ω	
短路电流 I_{SC}/mA		测量电流 I'_L/mA	

5.1.5 预习思考题

- (1) 复习叠加原理和戴维南定理, 能简述它们的基本要点。
- (2) 看懂实验电路图, 根据所给参数, 预先用叠加原理计算出各支路电流和各电阻的电压。
- (3) 看懂实验电路图, 根据所给参数, 预先用戴维南定理计算出有源二端网络的开路电压 U_{OC} (或 U_{ab}) 和等效内阻 R_0 。
- (4) 在叠加原理中, 电源单独作用时, 可否直接将不作用的理想电压源直接短接置零?

5.1.6 实验报告

- (1) 将实验电路所测的数据与理论计算值进行比较, 分析误差原因, 验证基尔霍夫定律, 叠加原理和戴维南定理。
- (2) 叠加原理、戴维南定理使用条件是什么?
- (3) 能不能用叠加原理进行功率计算? 为什么?

5.2 RLC 串联谐振电路的研究

5.2.1 实验目的

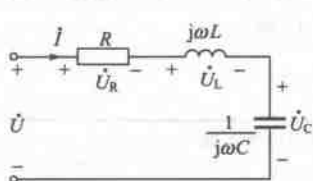
- (1) 巩固和加深对串联谐振电路基本概念的理解
- (2) 了解 R 、 L 、 C 参数变化对谐振性能的影响, 以及品质因数对谐振曲线的影响。
- (3) 观察电路谐振现象, 测出电路中的谐振频率, 品质因数。
- (4) 学会正确使用函数信号发生器和交流毫伏表等有关仪器。

5.2.2 实验原理

1. RLC 串联电路的特性

如图 5.3 所示的 RLC 串联电路中电路的阻抗为

$$Z = R + j\left(\omega L - \frac{1}{\omega C}\right) = R + j(X_L - X_C) = R + jX = |Z| \angle \varphi$$



当 $\omega L - \frac{1}{\omega C} = 0$ 时, 既 $X_L = X_C$, 电路处于串联谐振状态, 谐振角频率为:

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

图 5.3 RLC 串联谐振电路

显然, 谐振频率仅与电感 L 、电容 C 的数值有关, 而与电阻和激励电源的角频率 ω 无关。当 $\omega < \omega_0$ 时, 电路呈容性, 阻抗角 $\varphi < 0$; 当 $\omega > \omega_0$ 时, 电路呈感性, 阻抗角 $\varphi > 0$ 。

2. 电路处于谐振状态时的特性

(1) 串联谐振时, 由于 $X = 0$, 有 $|Z| = R$ 为最小值, 电路呈纯电阻性, u 与 i 同相位 (图 5.4)。

(2) 在电源电压一定时, 电路中电流在谐振时达到最大 $I = I_0 = U/R$ 。

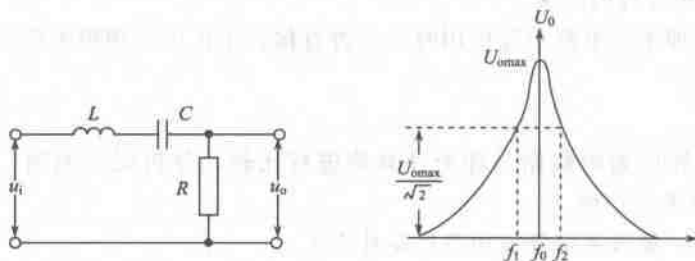


图 5.4 串联谐振曲线

(3) 因 $X_L = X_C$, 有 U_L, U_C 大小相等、相位相反, 因此电源电压 $U = U_R$ 。有时会出现 $U_L = U_C \gg U$, 所以又称串联谐振为电压谐振, 且二者的比值称品质因数, 用 Q 表示, 即

$$Q = \frac{U_L}{U} = \frac{U_C}{U}$$

3. 品质因数 Q 值的测量值

有两种方法测量 Q 值: 一是根据公式 $Q = \frac{U_L}{U_0} = \frac{U_C}{U_0}$ 测定, U_C 与 U_L 分别为谐振时电容器 C 和电感线圈 L 上的电压; 另一方法是通过测量谐振曲线的通频带宽度 $\Delta f = f_2 - f_1$, 再根据 $Q = \frac{f_0}{f_2 - f_1}$ 求出 Q 值。式中 f_0 为谐振频率, f_2 和 f_1 是失谐时, 亦即输出电压的幅度下降到最大值的 $1/\sqrt{2}$ ($=0.707$) 倍时的上、下频率点。

Q 值越大, 曲线越尖锐, 通频带越窄, 电路的选择性越好。在恒压源供电时, 电路的品质因数、选择性与通频带只决定于电路本身的参数, 而与信号源无关。

5.2.3 实验设备与器材

- | | |
|------------------------------------------------------------------------------|-----|
| (1) 函数信号发生器 | 1 台 |
| (2) 交流毫伏表 | 1 台 |
| (3) 直流稳压电源 | 1 台 |
| (4) RLC 谐振电路实验板 | |
| (5) 200Ω 电阻, $1k\Omega$ 电阻, $0.01\mu F$ 电容, $0.1\mu F$ 电容, $300mH$ 电感 | |

5.2.4 实验内容与步骤

1. 按图 5.5 接好测量电路

调节函数信号发生器的输出电压, 用交流毫伏表监测, 使信号源的输出电压 U_i 保持 $2V$ 不变。

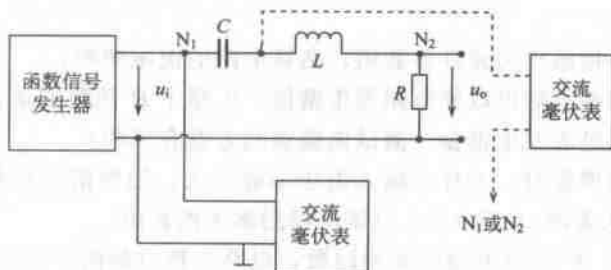


图 5.5 RLC 测量电路

2. 找出谐振频率 f_0

根据表 5.4 中 R 、 C 值, 将交流毫伏表接在 R 两端, 令信号源的频率由小逐渐变大 (注意要维持信号源的输出幅度 2V 不变), 当 U_R 的读数为最大时, 读得信号发生器上的频率值即为电路的谐振频率 f_0 , 并测量谐振状态时电阻、电感、电容器电压 U_R 、 U_C 、 U_L 值, (注意及时更换交流毫伏表的量程), 填入表 5.4 中, 并根据以上的测量值, 计算各参数值。

表 5.4 谐振点参数的测量与计算

电容值 $C/\mu\text{F}$	电阻值 R/Ω	测量值				计算值			
		f_0/Hz	U_R/V	U_L/V	U_C/V	I_0/mA	Q	X_L/Ω	X_C/Ω
0.01	200								
0.01	1000								
0.1	200								
0.1	1000								

3. 测谐振曲线

保持函数发生器输出的电压值不变, 根据表 5.5 中 R 、 L 、 C 值, 在谐振点两侧, 按频率递增或递减 500Hz 或 1kHz, 依次各取 7 个测量点, 逐点测出 U_0 值, 并记入数据表 5.5 中。注意为了能精确地画出谐振曲线, 在 f_0 附近, 也就是谐振曲线的平坦部分应多测几个点, 并且测量数据中必须包括谐振点。

表 5.5 谐振曲线测量数据

f/kHz								f_0						
U_0/V														

$U_1=4\text{V}$, $C=0.01\mu\text{F}$, $R=100\Omega$, $L=20\text{mH}$, $f_0=$, $\Delta f=f_2-f_1=$

5.2.5 预习思考题

- (1) 根据实验线路板给出的元件参数值, 估算电路的谐振频率。
- (2) 改变电路的哪些参数可以使电路发生谐振, 电路中 R 的数值是否影响谐振频率值?
- (3) 如何判别电路是否发生谐振? 测试谐振点的方案有哪些?
- (4) 电路发生串联谐振时, 为什么输入电压不能太大, 如果信号源给出 3V 的电压, 电路谐振时, 用交流毫伏表测 U_L 和 U_C , 应该选择用多大的量程?
- (5) 要提高 R 、 L 、 C 串联电路的品质因数, 电路参数应如何改变?
- (6) 本实验在谐振时, 对应的 U_L 与 U_C 是否相等? 如有差异, 原因何在?

5.2.6 实验报告

- (1) 整理实验数据。

- (2) 计算 Q 值, 说明不同 R 值时对电路品质因数的影响。
- (3) 根据实验所测得的数据, 作出电流谐振曲线 (要求用坐标纸画), 并标出谐振频率。
- (4) 谐振时, 比较输出电压 U_o 与输入电压 U_i 是否相等? 试分析原因。
- (5) 分析测量值和理论值之间的误差及误差产生的原因。

5.3 日光灯电路及功率因数的提高

5.3.1 实验目的

- (1) 验证单相交流电路中的电流、电压和功率关系的理论。
- (2) 了解日光灯电路的组成, 工作原理和安装方法。
- (3) 理解感性负载提高功率因数的方法和意义。
- (4) 学会正确使用函数信号发生器和交流毫伏表等有关仪器。

5.3.2 实验原理

电力系统中的负载大部分是感性负载, 其功率因数较低, 为提高电源的利用率和减少供电线路的损耗, 往往采用在感性负载两端并联电容器的方法, 来进行无功补偿, 以提高线路的功率因数。日光灯电路为感性负载, 其功率因数一般在 $0.3 \sim 0.4$ 左右, 在本实验中, 利用日光灯电路来模拟实际的感性负载观察交流电路的各种现象。

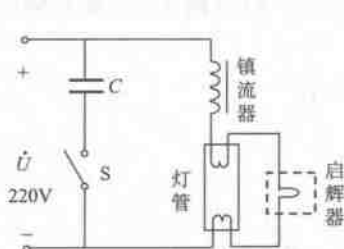


图 5.6 日光灯电路

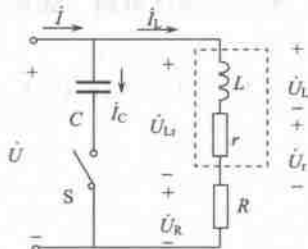


图 5.7 日光灯等效电路

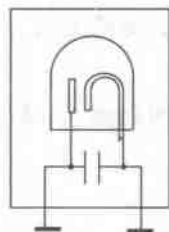


图 5.8 启辉器结构

1. 日光灯的工作原理

如图 5.6 所示, 日光灯电路由荧光灯管、镇流器和启辉器三部分组成:

(1) 灯管: 日光灯管是一根玻璃管, 它的内壁均匀地涂有一层薄薄的荧光粉, 灯管两端各有一个阳极和一根灯丝。灯丝由钨丝制成, 其作用是发射电子。阳极是两根镍丝, 焊在灯丝上, 与灯丝具有相同的电位, 其主要作用是当它具有正电位时吸收部分电子, 以减少电子对灯丝的撞击。此外, 它还具有帮助灯管点燃的作用。

灯管内还充有惰性气体 (如氮气) 与水银蒸汽。由于有水银蒸汽, 当管内产生辉光放电时, 就会放射紫外线。这些紫外线照射到荧光粉上就会发出可见光。

(2) 镇流器: 它是绕在硅钢片铁心上的电感线圈, 在电路上与灯管相串联。其作用为: 在日光灯启动时, 产生足够的自感电势, 使灯管内的气体放电; 在日光灯正常工作时, 限制灯管电流。不同功率的灯管应配以相应的镇流器。

(3) 启辉器：它是一个小型的辉光管，管内充有惰性气体，并装有两个电极：一个是固定电极，一个是倒“U”形的可动电极，如图 5.8 所示。两电极上都焊接有触头。倒“U”形可动电极由热膨胀系数不同的两种金属片制成。

点燃过程：日光灯管、镇流器和启辉器的连接电路如图 5.6 所示。刚接通电源时，灯管内气体尚未放电，电源电压全部加在启辉器上，使它产生辉光放电并发热，倒“U”形的金属片受热膨胀，由于内层金属的热膨胀系数大，双金属片受热后趋于伸直，使金属片上的触点闭合，将电路接通。电流通过灯管两端的灯丝，灯丝受热后发射电子，而当启辉器的触点闭合后，两电极间的电压降为零，辉光放电停止，双金属片经冷却后恢复原来位置，两触点重新分开。为了避免启辉器断开时产生火花，将触点烧毁，通常在两电极间并联一只极小的电容器。

在双金属片冷却后触点断开瞬间，镇流器两端产生相当高的自感电势，这个自感电势与电源电压一起加到灯管两端，使灯管发生弧光放电，弧光放电所放射的紫外线照射到灯管的荧光粉上，就发出可见光。

灯管点亮后，较高的电压降落在镇流器上，灯管电压只有 100V 左右，这个较低的电压不足以使启辉器放电，因此，它的触点不能闭合。这时，日光灯电路因有镇流器的存在形成一个功率因数很低的感性电路。日光灯电路的等效电路如图 5.7 所示。

2. 日光灯电路原理分析

日光灯电路可以看成 R 、 L 串联的感性电路（如图 5.7 所示）。以电流 \dot{I}_L 为参考相量，则电压、电流关系为

$$\dot{U} = \dot{U}_r + \dot{U}_L + \dot{U}_R = (r + jX_L + R) \cdot \dot{I}_L$$

其相量图如图 5.9 所示。

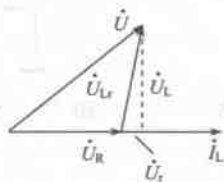


图 5.9 日光灯电路相量图

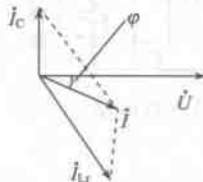


图 5.10 提高功率因数相量图

3. 功率因数的提高

如果负载功率因数低（日光灯电路的功率因数在 0.3~0.4），一是电源利用率不高，二是供电线路损耗加大，因此供电部门规定，当负载（或单位供电）的功率因数低于 0.85 时，必须对其进行改善和提高。

提高功率因数的方法，除改善负载本身的工作状态、设计合理外，由于工业负载基本都是感性负载，因此常用的方法是在负载两端并联电容器组（接线方法如图 5.6 所示），补偿无功功率，以提高线路的功率因数。功率因数提高的原理如图 5.10 所示。

5.3.3 实验设备与器材

(1) 交流电压表	1 台
(2) 交流电流表	1 台
(3) 功率表	1 台
(4) 自耦变压器	1 台
(5) 万用表	1 块
(6) 电容器 (DGJ-05) $1\mu\text{F}$ 、 $2.2\mu\text{F}$ 、 $4.7\mu\text{F}$ ，日光灯实验电路板	

5.3.4 实验内容与步骤

1. 日光灯接线与测量

按图 5.11 正确接线，断开电容器 C 调节自耦调压器，使其输出电压逐渐增大，直到日光灯刚由启辉点亮为止，测出有功功率 P ，总电流 I ，总电压 U ，镇流器两端电压 U_L ，日光灯两端电压 U_A 等值，填入表 5.6 中。然后将自耦调压器输出电压调至 220V，测出以上各参数值，填入表 5.6 中，并验证电压、电流相量关系。

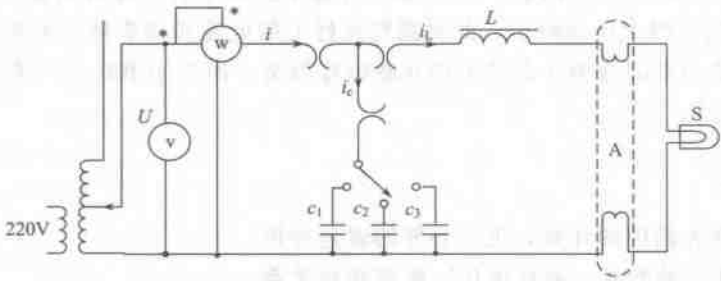


图 5.11 RLC 测量电路

表 5.6 日光灯测量数据

调节自耦调压器 输出	测量值						计算值	
	P/W	$\cos\varphi$	I/A	U/V	U_L/V	U_A/V	r/Ω	$\cos\varphi$
启辉器刚点亮灯								
正常工作值 220V								

2. 功率因数的改善

表 5.7 功率因数提高实验数据

电容值/ μF	测量值								计算值	
	P/W	$\cos\varphi$	I/A	I_L/A	I_C/A	U/V	U_L/V	U_A/V	r/Ω	$\cos\varphi$
$C_1 = 1\mu\text{F}$										
$C_2 = 2.2\mu\text{F}$										

续表

电容值/ μF	测量值							计算值	
	P/W	$\cos\varphi$	I/A	I_L/A	I_C/A	U/V	U_L/V	U_A/V	r/Ω
$C_1=4.7\mu\text{F}$									
$C_2=5.7\mu\text{F}$									
$C_3=6.9\mu\text{F}$									

按图 5.11 正确接线, 调节自耦调压器输出为 220V, 接入各电容器 C , 测 P , I , I_L , I_C , U , U_L , U_A 等值, 填入表 5.7 中。(应测过补偿点)

5.3.5 预习思考题

(1) 日光灯启动时, 电流表不能直接连接在电路中。日光灯亮后, 再接入电压表与电流表进行测量, 试分析原因。

(2) 灯管一定要与镇流器串联后接到电源上, 切勿将灯管直接接到 220V 电源上, 试分析原因。

(3) 为了改善电路的功率因数, 常在感性负载上并联电容, 此时增加了一条电流支路, 试问电路的总电流是增大还是减小, 此时感性元件上的电流和功率是否改变?

(4) 提高线路功率因数为什么只采用并联电容器法, 而不用串联法? 所并的电容器是否越大越好?

5.3.6 实验报告

(1) 完成数据表路中的计算, 进行必要的误差分析。

(2) 根据表中实验数据, 验证电压、电流相量关系。

(3) 在做功率因数提高实验时, 随着电容器容量的不断增加, 电路总电流的变化规律为由大变小再变大, 分析原因。

(4) 讨论改善日光灯电路功率因数的意义和方法。

5.4 RC 电路的暂态过程

5.4.1 实验目的

(1) 观察 RC 电路的暂态过程, 加深对电阻和电容两端电压随时间变化的规律的理解。

(2) 观察电容充、放电时的暂态过程。

(3) 了解微分电路和积分电路的条件, 以及电路参数对电路波形的影响。

(4) 了解电路时间常数的意义, 学习电路时间常数的测量方法。

(5) 进一步学会用示波器观测波形。

5.4.2 实验原理

(1) 当电路中含有储能元件时, 因为储能元件能量的积累与释放都需要一个时间过程,

在一般情况下,能量是不能突变的,因此当含有储能元件电路的参数或结构发生变化时,电路的工作状态要经过一暂态过程变化到新的工作状态。利用电路的暂态过程,适当地选择电路参数,可以获得输入电压和输出电压的特定关系。动态网络的暂态过程是十分短暂的单次变化过程,用普通示波器观察过渡过程和测量有关的参数。图 5.12 为 RC 一阶电路,利用信号发生器输出的方波 u 来模拟阶跃激励信号;即利用方波输出的上升沿作为零状态响应的正阶跃激励信号;利用方波的下降沿作为零输入响应的负阶跃激励信号。只要选择方的重复周期波远大于电路的时间常数 τ ,那么电路在这样的方波序列脉冲信号的激励下,它的响应就和直流电接通与断开的过渡过程是基本相同的。

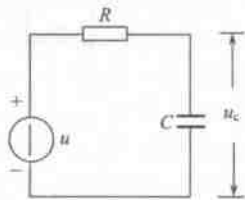


图 5.12 RC 一阶电路

(2) 图 5.13 所示的 RC 一阶电路的零输入响应和零状态响应分别按指数规律衰减和增长,其变化的快慢决定于电路的时间常数 τ 。

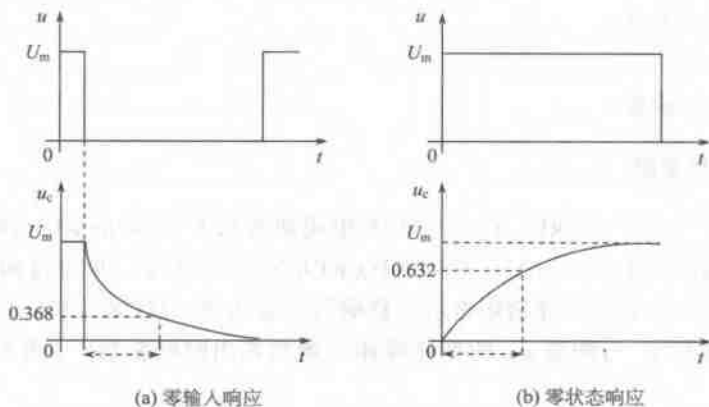


图 5.13 RC 一阶电路零输入响应和零状态响应

(3) 时间常数 τ 的测定方法。用示波器测量零输入响应的波形如图 5.13 (a) 所示。

根据一阶微分方程的求解得知 $u_c = U_m e^{-t/RC} = U_m e^{-t/\tau}$ 。当 $t = \tau$ 时, $U_c(\tau) = 0.368 U_m$ 。此时所对应的时间就等于 τ 。亦可用零状态响应波形增加到 $0.632 U_m$ 所对应的时间测得,如图 5.13 (b) 所示。

(4) 微分电路和积分电路是 RC 一阶电路中较典型的电路,它对电路元件参数和输入信号的周期有着特定的要求。一个简单的 RC 串联电路,在方波序列脉冲的重复激励下,当满足 $\tau = RC \ll \frac{T}{2}$ (T 为方波脉冲的重复周期),且由 R 两端的电压作为响应输出,则该电路就是一个微分电路。因为此时电路的输出信号电压与输入信号电压的微分成正比。如图 5.14 (a) 所示。利用微分电路可以将方波转变成尖脉冲。

若将图 5.14 (a) 中的 R 与 C 位置调换一下,如图 5.14 (b) 所示,由 C 两端的电压作为响应输出,且当电路的参数满足 $\tau = RC \gg \frac{T}{2}$,则该 RC 电路称为积分电路。因为此时电路的输出信号电压与输入信号电压的积分成正比。利用积分电路可以将方波转变成三角波。

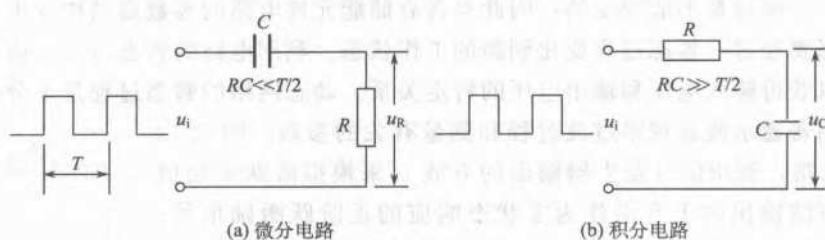


图 5.14 微分和积分电路

从输入输出波形来看, 上述两个电路均起着波形变换的作用, 请在实验过程仔细观察与记录。

5.4.3 实验设备与器材

(1) 函数信号发生器	1 台
(2) 双踪示波器	1 台
(3) 动态电路实验板	1 块

5.4.4 实验内容与步骤

(1) 从实验箱上选 $R=10\text{k}\Omega$, $C=0.01\mu\text{F}$ 组成如图 5.12 所示的 RC 充放电电路。 u_i 为函数信号发生器输出的 $U_{\text{P-P}}=6\text{V}$, $f=1\text{kHz}$ 的方波电压信号, 并通过两根同轴电缆线, 将激励源 u_i 和响应 u_C 的信号分别连至示波器的两个输入端 CH1 和 CH2。这时可在示波器的屏幕上观察到激励 u_i 与响应 u_C 的变化规律, 请测算出时间常数 τ , 并用方格纸按 1:1 的比例描绘波形。

(2) 令 $R=10\text{k}\Omega$, $C=0.1\mu\text{F}$, 观察并描绘响应的波形, 继续增大 C 之值, 定性地观察对响应的影响。

(3) 令 $C=0.01\mu\text{F}$, $R=200\Omega$ (或 100Ω), 组成如图 5.13 (a) 所示的微分电路。在同样的方波激励信号 ($U_{\text{P-P}}=6\text{V}$, $f=1\text{kHz}$) 作用下, 观测并描绘激励 u_i 与响应 u_R 的波形。

(4) 令 $C=0.1\mu\text{F}$, $R=200\Omega$ (或 100Ω), 重复步骤 3 的测量。

增减 R 之值, 定性地观察对响应的影响, 并作记录。当 R 增至 $1\text{M}\Omega$ 时, 输入输出波形有何本质上的区别?

5.4.5 预习思考题

(1) 什么样的电信号可作为 RC 一阶电路零输入响应、零状态响应和完全响应的激励源?

(2) 已知 RC 一阶电路 $R=10\text{k}\Omega$, $C=0.1\mu\text{F}$, 试计算时间常数 τ , 并根据 τ 值的物理意义, 拟定测量 τ 的方案。

(3) 说明积分电路和微分电路的区别, 它们在方波序列脉冲的激励下, 其输出信号波形的变化规律如何? 这两种电路有何功用?

5.4.6 实验报告

(1) 根据实验观测结果, 在方格纸上绘出 RC 一阶电路充放电时 u_c 的变化曲线, 由曲线测得 τ 值, 并与参数值的计算结果作比较, 分析误差原因。

(2) 根据实验观测结果, 归纳、总结积分电路和微分电路的形成条件, 阐明波形变换的特征。

(3) 根据实验时所使用的参数说明时间常数对电容器充、放电过渡过程的影响。

(4) 何谓微分电路和积分电路, 说明微分电路和积分电路的不同特点。

5.5 三相交流电路

5.5.1 实验目的

(1) 学习用电设备三相供电线路的正确连接方法, 了解三相四线制供电线路的中线作用。

(2) 验证三相对称负载 Y 接和 Δ 接时, 线电压与相电压、线电流和相电流之间的关系。

(3) 掌握三相不对称负载 Y 接和 Δ 接时, 各线电压、相电压、线电流、相电流的变化情况。

5.5.2 实验原理

在三相电路中, 三相电源和三相负载可分别连接成 Y (图 5.15) 和 Δ (图 5.16), Y 接又可分为三相三线制 (Y) 和三相四线制 (Y_0), 当三相负载不对称时, 例如居民用电, 则必须采用三相四线制供电, 以保证负载相电压对称, 满足工作需要。

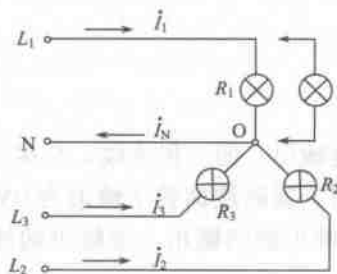


图 5.15 Y 负载

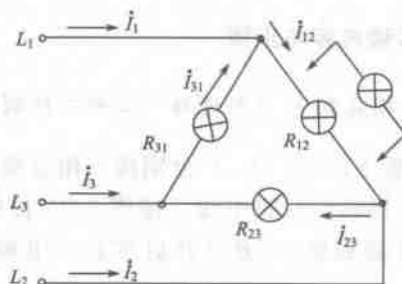


图 5.16 Δ 负载

1. 三相对称电源

三相对称电源一般连接成三相四线制供电, 其线电压 U_L 和相电压 U_P 都是对称的。它们之间的数量关系是

$$U_L = \sqrt{3} U_P$$

相位关系是线电压超前相应的相电压 30° 角。

三相对称电源的线电压、相电压均大小相等，相位互差 120° 角。

2. 三相对称负载

(1) Y 星形连接：线电压 U_L 是相电压 U_P 的 $\sqrt{3}$ 倍。线电流 I_L 等于相电流 I_P ，即 $U_L = \sqrt{3}U_P$ ， $I_L = I_P$ 。

在这种情况下，流过中线的电流 $I_0 = 0$ ，所以可以省去中线。

(2) Δ 三角形连接：线电压等于相电压，相位互差 120° 。数值上线电流等于相电流的 $\sqrt{3}$ 倍，线电流滞后相应的相电流相位 30° ，即 $I_L = \sqrt{3}I_P$ ， $U_L = U_P$ 。

3. 三相不对称负载

(1) Y 星形连接：各相电压对称，相电流不对称，中线电流不为零。若此时拆掉中线，由于负载不对称，则有的相电压过高而有的相电压偏低，对负载和供电线路工作不利或造成损坏，可见中线是必设的。所以不对称负载 Y 星形连接必须采用三相四线制接法，即 Y_0 接法。

(2) Δ 三角形连接：电路各相电流和线电流将发生变化，它们不再对称， $I_L \neq \sqrt{3}I_P$ ，但只要电源的线电压 U_L 对称，加在三相负载上的电压仍是对称的，对各相负载工作没有影响。

5.5.3 实验设备与器材

- | | |
|--------------------|-----|
| (1) 三相自耦调压器 | 1 台 |
| (2) 交流电流表 | 1 台 |
| (3) 交流毫伏表 | 1 台 |
| (4) 万用表 | 1 块 |
| (5) 电门插座及三相灯组负载实验板 | |

5.5.4 实验内容与步骤

1. 三相负载 Y 星形连接（三相四线制供电）

实验板上的 A、B、C 分别接三相电源（三相调压器输出）的三根火线，N 接三相电源（三相调压器输出）的中线。按图 5.17 接线，将三相调压器的旋柄置于输出为 $0V$ 的位置（即逆时针旋到底），方可开启实验台电源。调节三相调压器的输出，使输出的线电压为

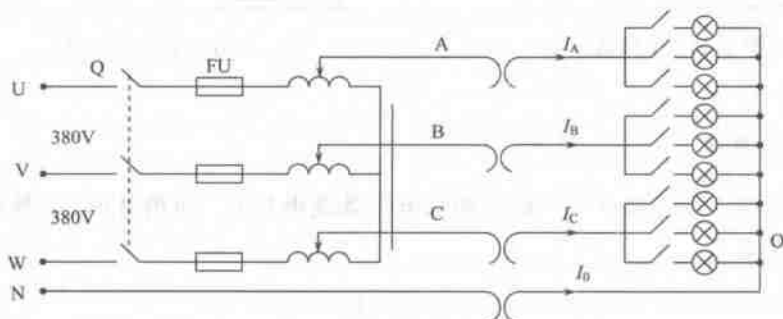


图 5.17 Y 星形连接电路

220V，完成表 5.8 中的实验项目。

表 5.8 Y 连接

测量数据 实验内容 (负载情况)	开灯盏数			线电流/A			线电压/V			相电压/V			中线 电流 I_N/A	中点 电压 U_{N0}/V
	A 相	B 相	C 相	I_A	I_B	I_C	U_{AB}	U_{BC}	U_{CA}	U_{AO}	U_{BO}	U_{CO}		
对称	有中线	3	3	3										
	无中线	3	3	3										
不对称	有中线	1	2	3										
	无中线	1	2	3										
B 断开	有中线	1		3										
	无中线	1		3										
B 短路	无中线	1		3										

2. 负载△三角形连接（三相三线制供电）

按图 5.18 接线，开启实验台电源，调节三相调压器，使其输出线电压为 220V，并按表 5.9 中的内容进行测试。

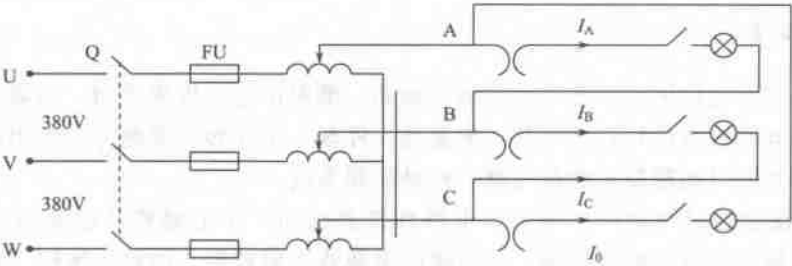


图 5.18 △三角形连接电路

表 5.9 △连接

测量数据	开灯盏数			线电压=相电压/V			线电流/A			相电流/A		
负载情况	A-B 相	B-C 相	C-A 相	U_{AB}	U_{BC}	U_{CA}	I_A	I_B	I_C	I_{AB}	I_{BC}	I_{CA}
对称	3	3	3									
不对称	1	2	3									

5.5.5 预习思考题

- (1) 复习三相电路的理论知识，三相负载根据什么条件作 Y 星形或△三角形连接？
- (2) 分析三相星形连接不对称负载在无中线情况下，当某相负载开路或短路时会出现什么情况？如果接上中线，情况又如何？
- (3) 负载△三角形连接时，为什么要通过三相调压器将 380V 的市电线电压降为 220V

的线电压使用?

5.5.6 实验报告

- (1) 用实验数据验证对称三相电路中的 $\sqrt{3}$ 关系。
- (2) 根据实验数据和观察到的现象,总结中线在三相四线供电系统中的作用。
- (3) 不对称三角形连接的负载,能否正常工作?实验是否能证明这一点?
- (4) 根据不对称负载三角形连接时的相电流值作相量图,并求出线电流值,然后与实验测得的线电流作比较,分析之。

5.6 三相异步电动机的控制

5.6.1 实验目的

- (1) 了解交流接触器,按钮、复式按钮等几种常用控制电器的结构,熟悉它们的连接方法。
- (2) 通过实验加深理解鼠笼式电动机直接启动的工作原理。
- (3) 通过实验加深理解鼠笼式电动机正反转控制线路的工作原理。
- (4) 明确鼠笼式电动机正反转控制线路中两只接触器的必要性。

5.6.2 实验原理

在实际的生产过程中,某些生产机械的运动,都要由电动机来带动,为满足生产工艺加工的需要,对电动机要进行自动控制,如启动、停车、正反转、调速等。而用继电器、接触器等有触点电器组成的控制系统称为继电接触控制系统。

(1) 继电接触控制线路往往分为主电路和控制电路。主电路指从电源经刀开关、熔断器、接触器主触点到电动机的线路,主电路的电源线一般较粗;由操作按钮、接触器、自锁环节组成的线路为控制电路,控制电路使用的导线一般比较细。现在实际线路中刀开关和熔断器多用集二者功能为一体的空气开关所取代。

(2) 由图 5.19 所示鼠笼式电动机直接启动可以看出,一般的继电接触控制电路都有短路、过载和失压保护。短路保护是由熔断器来实现的。当用电设备发生短路故障时能自动切断电路。过载保护是由热继电器来实现的。当电动机过载时,串接在主回路中的热元件动作,将其串联在控制回路中的常闭触点断开,接触器的线圈断电,其主触点断开,从而使电动机脱离电源而得到保护。失压保护(即零压保护)是指如果因电源暂时停电或电源电压太低而使电动机断电,那么当电源电压恢复时需按启动按钮后才能启动。这种继电接触控制与直接用刀开关的手动控制相比,可避免电源电压恢复时,电动机自动启动而可能造成事故。这种功能即所谓失压和欠压保护。

(3) 三相异步电动机的转动方向取决于旋转磁场的转向,即定子旋转磁场的转向。因此将定子电源线中任意两根线的一头对调位置,便可实现转向的改变。用两个接触器可以实现这一要求。在图 5.20 中,当正转接触器工作,其主触头 KM1 闭合时,电动机正转;当反转接触器工作,其主触头 KM2 闭合时,电动机反转。若在工作中,当正转接触器尚未断

开, 而反转接触器已工作, 则导致电源短路。为避免上述状况, 要求正反转控制线路必须保证两个接触器不能同时工作, 即互锁控制, 在图图 5.20 正反转控制电路中采用既有接触器的动断辅助触头的电气互锁, 又有复合按钮机械互锁的双重互锁的控制环节。

5.6.3 实验设备与器材

- | | |
|----------------|-----|
| (1) 三相鼠笼式异步电动机 | 1 台 |
| (2) 交流电压表 | 1 台 |
| (3) 万用表 | 1 块 |
| (4) 继电器接触控制挂箱 | |

5.6.4 实验内容与步骤

1. 点动与直接起动

认识各电器的结构、图形符号、接线方法, 抄录电动机及各电器铭牌数据。

鼠笼机接成 Δ 接法; 实验线路电源端接三相自耦调压器输出端 U、V、W, 供电线电压为 220V。

在切断电源的情况下, 按图 5.19 接线。通常先用粗线接好主电路, 然后用细线接控制电路, 并且按“先接串联电路、后接并联电路”的方法进行接线。要求在任一连线点上不超过两根导线以保证接线的牢靠、安全。接好线, 经指导老师检查后可合闸进行控制操作。

(1) 点动: 不接 KM_1 自锁触点, 比较按下 SB_2 与松开 SB_2 电动机和接触器的运行情况。

(2) 直接起动: 接上 KM_1 自锁触点, 比较按下 SB_2 与松开 SB_2 电动机和接触器的运行情况。电机运行时, 观察按下 SB_1 与松开 SB_1 后, 电动机和接触器的运行情况。

2. 异步电动机正反转

在断电条件下, 按图 5.20 接线并查对线路。由于控制电路比较复杂, 可用万用表根据触点闭合或断开状态时控制回路电阻阻值变化的方法, 配合检查接线是否正确。核对检查无误后, 便可通电进行正反转操作。

(1) 按下正转按钮 SB_3 , 观察电动机转向并设定此方向为正转, 记录接触器的运行情况。

(2) 再按下反转按钮 SB_2 , 观察电动机转向, 记录接触器的运行情况。

(3) 按停止按钮 SB_1 , 观察并记录电动机的转向和接触器的运行情况。

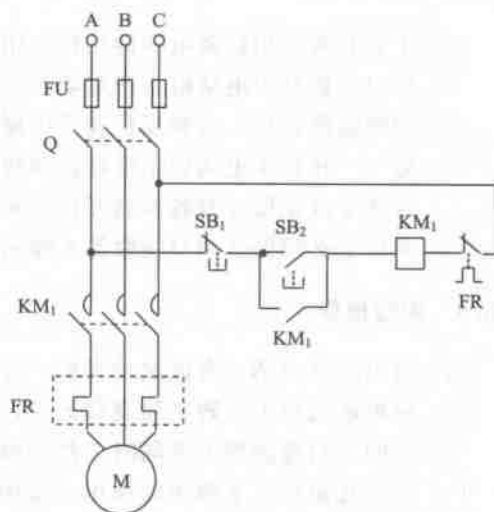


图 5.19 电机控制电路

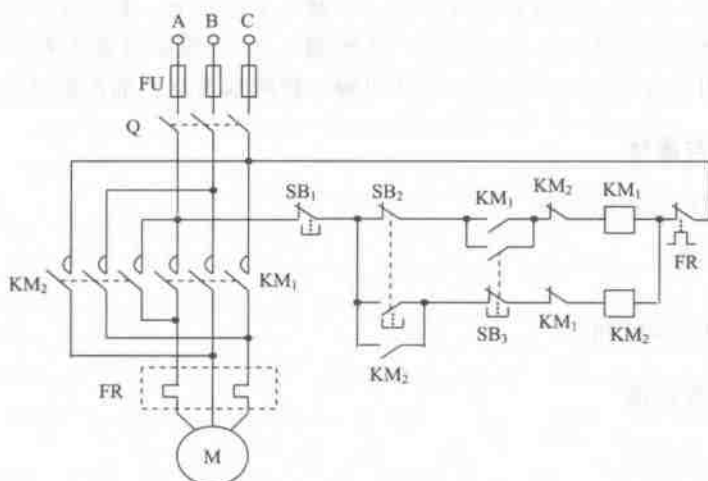


图 5.20 电机正反转控制

5.6.5 预习思考题

- (1) 了解几种常用控制电器的结构、用途和工作原理。
- (2) 复习三相异步电动机直接起动控制电路的工作原理，并理解自锁及点动的概念。
- (3) 理解短路保护、过载保护和零压保护的概念。
- (4) 复习三相异步电动机正反转控制线路的工作原理。
- (5) 弄清实现正反转时各控制元件的动作过程。
- (6) 为什么必须保证两只接触器不能同时工作？采取什么措施可以解决这一问题？

5.6.6 实验报告

- (1) 对电动机点动、直接起动实验，分析控制线路各环节的作用。
- (2) 根据电动机正反转实验观察记录，对电动机和接触器的运行情况并进行说明。
- (3) 说明两只接触器不能同时工作的原因以及它们的联锁触点的作用。
- (4) 复式按钮在本实验中的作用。使用复式按钮后，将两个联锁用的常闭触点 KM_1 和 KM_2 去掉是否可以？

5.7 三相异步电动机的顺序控制

5.7.1 实验目的

- (1) 掌握电动机顺序控制设计的基本方法步骤。
- (2) 了解时间继电器的工作原理和及其在控制电路中的作用。
- (3) 练习连接简单的顺序控制线路及操作。
- (4) 练习设计三相异步电动机顺序控制电路。

5.7.2 实验原理

在实际的生产过程中,对异步电动机的控制经常会提出很多要求,除自锁、互锁等环节外,顺序控制环节也是其中重要的一种。例如有时要求几台电机配合工作或一台电机有规律地完成多个动作,按照这些要求实现的控制叫做顺序控制。

顺序控制线路如图 5.21 所示。在线路中有两台异步电动机,需两只交流接触器 KM_1 和 KM_2 控制电动机转动。当按下 SB_2 按钮时,接触器 KM_1 的线圈加电,其常开主触点闭合,电动机 M_1 开始转动;同时时间继电器 KT 上电,经过一段时间延时, KT 的延时闭合触点闭合,接触器 KM_2 的线圈加电,其常开主触点闭合,电动机 M_2 开始转动。实现两台电动机顺序延时起动。停车时,只要按下 SB_1 按钮,两台电动机同时停止转动。

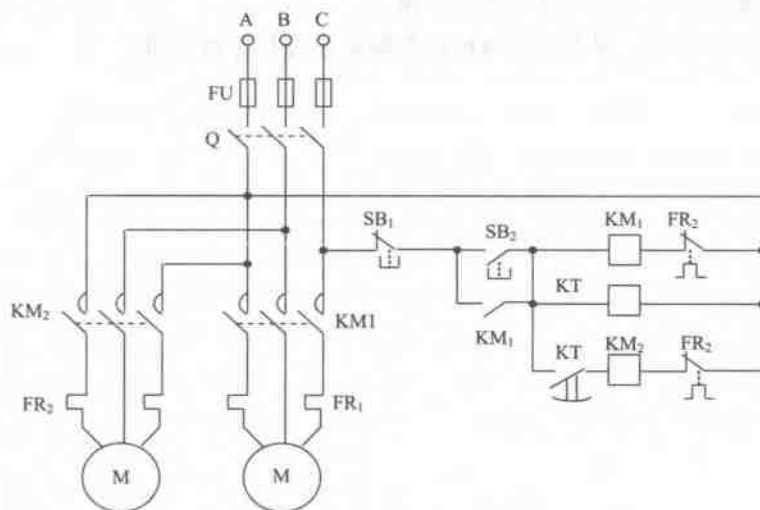


图 5.21 电机顺序控制电路

5.7.3 实验设备与器材

- | | |
|----------------|-----|
| (1) 三相鼠笼式异步电动机 | 2 台 |
| (2) 交流电压表 | 1 台 |
| (3) 万用表 | 1 块 |
| (4) 继电器接触控制挂箱 | |

5.7.4 实验内容与步骤

根据实验室提供的实验设备完成以下实验内容的设计:

- (1) 首先观察和熟悉时间继电器的型号、构造、熟悉其动作原理,记录铭牌数据。
- (2) 设计并连接一台异步电动机起动后自动停车控制电路。观察电动机是否自动停车,了解时间继电器在控制电路中的作用。
- (3) 设计并连接两台异步电动机顺序起动,同时停车的控制电路,掌握顺序控制的原理。

(4) 设计并连接两台电机同时开始转动, 经过一段时间, 其中一台自动停车的控制电路。

5.7.5 预习思考题

- (1) 复习时间继电器和顺序起动的工作原理。
- (2) 根据设计要求画出控制原理图。
- (3) 在控制电路中, 时间继电器的线圈与交流接触器的线圈可不可以串联连接, 为什么?

5.7.6 实验报告

- (1) 按设计要求画出 3 个顺序控制原理图。
- (2) 对每种设计电路, 根据观察电机的起停顺序进行分析说明。

第 6 章 模拟电子技术基础实验

6.1 双踪示波器的使用

6.1.1 实验目的

- (1) 了解示波器的基本原理。
- (2) 学会示波器的使用与测量方法。

6.1.2 双踪示波器的基本原理

图 6.1 所示为双踪示波器的基本电路框图，待测信号由 CH1 INPUT（或 CH2 INPUT）信号输入端输入后，如果输入信号连接方式选择开关放在 AC，输入信号经电容器隔离直流信号，保留交流信号，经 CH1/CH2 切换开关电路到垂直放大器；如果输入信号连接方式选择开关放在 DC，输入信号直接经过 CH1/CH2 切换电路进入垂直放大器可将微小的信号放大，以控制 CRT（高灵敏度示波管）垂直偏向极的电压；如果输入信号连接方式选择开关放在 GND，CRT 的垂直偏向电压为零，可以校正直流电压。倘若要同时观察两个信号，那么两个信号分别由 CH1 INPUT 和 CH2 INPUT 信号输入端输入，经输入信号连接方式选择开关 CH1/CH2 切换开关电路，使用交替（ALT）或断续（CHOP）切换 CH1 和 CH2 的输入信号，再由垂直放大器控制 CRT 垂直偏向极的电压。（注：对于 LM4320D 型示波器而言，对应的信号输入端 CH1 INPUT、CH2 INPUT 分别用 Y1、Y2 来表示）

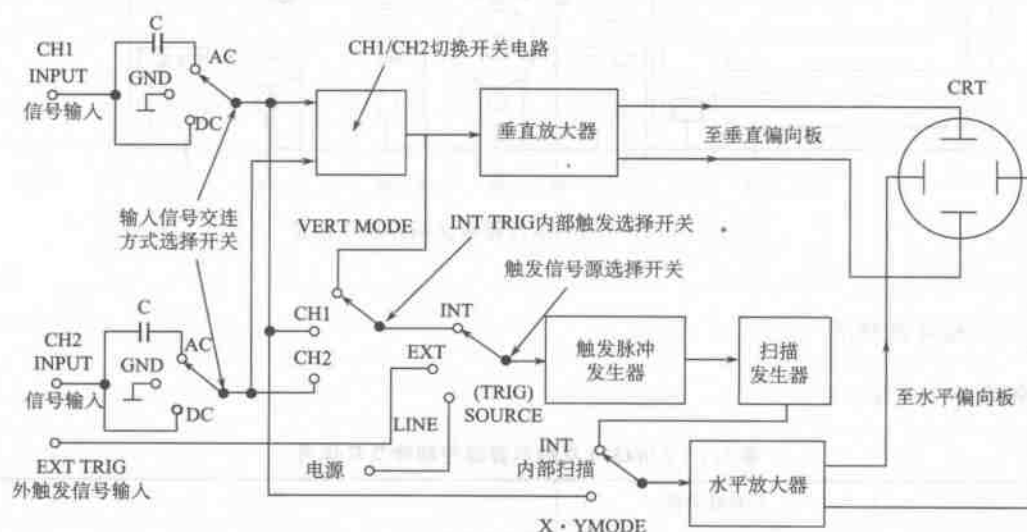


图 6.1 双踪示波器基本电路框图

当 SOURCE（触发源选择开关）放在 CH1（或 CH2）时，CH1（或 CH2）信号经触发脉冲发生器、扫描发生器后产生一锯齿波，由水平放大后，加在 CRT 的水平偏向极。这样就可 在 CRT 上显示出待测信号的波形的。

如果 SOURCE 选择开关放在 EXT，就把从外部触发 EXT·TRIG 端输入信号作为触发源；如果 SOURCE 选择开关放在 LINE，直接以电源作为触发源。

当示波器 MODE 开关放在 X-Y 时，只有 CH2 INPUT 的输入信号经垂直放大器放大后，连接到 CRT 的垂直偏向极，CH1 INPUT 的输入信号由水平放大器放大后，加在 CRT 的水平偏向极上。这样，在 CRT 上显示的图形表示 CH1（X 轴）和 CH2（Y 轴）信号的对应关系。

6.1.3 示波器开关的控制与调节

各种示波器上的开关、旋钮的标志可能稍有不同。但其基本原理与调节方法是一样的。现以 LM4320D 双踪示波器为例。

1. 面板控制件位置

如图 6.2 所示。

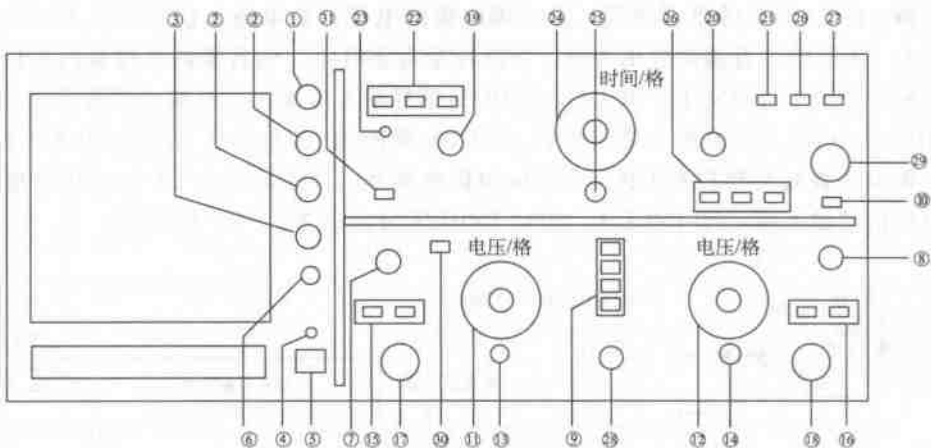


图 6.2 LM400 系列示波器前面板控制件位置

2. 控制件的作用

如表 6.1 所示。

表 6.1 LM4320 双踪示波器控制件及其作用

序号	控制件名称	功能
1	亮度 (INTEN)	调节光迹的亮度
2	聚焦 (FOCUS) 辅助聚焦 (ASTIG)	调节光迹的清晰度

续表

序号	控制件名称	功 能
3	迹线旋转 (ROTATION)	调节扫线与水平刻度线平行
4	电源指示灯	电源接通时, 灯亮
5	电源开关 (POWER)	接通或开闭电源
6	校准信号 (CAL)	提供幅度为 0.5V, 频率为 1kHz 的方波信号, 用于校准 10:1 探头的补偿电容器和检测示波器垂直与水平的偏转因数
7/8	垂直位移 (POSITION)	调节光迹在屏幕上的垂直位置
9	垂直方式 (MODE)	CH1 或 CH2: 通道 1 或 2 单独显示 ALT: 两个通道交替显示 CHOP: 两个通道断续显示, 用于扫速较慢时的双踪显示 ADD: 用于两个通道的代数和或差
10	通道 2 倒相 (CH2 INV)	CH2 倒相开关, 在 ADD 方式时使 CH1+CH2 或 CH1-CH2
11/12	垂直衰减开关 (VOLTS/DIV)	调节垂直偏转灵敏度, 周围标识灯指示当前灵敏度的挡位
13/14	垂直微调 (VAR)	连续调节垂直偏转灵敏度, 顺时针旋足为校正位置
15/16	耦合方式 (AC-GND-CD)	选择被测信号馈入垂直通道的耦合方式
17/18	CH1 ORX, CH2 ORY	垂直输入端或 X-Y 工作时, X、Y 输入端
19	水平移位 (POSITION)	调节光迹在屏幕上的水平位置
20	电平 (LEVEL)	调节被测信号在某一电平触发扫描
21	触发极性 (SLOP)	选择信号的上升沿或下降沿触发扫描
22	触发方式 (TRIG MODE)	常态 (NORM): 无信号时, 屏幕上无显示, 有信号时, 与电平控制配合显示稳定波形 自动 (AUTO): 无信号时, 屏幕上显示光迹, 有信号时, 与电平控制配合显示稳定波形。 电视场 (TV): 用于显示电视场信号 峰值自动 (P-P AUTO): 无信号时, 屏幕上显示光迹; 有信号时, 无须调节电平即能获得稳定波形显示
23	触发指示 (TRIGD)	在触发同步时, 指示灯亮
24	水平扫速开关 (SEC/DIV)	调节扫描速度
25	水平微调 (VAR)	连续调节扫描速度, 顺时针旋足为校正位置
26	内触发源 (INT SOURCE)	选择 CH1、CH2 电源或交替触发
27	触发源选择	选择内 (INT) 或外 (EXT) 触发
28	接地 (GND)	与机壳相连的接地端

续表

序号	控制件名称	功 能
29	外触发输入 (EXT)	外触发输入插座
30	X-Y 方式开关 (CH1 X)	选择 X-Y 工作方式
31	扫描扩展开关	按下时扫速扩展 10 倍
32	交替扫描扩展开关	按下时屏幕上同时显示扩展后的波形和未被扩展的波形
33	扫线分离 (TRAC SEP)	交替扫描扩展时, 调节扩展和未扩展波形的相对距离拉小÷10; 扫速 1ms/div~0.5s/div (蓝色) 变为 10ms/div~5s/div (仅 LM8010M、LM8020M)
34	释抑控制 (HOLD OFF)	改变扫描休止时间, 同步多周期复杂波形
35	信号输出 (SIGNAL OUT)	用于外监频
36	电源插座及熔丝座	220V 电源插座, 熔丝 0.5A (在后面板上)

3. 操作方法

1) 检查电网电压

本系列示波器电源是压为 220±10%, 接通电源前, 检查当地电源电压, 如果不相符合, 则严格禁止使用。

2) 基本操作

(1) 将有关控制件按表 6.2 置位。

表 6.2 控制件作用位置表

控制件名称	作用位置	控制件名称	作用位置
亮度 (INTEN) [1]	居中	触发方式 [15]	峰-值自动
聚焦 (FOCUS) [2]	居中	扫描速度 SEC/DIV [24]	0.5ms
位移 (CH1, CH2, X) [7] [8] [9]	居中	极性 (SLOPE) [21]	正
垂直方式 (MODE) [9]	CH1	触发源 [27]	INT
VOLTS/DIV [11] [12]	10mV	内触发源 [26]	CH1
微调 (VAR) [13] [14]	校准位置	耦合方式 [15] [16]	AC

(2) 接通电源, 电源指示灯亮, 稍候预热, 屏幕上出现光迹, 分别调节亮度、聚焦、辅助聚焦、迹线旋转, 使光迹清晰并与水平刻度平行。

(3) 用 10: 1 探头将校准信号输入至 CH1 输入插座。

(4) 调节 CH1 移位与 X 移位, 使波形与图 6.3 相符合。

(5) 将探头换至 CH2 输入插座, 垂直方式置于“CH2”, 重复 (4) 操作, 得到与图 6.3 相符合的波形。

3) 亮度控制

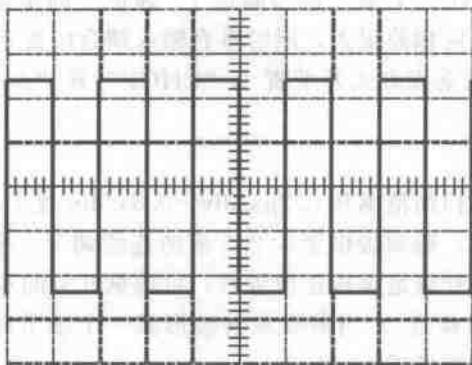


图 6.3 校准信号波形

调节亮度电位器,使屏幕显示的光迹亮度适中。一般观察不宜太亮,以免荧光屏老化,高亮度的显示一般用于观察低频率的快扫描信号。

4) 垂直系统的操作

(1) 垂直方式的选择。当只需观察一路信号时,将“MODE”开关置“CH1”或“CH2”,此时被选中的通道有效,被测信号可以从通道端口输入。当需要同时观察两路信号时,将“MODE”开关置交替“ALT”,该方式使两个通道的信号被交替显示,交替显示的频率受扫描周期控制。当扫描低于一定频率时,交替方式显示会出现闪烁,此时应将开关置于继续“CHOP”位置。当需要观察两路信号代数 sum 时,将“MODE”开关置于“ADD”位置,在选择这种方式时,两个通道的衰减设置必须一致,CH2 INV [10] 未按下时为 CH1+CH2,CH2 INV 开关按下时,为 CH1-CH2。

(2) 输入耦合的选择。

直流(DC)耦合:适用于观察包含直流成分的被测信号,如信号的逻辑电平,当被测信号的频率很低时,也必须采用这种方式。

交流(AC)耦合:信号中的直流分量被隔断,用于观察信号的交流分量,如观察较高直流电平上的小信号。

接地(GND):通道输入端地(输入信号断开),用于确定输入为零时光迹所处位置。

(3) X-Y 操作。

当按下 X-Y 操作键 CH1 X [30] 时,本机可作为 X-Y 示波器使用,此时 CH1 作为 X 轴,CH2 作为 Y 轴。

5) 触发源的选择

(1) 触发源的选择。触发源开关 [27] 有两种选择,一种是外触发“EXT”,由面板上的外触发输入插座输入触发信号;另一种是内触发“INT”,由内触发源开关控制。

(2) 内触发源选择。

CH1 触发:触发源取自通道 1。

CH2 触发:触发源取自通道 2。

(ALT) VERT MODE 触发:触发源由垂直方式开关控制,当垂直方式开关置于“CH1”,触发源自动切换到通道 1;当垂直方式开关置于“CH2”,触发源自动切换到通道

2; 当垂直方式开关置于“ALT”, 触发源与通道 1、通道 2 同步切换, 在这种状态使用时, 两个不相关的信号其频率不应相差很大, 同时垂直输入耦合应置于“AC”, 触发方式应置于“AUTO”或“NORM”。当垂直方式开关置于“CHOP”和“ADD”时, 内触发源选择应置于“CH1”或“CH2”。

6) 水平系统的操作

(1) 扫描速度的设定。扫描范围从 $0.2\mu\text{s}/\text{div} \sim 0.5\text{s}/\text{div}$ 按 1-2-5 进位分 20 挡, (注意: 对于 CS-4025 型示波器而言, 微调提供至少 2.5 倍的连续调节, 根据被测信号频率的高低, 选择合适挡级, 在微调顺时针旋足至校正位置时, 可根据开关的示值和波形在水平轴方向上的距离读出被测信号的时间参数。) 当需要观察波形某一个细节时, 可进行水平扩展 $\times 10$, 此时原波形在水平轴方向上被扩展 10 倍。

(2) 扫描扩展。当被显示波形某一部分需要扩展时, 就需提高扫描速度。此时可以按下扫描扩展 $\times 10$ 按键 [31] 波形就被扩展 10 倍, 波形的中心显示在屏幕上 (如图 6.4 所示)。

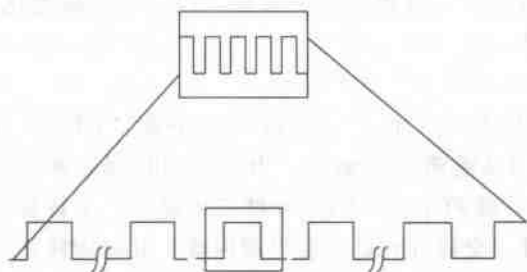


图 6.4 扩展的波形

工作在扫描扩展状态时, 扫描速度如下:

$$(\text{SEC}/\text{DIV 开关指示值}) \times 1/10$$

因此, 最高扫速 $0.2\mu\text{s}/\text{div}$ 经扩展后成为:

$$0.2\mu\text{s}/\text{div} \times 1/10 = 20\text{ns}/\text{div}$$

当交替扫描扩展开关 [32] 被按下时, 扩展后的波形和未被扩展的波形同时显示在屏幕上, 本示波器此时可实现双踪四线显示。

调节扫描线分离旋钮 [33] 可以改变两扫描线的间距, 以便适于观察。

(3) 触发方式的选择。

常态 (NORM): 无信号输入时, 屏幕上无光迹显示; 有信号输入时, 触发电平调节在合适位置上, 电路被触发扫描。当被测信号频率低于 20Hz 时, 必须选择这种方式。

自动 (AUTO): 无信号输入时, 屏幕上有光迹显示; 一旦有信号自动输入时, 电平调节在合适位置上, 电路自动转换到触发扫描状态, 显示稳定的波形。当被测信号频率高于 20Hz 时, 最常用这一种方式。

电视场 (TV): 对电视信号中的场信号进行同步, 在这种方式下被测信号是同步信号, 如果是正极性, 则可以由 CH2 输入, 借助于 CH2INV [10]。把正极性转变为负极性后测量。

峰-值自动 (P-P AUTO): 这种方式同自动方式, 但无须调节电平即能同步, 它一般适用于正弦波、对称方波或占空比相差不大的脉冲波。对于频率较高的测试信号, 有时也要借助于电平调节, 它的触发同步灵敏度要比“常态”和“自动”稍低一些。

(4) 极性的选择 (SLOP)。用于选择被测试信号的上升沿或下降沿去触发扫描。

(5) 电平的设置 (LEVEL)。用于调节被测信号在某一合适的电平上启动扫描, 当产生触发扫描后, “TRIG’ D” 指示灯亮。

(6) 释抑控制 (HOLDOFF)。当被测量的信号是一个具有两个或更多重复周期的复杂波形时, 仅用上述电平控制器不足以获得稳定波形显示。在这种情况下, 可通过调节释抑时间 (扫描休止时间), 使扫描稳定地与触发信号同步。

7) 信号连接

(1) 探头操作。本示波器附件中有两根衰减比为 10 : 1 和 1 : 1 可转换的探头, 为减少探头对被测电路影响, 一般使用 10 : 1 探头, 此时探头的输入阻抗为 $10\text{M}\Omega$, 16pF ; 衰减比为 1 : 1 的探头用于观察小信号, 但此时输入阻抗已降为 $1\text{M}\Omega$, 输入电容约为 70pF , 因此在测量时要考虑探头对被测电路的影响和测试的准确性。

为了提高测量精度, 探头上的接地和被测电路地应尽量采用最短的连接, 在频率较低、测量精度不高的情况下, 可用前面板上接地端和被测电路地连接, 以方便测试。

(2) 探头的调整。由于示波器输入特性的差异, 在使用 10 : 1 探头测试以前, 必须对探头进行检查和补偿调节。

6.1.4 实验设备

- | | |
|-------------|-----|
| (1) 双踪示波器 | 1 台 |
| (2) 数字电子实验箱 | 1 台 |
| (3) 函数信号发生器 | 1 台 |

6.1.5 预习要求

- (1) 仔细阅读示波器的基本操作, 熟悉各旋钮的作用。
- (2) 熟悉函数信号发生器在使用方法。
- (3) 准备好坐标纸若干。

6.1.6 实验内容及步骤

注明: 以下实验步骤中, 对应于 CS-4025 型双踪示波器的开关、旋钮及其位置的名称用小括号内的内容来表示, 使用前应将下列开关或旋钮放在适当的位置, 如表 6.3 所示。

1. 实验内容

打开电源开关, 约 10s 后, 荧光屏上会显示出一条水平线, 调节亮度 (INTENSITY)、聚焦 (FOCUS) 旋钮到适当位置使光迹为最清晰。然后将 Y1 (CH1) 的示波器探头钩住校准信号 $0.5\text{V}_{\text{p-p}}$ (CAL $1\text{V}_{\text{p-p}}$) 的输出端, 示波器探头的夹子夹住示波器的公共接地端。此时交流-接地-直流开关 (AC-GND-DC) 放在直流 (DC), 适当调节衰减开关电压/格 (VOLTS/DIV) 和扫描时间开关时间/格 (SWEEP TIME/DIV), 检查荧光屏上所显示波形的峰-峰值是否为 0.5V (1V)、频率 1kHz 的矩形波。对于 Y2 (CH2) 探头用相同的方法进行检查。此时应将垂直显示方式开关 (VERT MODE) 放在 Y2 (CH2), 并将测量结果记录在表 6.4 中。(注: 对于 CS-4025 型示波器而言, 校验电压输出端 CAL 输出电压为 $1\text{V}_{\text{p-p}}$)

表 6.3 CS-4025 双踪示波器开关、按钮参数选择

旋钮名称	位置	旋钮名称	位置
触发方式选择 (MODE)	峰-峰值自动 (AUTO)	衰减开关电压/格 (VOLTS/DIV)	$0.5\text{V}/\text{div}$
耦合方式 (COUPLING)	交流 (AC)	交流-接地-直流 (AC-GND-DC)	地 (GND)
触发源选择 (SOURCE)	内 (VERT)	◀▶X 水平移位 (POSITION)	居中

续表

旋钮名称	位置	旋钮名称	位置
垂直显示方式 (VERT MODE)	Y1 (CH1)	微调 (VARIABLE)	校准 (CAL)
Y2 反相 (INV)	弹出 (OFF)	扫描时间开关时间/格 (SWEEP TIME/DIV)	2ms/div
斜度 (SLOPE)	弹出 (+)	扫描扩展开关 $\times 1$ 、 $\times 10$ ($\times 10\text{MAG}$)	$\times 1$ 弹出 (OFF)
触发信号电平 (TRIGGER LEVEL)	居中	聚焦 (FOCUS)	居中
▲ Y1、Y2 垂直移位 (POSITION) ▼	居中	亮度 (INTENSITY)	居中
内部触发选择开关	Y1 (CH1)		

2. 一般检查时旋钮的位置

观察单一波形可使用 Y1 (CH1)，如果用 Y1 (CH1)，通常：

- (1) 垂直显示方式开关 (VERT MODE) 放在 Y1 (CH1)。
- (2) 触发方式 MODE 放在峰-峰值自动 (AUTO)。
- (3) 触发源选择 (SOURCE) 放在内 (VERT)。
- (4) 内部触发选择开关放在 Y1 (CH1)。

如果使用 Y2 (CH2) 时，方法与上述步骤相同，只是将 Y1 (CH1) 换成 Y2 (CH2)，若观察两个波形，应将垂直轴显示方式 (VERT MODE) 放在交替 (ALT) 或断续 (CHOP) 的位置。高频时使用交替 (ALT)，低频时使用断续 (CHOP)。

3. 交流电压的测量

- (1) 将交流-接地-直流开关 (AC-GND-DC) 放在交流 (AC) 位置。

(2) 将衰减开关 (VOLTS/DIV) 上的微调 (VARIABLE) 旋钮转至校准 (CAL) 位置。(注：对于 CS-4025 型示波器需要执行该步骤，对于 LM-4320D 型示波器则不需要)

(3) 将信号发生器频率调至 100Hz，并调节输出幅度旋钮，使信号发生器输出电压的峰-峰值为 5V，并将该信号输入到双踪示波器的 Y1 (CH1) 或 Y2 (CH2) 端。此时，示波器探头的夹子夹住信号发生器输出端口的负极，示波器探头的勾子与信号发生器输出端口的正极相接。

(4) 调节双踪示波器输入端对应的衰减开关电压/格 (VOLTS/DIV) 的挡位，使波形振幅易于观察。

- (5) 如果使用示波器探头的 $\times 1$ 挡：

值 (V_{pp}) = 电压/格 (VOLTS/DIV) \times 垂直格数

如果使用示波器探头的 $\times 10$ 挡：

峰-峰值 (V_{pp}) = 电压/格 (VOLTS/DIV) $\times 10 \times$ 垂直格数

注明：峰-峰值与有效值 V_{rms} 间的关系，以正弦波为例：

$$V_{\text{rms}} = \frac{V_{\text{P-P}}}{2 \times \sqrt{2}}$$

(6) 将测量结果记录在表 6.4 中。

4. 直流电压的测量

(1) 将交流-接地-直流开关 (AC-GND-DC) 放在地 (GND) 位置, 荧光屏上应显示一条 0V 的水平线, 同时调节 0V 水平线至基准线位置。

(2) 衰减开关 (VOLTS/DIV) 上的微调 (VARIBALE) 旋钮转在校准 (CAL) 位置。
(注: 对于 CS-4025 型示波器需要执行该步骤, 对于 LM-4320D 型示波器则不需要)

(3) 数字电子实验箱上的 V_{CC} 电源电压 +5V 输入到双踪示波器的 Y1 (CH1) 或 Y2 (CH2) 端。此时, 示波器探头的夹子夹住 V_{CC} 电源的地, 示波器探头的勾子与 V_{CC} 电源的正极相接。

(4) 交流-接地-直流开关 (AC-GND-DC) 改放到直流 (DC) 位置, 观察原水平线的垂直位移, 以上为正, 以下为负。

(5) 调节双踪示波器输入端对应的衰减开关电压/格 (VOLTS/DIV) 的挡位, 使水平线的垂直位移易于观察。

(6) 如果使用示波器探头的 $\times 1$ 挡:

电压 (V) = 电压/格 (VOLTS/DIV) \times 垂直格数

如果使用示波器探头的 $\times 10$ 挡:

电压 (V) = 电压/格 (VOLTS/DIV) $\times 10 \times$ 垂直格数

(7) 将测量结果记录在表 6.4 中。

5. 周期与频率的测量

(1) 将交流-接地-直流开关 (AC-GND-DC) 放在交流 (AC) 位置。

(2) 将信号发生器频率调至为 50Hz, 并调节输出微调开关, 使信号发生器输出电压为适当值, 并将该信号输入到双踪示波器的 Y1 (CH1) 或 Y2 (CH2) 端。此时, 示波器探头的夹子夹住信号发生器输出端口的负极, 示波器探头的勾子与信号发生器输出端口的正极相接。

(3) 测量周期时, 先调节双踪示波器输入端对应的衰减开关电压/格 (VOLTS/DIV) 的挡位, 使波形振幅易于观察。然后调节扫描时间开关时间/格 (SWEEP TIME/DIV) 的挡位到易于观察波形在水平方向所占的格数。(注意: 对于 CS-4025 型示波器而言, 衰减开关 VOLTS/DIV、扫描时间开关 SWEEP TIME/DIV 上的 VARIABLE 旋钮应放在 CAL 位置。)

如果扫描扩展开关置 $\times 1$ 位置时:

周期: $T = \text{时间/格 (SWEEP TIME/DIV)} \times \text{每周期的水平格数}$

如果扫描扩展开关置 $\times 10$ ($\times 10\text{MAG}$) 位置时:

周期: $T = [\text{时间/格 (SWEEP TIME/DIV)} / 10] \times \text{每周期的水平格数}$ 。

频率 f 与周期 T 互为倒数关系, 测得周期, 频率即可算出。

$$f = \frac{1}{T}$$

(4) 将测量结果记录在表 6.4 中。波形图另行画在坐标纸上,并注明图意后粘贴在实验报告中。

表 6.4 双踪示波器的使用

测量	电压/格 (VOLTS/DIV)	时间/格 (SWEEP TIME/DIV)	垂直格数	水平格数	波形 (文字表述)
校准 (CAL)					
交流 (AC)					
直流 (DC)					
周期 (T)					

6. 相位差的测量

(1) 按图 6.5 连接线路。

(2) 调节信号发生器,使信号发生器输出频率为 100Hz、幅度为 5V_{p-p}的正弦波作为信号源 V_i。

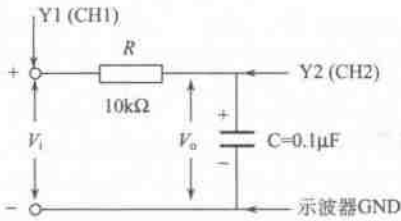


图 6.5 相位差的测量电路图

(3) 双踪示波器探头及接地夹放在如图 6.5 所示的位置,并按测试前的准备要领,使光迹正确而清晰地显示在荧光屏上。

(4) 示波器垂直显示方式 (VERT MODE) 放在交替 (ALT) 或断续 (CHOP) 位置,调节 CH1 和 CH2 对应的衰减开关电压/格 (VOLTS/DIV) 的挡位,使两信号幅度相等,并将信号波形调到屏幕中心。调节扫描时间开关时间/格 (SWEEP TIME/DIV) 的

挡位,此时扫描时间开关 SWEEP TIME/DIV 上微调旋钮应放在 CAL 位置,测出两信号之间相差的格数 Δdiv 。将测量结果记录在表 6.5 中。根据两信号之间相差的格数 Δdiv 和扫描时间,即可算出两信号的相位差 φ 。

时间间隔 $\Delta t = \text{扫描时间} \times \Delta div$

$$\text{相位差 } \varphi = \frac{\Delta t}{T} \times 360^\circ$$

(5) 将信号发生器频率分别调到 500Hz、1kHz、10kHz。重复步骤 (4)。

(6) 将测量结果记录在表 6.5 中。

表 6.5 相位差的测量

频率	扫描时间挡	波形	两信号时间间隔 Δt	两信号相位差 φ
100Hz	1ms			
500Hz	0.2ms			
1kHz	0.1ms			
10kHz	10μs			

6.1.7 思考题

(1) 对于一个包含直流分量和交流分量的信号 V_s ，如何用示波器测得该信号直流和交流部分的电压？

(2) 在双踪示波器已正常显示波形的情况下，要想使显示波形的周期增加或减少，应调节哪个旋钮？

6.1.8 实验报告要求

(1) 记录并整理实验数据，绘出实验所测得的波形。

(2) 总结本次之实验所用示波器的操作方法。

6.2 单管电压放大电路的研究

6.2.1 实验目的

(1) 熟悉电子元件和模拟电路实验箱。

(2) 掌握放大器静态工作点的调试方法。

(3) 学习研究放大器的动态性能及负反馈对放大器性能的影响。

(4) 学会测量放大器静态工作点 Q ，电压放大倍数 A_v 、输入电阻 R_i 、输出电阻 R_o 的方法，了解共射极放大电路的特性。

6.2.2 实验原理

选择放大器静态工作点的原则是保证输出波形不产生失真，并使放大器有较大的增益。

放大器的输出波形是否产生失真与放大器的特性曲线及输出电压的最大摆动幅度 V_{OPP} 有关，为了充分利用放大器的动态范围，放大器的静态工作点应选在交流负载线的中点。当电源电压 V_{CC} 和集电极电阻 R_C 的大小确定以后，静态工作点的位置取决于偏置电流 I_B 的大小，通常选择 $V_{CE} \approx \frac{1}{2}V_{CC}$ ，此时的静态工作点较佳。静态工作点不仅会影响放大器输出波形的失真及 V_{OPP} 大小，还会影响放大器的放大倍数及输入阻抗。

本实验采用分压式串联电流负反馈偏置电路，它可以减小工作电流对晶体管的依赖性，有利于提高静态工作点的稳定性。

6.2.3 实验设备

- | | |
|-------------|-----|
| (1) 模拟电路实验箱 | 1 只 |
| (2) 交流毫伏表 | 1 台 |
| (3) 数字万用表 | 1 只 |
| (4) 双踪示波器 | 1 台 |

6.2.4 预习要求

(1) 三极管及单管放大器工作原理。

(2) 放大器静态工作及动态性能参数的测量方法。

6.2.5 实验内容及步骤

1. 实验电路的连接

(1) 先用万用表判断实验箱上三极管 T 的极性和好坏, 电解电容 C 的极性和好坏。

(2) 按图 6.6 所示连接电路, 将 R_P 的阻值调到最大位置。(注意: 接线前先测量 +12V 电源, 关断电源后再连线, 信号发生器的输出端与放大器的输入端先暂不连接。)

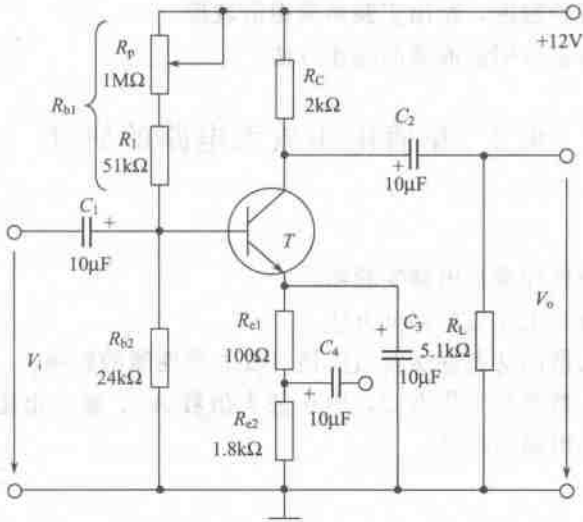


图 6.6 单管电压放大电路

(3) 接线完毕后仔细检查, 确定正确无误后才可接通电源。

2. 放大电路的静态调整与测试

(1) 将放大电路的输入端用导线短接。

(2) 改变 R_P 使放大电路的三极管 T 的集电极电流 I_C 的值分别为 0.5mA、1.5mA、2.5mA 时, 对应测量三极管 V 的基极电流 I_B 的值记录在表 6.6 中, 并计算三极管 V 电流

表 6.6 基极电流的测量

实际测量数据		数据计算	
I_C/mA	$I_B/\mu\text{A}$	$\beta = \frac{I_C}{I_B}$	$\beta = \frac{\Delta I_C}{\Delta I_B}$
0.5			
1.5			
2.5			

放大系数 $\bar{\beta}$ 和 β 的值。(注意:测量 I_C 和 I_B 时应将万用表调到直流电流挡,并选择好适当的挡位后,才能将万用表串联在电路中进行测量,测量时必须让电流流进万用表的正极,从万用表的负极流出。)

(3) 调整 R_P 使电路中三极管 T 的 $V_{CE}=6V$,按表 6.7 测量并计算相关参数,并将数据记录在表 6.7 中。(注意:测量电阻时必须切断电源并断开被测电阻一端的连线。)

表 6.7 放大电路静态参数调整与测试

测 量 数 据					数据计算		
V_{CE}/V	V_{BE}/V	V_E/V	V_C/V	$R_b/k\Omega$	$I_B/\mu A$	I_C/mA	$R_{be}/k\Omega$
6							

3. 放大电路电压放大倍数 A_V 的测量研究

(1) 调整 R_P 使 V_{CE} 保持为 $6V$,将放大电路输入端的短接导线去掉。

(2) 将信号发生器的输出端接到如图 6.6 所示的放大器的输入端,调节信号发生器使其频率 $f=1kHz$,调节信号发生器幅度输出旋钮使放大电路中输入信号电压 V_i (即用交流毫伏表测量图 6.6 中电容 C_1 负极对地之间的交流信号电压)为 $10mV$ 。用双踪示波器同时观察比较输入信号电压 V_i 、输出信号电压 V_o 的波形及相位关系。并将结果记录在表 6.8 中。

表 6.8 输入信号电压 V_i 、输出信号电压 V_o 的波形及相位关系

信号电压	波形图	相位关系
V_i		
V_o		

(3) 若用双踪示波器观察到放大电路输出电压 V_o 的波形不失真,则可按表 6.9 测定实验数据,计算电压放大倍数。(注意:在表 6.9 中给出的四种实验条件下都必须测量 V_i 使其保持在 $10mV_o$ 。)

表 6.9 电压放大倍数的测量

实 验 条 件		测量值		计算值	
		V_i /mV	V_o /V	A_v 测算值	A_v 估算值
无电流负反馈 (即 C3 接地)	不接负载电阻 R_L (即 $R'_L=R_C$)	10			
	接负载电阻 R_L (即 $R'_L=R_C//R_L$)				

续表

实验条件		测量值		计算值	
		V_i	V_o	A_v	A_v
		/mV	/V	测算值	估算值
有电流负反馈 (即改为 C4 接地)	不接负载电阻 R_L (即 $R'_L=R_C$)	10			
	接负载电阻 R_L (即 $R'_L=R_C//R_L$)				

4. 放大电路输出电压 V_o 的波形失真的研究

表 6.10 放大电路输出电压 V_o 波形失真测试

观测条件		V_i /mV	V_o /V	失真波形	何种失真
V_{CE} 为 6V 保持 不变、增大 V_i	无电流负反馈 (即 C3 接地)				
	有电流负反馈 (即改为 C4 接地)				
V_i 为 10mV 保持 不变、增大 R_P	无电流负反馈 (即 C3 接地)	10			
	有电流负反馈 (即改为 C4 接地)	10			
V_i 为 10mV 保持 不变、减小 R_P	无电流负反馈 (即 C3 接地)	10			
	有电流负反馈 (即改为 C4 接地)	10			

根据表 6.10 中给出的观测条件,用双踪示波器观察测量放大电路输出电压 V_o 的波形失真情况,并将观测结果记录在表 6.10 中。

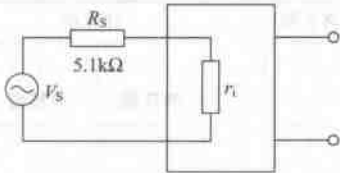


图 6.7 输入电阻 R_i 测量

注意:改变 R_P 若失真观察不明显可增大或减小 V_i 幅值后重新测量。

* 5. 放大器输入电阻 R_i 、输出电阻 R_o 的测量

(1) 输入电阻 R_i 测量

在放大电路的输入端串接一个 $5.1\text{k}\Omega$ 电阻,如图 6.7 所示,测量 V_s 与 V_i 。

即可根据公式: $R_i = \frac{V_i}{V_s - V_i} \times R_s$ 来计算 r_i 。

(2) 输出电阻 R_o 测量

在放大电路的输出端接上可调电阻作为负载, 如图 6.8 所示, 选择合适的 R_L 值, 使放大器输出不失真 (接示波器监视), 测量负载和空载时的 V_o 。

即可根据公式: $R_o = \left(\frac{V_o}{V_L} - 1 \right) R_L$ 来计算 r_o 。

将上述测量及计算结果填入表 6.11 中。

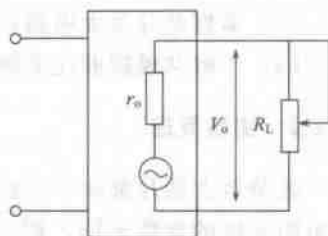
图 6.8 输出电阻 R_o 测量

表 6.11 放大电路输入/输出电阻的测量

测输入电阻 ($R_S=5.1\text{ k}\Omega$)				测输出电阻				
实测		测算	估算	实测		测算	估算	
V_S/mV	V_i/mV	r_i	r_i	$V_{o\infty}$	V_{oL}	$R_L/\text{k}\Omega$	$r_o/\text{k}\Omega$	$r_o/\text{k}\Omega$

6.2.6 注意事项

- (1) 注意万用表的挡位转换, 严禁用电阻挡测电压!
- (2) 交流信号电压 V_i 必须用交流毫伏表测量。

6.2.7 思考题

(1) 在测量电压放大倍数 A_v 时, 无电流负反馈时取 $V_i=10\text{mV}$, 在加入电流负反馈后, V_i 有无改变, 为什么?

(2) 放大电路的静态工作点与电路中哪些因素有关? 静态工作点选在什么位置时, 输出信号电压不失真?

6.2.8 实验报告要求

- (1) 认真记录并整理实验数据。
- (2) 总结单管电压放大器静态工作点的调试测量方法。
- (3) 总结放大器电压放大倍数的测量方法及负载、电流负反馈对放大器电压放大倍数的影响
- (4) 注明你所完成的实验内容和思考题, 简述相应的基本结论。
- (5) 根据你在实验中感受最深的一个实验内容, 写出详细的实验报告。要求你能够使一个懂得电子电路原理但没有看过这本实验指导书的人可以看懂你的实验报告, 并相信你实验中得出的基本结论。

6.3 差分式放大电路的研究

6.3.1 实验目的

- (1) 熟悉差分放大电路的工作原理和调试方法。

(2) 掌握差分放大电路在不同输入、输出方式下放大倍数的基本测试方法。

(3) 了解共模抑制比的测量方法。

6.3.2 实验原理

差分放大器是抑制零点漂移最有效的电路形式。在理想情况下,两个晶体管的特性及对应电阻元件的参数相同,则它们的静态工作点也相同。差分放大器在放大差模信号时,输入、输出具有不同的接法,它们的电压放大倍数亦不同,通常差分放大器的电压放大倍数只取决于输出方式,单端输出时的电压放大倍数是双端输出时的一半。

共模信号的抑制能力,通常用共模抑制比来 K_{CMRR} 表示,它定义为放大器对差模信号的电压放大倍数 A_d 和对共模信号的电压放大倍数 A_c 之比。

$$\text{即: } K_{CMRR} = \frac{A_d}{A_c}$$

K_{CMRR} 越大,则说明放大器的共模抑制能力越大,克服零点漂移的效果越好。

差分放大器的电阻 R_E ,它稳定了电路的静态工作点,对共模信号有电流负反馈作用,对差模信号无影响,能进一步减小零点漂移的作用。

6.3.3 实验设备

- | | |
|-------------|-----|
| (1) 模拟电路实验箱 | 1 只 |
| (2) 交流毫伏表 | 1 台 |
| (3) 数字万用表 | 1 只 |
| (4) 双踪示波器 | 1 台 |

6.3.4 预习要求

- (1) 计算图 6.9 所示电路的静态工作点(设 $r_{be}=3k\Omega$, $\beta=100$)及电压放大倍数。
- (2) 在图 6.9 所示电路的基础上画出单端输入和共模输入的电路。

6.3.5 实验内容及步骤

实验电路如图 6.9 所示。

1. 静态工作点的测量

1) 调零

将差分放大电路的两个输入端 b_1 、 b_2 短路并接地,接通直流电源,调节电位器 R_F 使差分放大电路的双端输出电压 $V_o=0$ 。

注意:差分放大电路的零位调好之后,电位器 R_F 就应保持不动。

2) 测量静态工作点

用万用表测量三极管 T_1 、 T_2 、 T_3 各电极对地电压值,并填入表 6.12 中。

(注意:根据测量结果,应判断所有三极管的工作点是否合适。若不合适应查明原因,想办法重新调试测量并做好记录。合适后注意不要改变静态参数做以下的实验内容。)

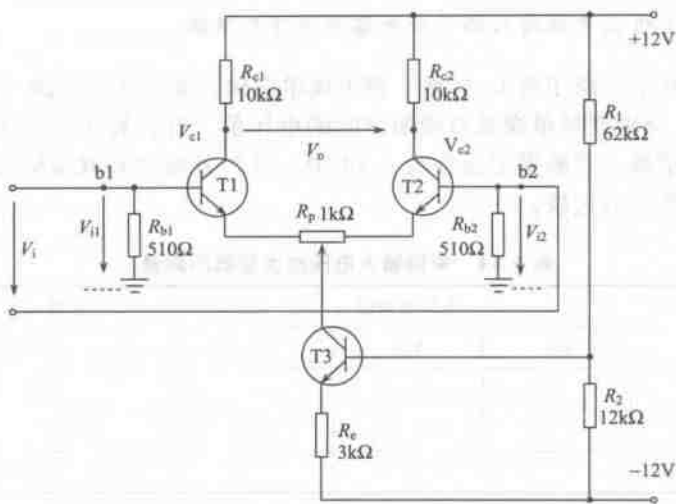


图 6.9 差分式放大电路图

表 6.12 静态工作点的测量

对地电压	V_{C1}	V_{C2}	V_{C3}	V_{B1}	V_{B2}	V_{B3}	V_{E1}	V_{E2}	V_{E3}
测量值/V									

2. 差模电压放大倍数的测量

去掉差分放大电路两输入端的短路接地导线，在其输入端加入直流电压信号 $V_{id} = (V_{i1} - V_{i2}) = 0.2V$ 作为差模输入信号电压，按表 6.13 要求测量并记录数据，由测量数据计算出差分放大电路单端和双端输出的电压放大倍数。

(注意：先调好 DC 信号的 OUT1 和 OUT2，使其分别为 $+0.1V$ 和 $-0.1V$ ，再接入 V_{i1} 和 V_{i2} ，然后还必须用万用表检测 DC 信号的 OUT1 和 OUT2，使其保持为 $+0.1V$ 和 $-0.1V$ 。)

3. 共模电压放大倍数的测量

将差分放大电路两输入端 b1、b2 短接，并接到 DC 信号的 OUT1，用万用表检测使其输出为 $+0.2V$ 作为共模输入信号电压，按表 6.13 要求测量并记录数据。由测量数据算出单端和双端输出的电压放大倍数，进一步算出共模抑制比 $K_{CMRR} = \frac{A_d}{A_c}$

表 6.13 差模电压放大倍数的测量

测量及 计算值	差模输入						共模输入						共模抑制比
	测量值/V			计算值			测量值/V			计算值			计算值
输入信号 V_i	V_{i1}	V_{i2}	$V_{i0取}$	A_{d1}	A_{d2}	$A_{d取}$	V_{c1}	V_{c2}	$V_{c0取}$	A_{c1}	A_{c2}	$A_{c取}$	K_{CMRR}
0.2V													

4. 在实验板上组成单端输入的差分电路进行下列实验

(1) 在图 6.9 所示电路中将 b_2 接地, 即组成单端输入差分放大电路。从 b_1 端输入直流信号 $V_i = \pm 0.2\text{V}$, 分别测量单端及双端输出时的电压值, 并计算单端输入时的单端及双端输出时的电压放大倍数, 将数据记录在表 6.14 中。并与差模信号双端输入时的单端及双端输出的电压放大倍数进行比较。

表 6.14 单端输入电压放大倍数的测量

输入信号	电压测量值			计算电压放大倍数 A_d		
	V_{c1}	V_{c2}	$V_{o\Delta}$	A_{d1}	A_{d2}	$A_{d\Delta}$
直流 $V_i = +0.2\text{V}$						
直流 $V_i = -0.2\text{V}$						
正弦信号 (50mV、1kHz)						

(2) 从 b_1 端加入正弦交流 $V_i = 0.05\text{V}$, $f = 1000\text{Hz}$, 用交流毫伏表分别测量、记录单端及双端输出的交流信号电压 V_{c1} 、 V_{c2} 、 $V_{o\Delta}$ 的值。将数据填入表 6.14 中, 并计算单端及双端输出时的电压放大倍数。

(注意: 输入交流信号时, 用示波器监视 V_{c1} 、 V_{c2} 的波形, 若有失真现象时, 可减小输入信号的电压值。使 V_{c1} 、 V_{c2} 的波形都不失真为止)。

6.3.6 注意事项

- (1) 注意区分双端输入与单端输入、差模输入与共模输入的不同之处。
- (2) 在实验过程中要随时注意电路的调零。
- (3) 交流信号电压必须用晶体管交流毫伏表测量。

6.3.7 思考题

- (1) 电阻 R_e 、 R_1 、 R_2 以及三极管 T3 构成什么电路? 它对差模信号和共模信号各起什么作用?
- (2) 为什么要在差分放大电路中加入负电源?

6.3.8 实验报告要求

- (1) 根据实测数据计算图 6.9 电路的静态工作点, 与预习计算结果相比较。
- (2) 根据实验数据, 计算各种接法的 A_d , 并与理论计算值相比较。
- (3) 计算实验步骤 3 中 A_c 和 K_{CMRR} 值。
- (4) 总结差分放大电路的性能和特点。

6.4 集成运算放大电路

6.4.1 实验目的

- (1) 掌握用集成运算放大器组成比例、求和电路的特点及性能。

(2) 学会上述电路的测试和分析方法。

6.4.2 实验原理

运算放大器具有高开环电压放大倍数,并带有深度负反馈的多级直接耦合放大电路,它具有输入电阻高、输出电阻低、漂移小、可靠性高、体积小等特点。本实验中采用 $\mu A741$ 集成运算放大器就是一具有高开环增益、高输入电压范围、有内部频率补偿,高共模抑制比、有短路保护,不会出现阻塞且便于电压调零等特点的高性能集成运放,其性能较为稳定可靠。

$\mu A741$ 集成运算放大器的引脚图如图 6.10 所示,各管脚的功能是:

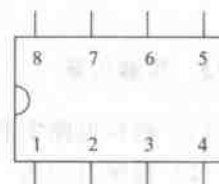


图 6.10 $\mu A741$ 集成运算放大器的引脚图

2 脚为输入端。由此端接输入信号,则输出信号和输入信号是反相的(或两者极性相反)。

3 脚为输入端。由此端接输入信号,则输出信号和输入信号是同相的(或两者极性相同)。

4 脚为负电源端。接 $-12V$ 稳压电源。

7 脚为正电源端。接 $+12V$ 稳压电源。

6 脚为输出端。

1 和 5 为外接调零电位器(通常为 $10k\Omega$)的两个端子。

8 为空脚。

1. 电压跟随器

电路如图 6.11 所示,其闭环电压放大倍数为:

$$A_{vF} = V_o / V_i = 1$$

2. 反相比例运算电路

电路如图 6.12 所示,其闭环电压放大倍数为:

$$A_{vF} = V_o / V_i = -\frac{R_F}{R_1}$$

3. 同相比例运算电路

电路如图 6.13 所示,其闭环电压放大倍数为:

$$A_{vF} = V_o / V_i = \left(1 + \frac{R_F}{R_1}\right)$$

4. 反相求和运算电路

电路如图 6.14 所示,其输出电压为:

$$V_o = -\left(\frac{R_F}{R_1}V_{i1} + \frac{R_F}{R_2}V_{i2}\right)$$

5. 双端输入求和(减法)运算电路

电路如图 6.15 所示, 其输出电压为:

$$V_o = \frac{R_F}{R_1}(V_{i2} - V_{i1})$$

6.4.3 实验设备

- | | |
|-------------|-----|
| (1) 模拟电路实验箱 | 1 只 |
| (2) 数字万用表 | 1 只 |

6.4.4 预习要求

- (1) 计算表 6.11 中的 V_o 和 A_r 。
- (2) 估算表 6.12、表 6.13 中的理论值。
- (3) 估算表 6.14、表 6.15 中的理论值。

6.4.5 实验内容

1. 电压跟随器

- (1) 按图 6.11 所示的实验电路连接线路。

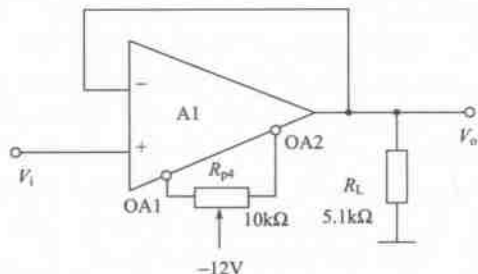


图 6.11 电压跟随器电路

- (2) 电路调零。将电路的信号输入端接地, 调节调零电位器 R_{P4} , 使跟随器的输出电压 $V_o = 0V$ 。

- (3) 数据测试。调零之后, 保持调零电位器 R_{P4} 的位置不动, 去掉电路信号输入端的接地导线, 将 DC 信号源的输出端 OUT1 连接到电路的信号输入端, 按表 6.15 给出的实验内容测量并记录实验数据。

表 6.15 电压跟随器性能测试

V_i/V		-2	-0.5	0	0.5	1
V_o/V	$R_L = \infty$					
	$R_L = 5k\Omega$					

2. 反相比例运算放大电路

- (1) 按图 6.12 所示的实验电路连接线路。
- (2) 电路调零。将电路的信号输入端接地, 调节调零电位器 R_{P4} , 使放大电路的输出电压 $V_o = 0V$ 。
- (3) 数据测试。调零之后, 保持调零电位器 R_{P4} 的位置不动, 去掉电路信号输入端的接

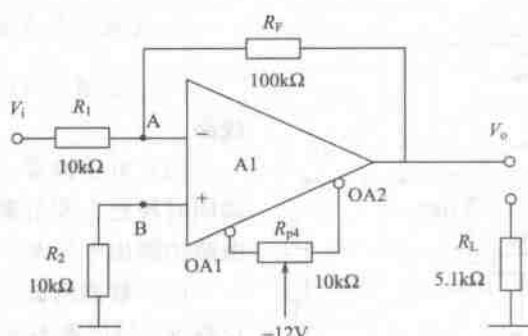


图 6.12 反比例运算放大电路

地导线，将 DC 信号源的输出端 OUT1 连接到电路的信号输入端，按表 6.16 给出的实验内容测量并记录实验数据。

表 6.16 反比例运算性能测试

直流输入电压 V_i /mV			30	100	300	1000	3000
输出 电压 V_o	$R_L = \infty$	理论估算/mV					
		实测值/mV					
		误差					
	$R_L = 5k\Omega$	实测值/mV					

3. 同相比例运算放大电路

(1) 按图 6.13 所示的实验电路连接线路。

(2) 电路调零。将电路的信号输入端接地，调节调零电位器 R_{p4} ，使放大电路的输出电压 $V_o = 0V$ 。

(3) 数据测试。调零之后，保持调零电位器 R_{p4} 的位置不动，去掉电路信号输入端的接地导线，将 DC 信号源的输出端 OUT1 连接到电路的信号输入端，按表 6.17 给出的实验内容测量并记录实验数据。

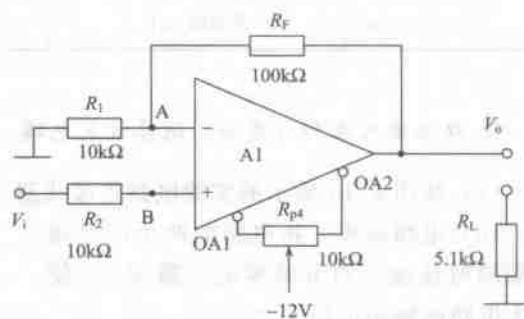


图 6.13 同相比例运算放大电路

表 6.17 同相比例运算性能测试

直流输入电压 V_i /mV			30	100	300	1000	3000
输出 电压 V_o	$R_L = \infty$	理论估算/mV					
		实测值/mV					
		误差					
	$R_L = 5.1k\Omega$	实测值/mV					

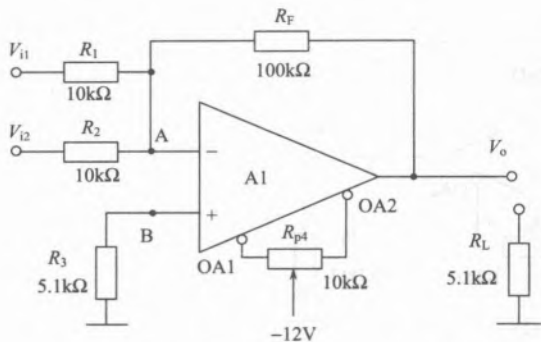


图 6.14 反相比例求和运算放大电路

4. 反相比例求和运算放大电路

(1) 按图 6.14 所示的实验电路连接线路。

(2) 电路调零。将电路的两个信号输入端同时接地，调节调零电位器 R_{P4} ，使放大电路的输出电压 $V_o = 0V$ 。

(3) 数据测试。调零之后，保持调零电位器 R_{P4} 的位置不动，去掉电路信号输入端的接地导线，将 DC 信号源的输出端 OUT1 连接到电路的 V_{i1} 信号输入端，将 DC 信号源的输出端 OUT2 连接到电路的 V_{i2} 信号输入端，按表 6.18 给出的实验内容测量并记录实验数据。

表 6.18 反相比例求和运算性能测试

直流输入电压 V_{i1}/mV		1000	300	-300	-1000
直流输入电压 V_{i2}/mV		500	200	-200	-500
输出 电压 V_o	$R_L = \infty$	理论估算/ mV			
		实测值/ mV			
		误差			
	$R_L = 5.1k\Omega$	实测值/ mV			

5. 双端输入求和（减法）运算放大电路

(1) 按图 6.15 所示的实验电路连接线路。

(2) 电路调零。将电路的两个信号输入端同时接地，调节调零电位器 R_{P4} ，使放大电路的输出电压 $V_o = 0V$ 。

(3) 数据测试。调零之后，保持调零电位器 R_{P4} 的位置不动，去掉电路两个信号输入端的接地导线，将 DC 信号源的输出端 OUT1 连接到电路的 V_{i1} 信号输入端，将 DC 信号源的输出端 OUT2 连接到电路的 V_{i2} 信号输入端，按表 6.19 给出的实验内容测量并记录实验数据。

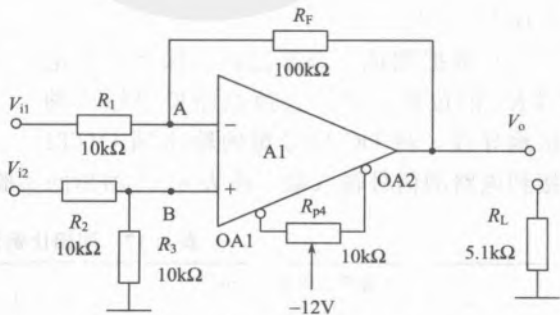


图 6.15 双端输入求和（减法）运算放大电路

（注意：在数据测试过程中，应先调整好 V_{i2} 的值，再调整好 V_{i1} 的值，最后进行数据测试。）

表 6.19 双端输入求和(减法)运算性能测试

直流输入电压 V_{i1}/mV			1000	300	-300	-1000
直流输入电压 V_{i2}/mV			500	200	-200	-500
输出 电压 V_o	$R_L = \infty$	理论估算/ mV				
		实测值/ mV				
		误差				
	$R_L = 5\text{k}\Omega$	实测值/ mV				

6.4.6 思考题

- (1) 电路调零的作用是什么?
- (2) 在图 6.14 所示的实验电路中, 电阻 R_3 起什么作用? 其理想阻值是如何取得?

6.4.7 实验报告要求

- (1) 总结本实验中 5 种运算电路的特点及性能。
- (2) 分析各种运算电路输出电压 V_o 的理论计算值与实验结果误差的原因。

6.5 射极跟随器的研究

6.5.1 实验目的

- (1) 掌握射极跟随器的特点及测量方法。
- (2) 进一步学习放大电路各项参数的测量方法。

6.5.2 实验原理

根据输入和输出回路共同端的不同, 放大电路可分成三种基本组态, 即共射极电路、共基极电路、共集电极电路。射极输出器就是共集电极电路, 它具有电压放大倍数略小于 1、输入电阻高、输出电阻低、有功率放大的特点。由于输入电阻高, 它常作为放大电路的输入级, 输出电阻低, 它常作为放大电路的输出级; 又由于其阻抗变换作用, 常作为放大电路的中间级(又称缓冲级)。由于射极输出器的输出电压与输入电压具有相位相同、大小几乎相等的性质, 因此, 射极输出器又称射极跟随器。

6.5.3 实验设备

- | | |
|-------------|-----|
| (1) 模拟电路实验箱 | 1 只 |
| (2) 交流毫伏表 | 1 台 |
| (3) 数字万用表 | 1 只 |
| (4) 双踪示波器 | 1 台 |

6.5.4 预习要求

- (1) 参照教材有关章节内容, 熟悉射极跟随器的原理及特点。

(2) 根据图 6.16 元器件参数, 估算射极跟随器的静态工作点, 画出交直流负载线。

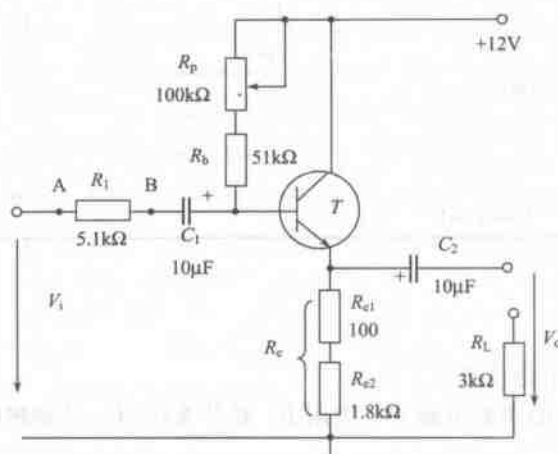


图 6.16 射极跟随器电路

6.5.5 实验内容及步骤

1. 按图 6.16 所示的电路接线

2. 射极跟随器静态工作点的调整

将电源+12V 接上, 在 B 点加上 $f=1\text{kHz}$ 正弦波信号, 输出端用示波器监视, 反复调整 R_P 及信号源的输出幅度, 使射极跟随器的输出信号在示波器屏幕上得到一个幅度为最大而不失真的波形, 然后断开输入信号, 将 B 点接地, 用万用表测量晶体管各极对地的电位, 即为该射极跟随器的静态工作点, 将所测数据填入表 6.20。

表 6.20 射极跟随器静态工作点测试

V_E/V	V_B/V	V_C/V	$I_E = V_E/R_e$

3. 射极跟随器电压放大倍数 A_v 的测量

在射极跟随器的输出端接入负载电阻 $R_L=3\text{k}\Omega$, 从在电路的 B 点输入频率 $f=1\text{kHz}$ 的正弦交流信号, 调整输入信号的幅度 (注意: 此时偏置电位器 R_P 不能再旋动), 用示波器观察, 在输出信号电压最大而不失真情况下, 用交流毫伏表测量 V_i 和 V_L 值, 将所测数据填入表 6.21 中。

表 6.21 射极跟随器电压放大倍数 A_v 测量

V_i/V	V_L/V	$A_v = V_L/V_i$

4. 射极跟随器输出电阻 R_o 的测量

在射极跟随器的输出端接入负载电阻 $R_L = 3\text{k}\Omega$, 从电路的 B 点输入频率 $f = 1\text{kHz}$ 的正弦交流信号, 使其幅度 $V_i = 100\text{mV}$ 左右, 用示波器观察输出信号电压波形, 测出输出电压 V_o ($R_L = 3\text{k}\Omega$) 的值。去掉负载电阻 R_L 时, 测出空载输出电压 V_o ($R_L = \infty$) 的值。

则

$$R_o = \left(\frac{V_o}{V_L} - 1 \right) R_L$$

将所测数据及计算结果填入表 6.22 中。

表 6.22 射极跟随器输出电阻 R_o 测量

V_o/mV	V_L/mV	$R_o = (V_o/V_L - 1) R_L$

5. 射极跟随器输入电阻 R_i 的测量 (采用换算法)

在射极跟随器的输入端串接一个 $5.1\text{k}\Omega$ 的电阻, A 点输入频率 $f = 1\text{kHz}$ 的正弦交流信号, 用示波器观察输出波形, 用交流毫伏表分别测出 A、B 点对地之间的交流信号电压 V_s 、 V_i 。

$$\text{则 } R_i = \frac{V_i}{V_s - V_i} \times R_1$$

将所测数据及计算结果填入表 6.23 中。

表 6.23 射极跟随器输入电阻 R_i 测量

V_s/V	V_i/V	R_i

6. 测量射极跟随器的跟随特性并测量输出电压峰值 V_{OP-P}

在射极跟随器的输出端接入负载电阻 $R_L = 3\text{k}\Omega$, 从电路的 B 点输入频率 $f = 1\text{kHz}$ 的正弦交流信号, 逐点增大输入信号 V_i 的幅度, 用示波器监视输出端, 在波形不失真时, 测出所对应的 V_L 值, 并计算出 A_v , 用示波器测量输出电压的峰值 V_{OP-P} 并与交流毫伏表读测的对应输出电压有效值进行比较, 将所测数据填入表 6.24。

表 6.24 射极跟随器的跟随特性测量 (包括输出电压峰值 V_{OP-P})

测量次数		1	2	3	4
测量值	V_i				
	V_L				
	V_{OP-P}				
A_v (计算值)					

6.5.6 思考题

- (1) 负载电阻 R_L 对电压放大倍数 A_v 和输入电阻 R_i 有何影响?
- (2) 电阻 R_1 对输出电阻 R_o 有何影响?

6.5.7 实验报告要求

- (1) 绘出实验原理电路图, 标明实验电路的元件数值。
- (2) 整理实验数据及说明实验中出现的各种现象, 得出有关结论; 画出必要的波形及曲线。
- (3) 将实验结果与理论计算比较, 分析产生误差的原因。

6.6 两级阻容耦合放大电路

6.6.1 实验目的

- (1) 掌握如何合理设置两级阻容耦合放大电路各级的静态工作点。
- (2) 掌握如何测量两级阻容耦合放大电路各级的电压放大倍数。
- (3) 学会放大电路频率特性的测试方法。
- (4) 了解放大器的失真及消除方法。

6.6.2 实验原理

在实际放大电路中, 为推动负载工作, 必须有多级放大电路对微弱信号进行连续放大, 方可在输出端获得必要的电压幅值或足够的功率。本实验采用两级阻容耦合放大电路, 如图 6.17 所示。 C_2 是级间耦合电容, 具有隔直作用, 各级静态工作点互相独立, 故实验时可逐级单独调整。从交流通路来看, 后级的输入电阻相当于前级的负载, 故两级连接后对前级的电压放大倍数将产生影响。

多级放大器是逐级连续进行放大的, 前级的输出电压即为后级的输入电压, 因此, 两级阻容耦合放大器的总电压放大倍数为:

$$A_v = A_{v1} \cdot A_{v2}$$

放大器的频率特性是衡量放大器性能的重要指标之一。阻容耦合放大器在中频段的电压放大倍数最大, 而且几乎不随输入信号频率的变化而变化。在低频段, 由于耦合电容和发射极旁路电容容抗增大的影响, 电压放大倍数随输入信号频率的下降而下降。在高频段, 由于晶体管的集电结电容, 导线的分布电容和负载的输入电容, 以及管子的电流放大系数 β 随频率的增大而减小的影响, 电压放大倍数随输入信号频率的升高而下降。在放大器幅频特性曲线上, 当放大器的增益下降到最大值的 0.707 倍时, 对应的两个频率点 f_L 和 f_H , 分别称为下限频率 f_L 和上限频率 f_H 。下限频率 f_L 至上限频率 f_H 之间的区域称为通频带。 $f_H - f_L$ 被称为带宽 BW。

6.6.3 实验设备

- (1) 模拟电路实验箱 1 只

- | | |
|-----------|-----|
| (2) 交流毫伏表 | 1 台 |
| (3) 数字万用表 | 1 只 |
| (4) 双踪示波器 | 1 台 |

6.6.4 预习要求

- (1) 复习教材多级放大电路内容及频率响应特性测量方法。
- (2) 分析图 6.17 两级阻容耦合放大电路。初步估计测试内容的变化范围。

6.6.5 实验内容

两级阻容耦合放大电路实验电路见图 6.17 所示。

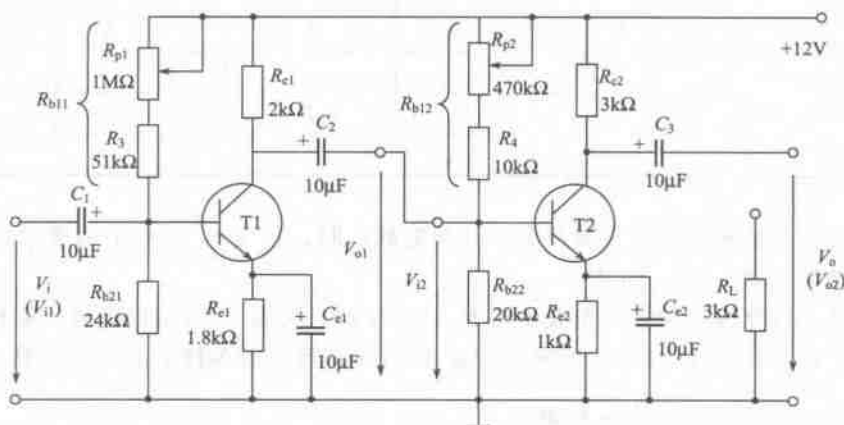


图 6.17 两级阻容耦合放大电路

1. 放大电路静态工作点的设置与调整

- (1) 按图 6.17 接线，注意接线尽可能短。

(2) 通过调节电位器 R_{P1} 、 R_{P2} 使 $V_{CE1} = 6V$ 左右、 $V_{CE2} = 6V$ 左右来设置放大电路的静态工作点；在第二级输出电压波形不失真的前提下要求输出电压幅值尽量大，为了提升放大电路的信噪比要求第一级输出电压幅值尽可能低。

(3) 在放大电路输入端加入频率为 1kHz、幅度为 1mV 的交流信号电压来调整静态工作点，调整时用示波器观察第一级和第二级的输出电压波形，如果输出电压波形出现失真，则可少许调节电位器 R_{P1} 和 R_{P2} ，必须使输出电压波形不失真。（调整时可先采用实验箱上加衰减的方法，即信号源用一个较大的信号，例如信号源输出 100mV，在实验板上经 100:1 衰减电阻后降为 1mV。同时，为了保证 1mV 交流信号电压值的准确性，还必须使用交流毫伏表对经过电阻衰减后的 1mV 交流信号电压进行监测。）

注意：如发现有寄生振荡，可采用以下措施消除：

- ① 重新布线，尽可能走线短。
- ② 可在三极管的 b、e 极之间加几 pF 到几百 pF 的电容。
- ③ 信号源与放大器用屏蔽线连接。

2. 放大电路静态工作点的测量

测量静态工作点时应先断开输入信号, 然后导线将放大电路的输入端进行短路, 最后按表 6.25 给出的要求进行测量。

3. 放大电路电压放大倍数的测量

(1) 将放大电路输入端的短路导线去掉, 并输入 1mV 、 $f=1\text{kHz}$ 的交流信号电压。

表 6.25 电压放大倍数的测量

	静态工作点						输入/输出电压 /mV			电压放大倍数		
	第 1 级			第 2 级						第 1 级	第 2 级	整体
	V_{C1}	V_{B1}	V_{E1}	V_{C2}	V_{B2}	V_{E2}	V_i	V_{o1}	V_{o2}	A_{v1}	A_{v2}	A_v
空载												
有载												
结果比较												

(2) 在放大电路输出端不接负载电阻 (即空载) 时, 按表 6.25 给出的要求进行测量并计算, 并将结果记录在表 6.25 中。

(3) 在放大电路输出端接入负载电阻 $R_L=3\text{k}\Omega$ 时, 按表 6.25 给出的要求进行测量并计算, 并将结果记录在表 6.25 中。同时比较表 6.25 中两种实验条件下的实验结果。

4. 观察放大电路后级对前级的影响

在放大电路的输出端接入负载电阻 $R_L=3\text{k}\Omega$ 时, 分别在两级断开和连接的情况下, 在放大电路的输入端输入频率为 $f=1\text{kHz}$ 、幅度为 1mV 的交流信号电压, 测量第一级的输出电压 V_{o1} , 测量第一级的电压放大倍数 A_{v1} , 并将结果记录在表 6.26 中。

表 6.26 放大电路后级对前级的影响

测量条件	测量项目		计算
	V_i	V_{o1}	A_{v1}
两级断开			
两级连接			

5. 测量两级放大电路的频率特性

(1) 将放大电路负载断开, 先将输入信号频率调到 1kHz , 幅度调到使最大而不失真。

(2) 保持输入信号 V_i 的幅度为 1mV 不变, 改变频率, 按表 6.27 测量并记录。(注意: 每改变一次频率, 都必须测量输入信号 V_i 的幅度, 使其保持为 1mV 不变)

(3) 接上负载, 重复上述实验。

表 6.27 两级放大电路的频率特性测量

频率 (Hz)		50	100	250	500	1000	2000	2500	5000	10000	20000
V_o/mV	$R_L=\infty$										
	$R_L=3\text{k}\Omega$										

6.6.6 思考题

- (1) 第二级对第一级的电压放大倍数有何影响?
- (2) 负载对整个电路的电压放大倍数有何影响?

6.6.7 实验报告要求

- (1) 整理实验数据, 分析实验结果。
- (2) 总结两级放大电路静态工作点的调整与测量方法。
- (3) 画出实验电路的频率特性简图, 标出 f_H 和 f_L 。
- (4) 写出增加频率范围的方法。

第 7 章 数字电子技术基础实验

7.1 TTL 与非门的参数测试

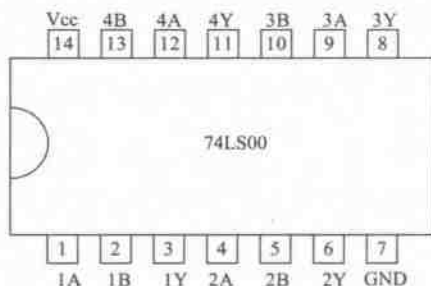
7.1.1 实验目的

- (1) 掌握 TTL 集成与非门的主要参数测试方法。
- (2) 熟悉 TTL 与非门工作原理和逻辑功能。
- (3) 熟悉 TTL 与非门芯片的外形和引脚排列。

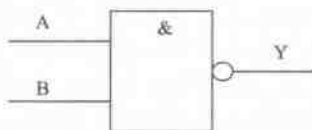
7.1.2 实验原理

1. TTL 电路组成

TTL 电路是晶体管—晶体管逻辑集成电路的简称。本实验采用四组 2 输入与非门的集成芯片 74LS00，即一个集成块内包含有四个互相独立的与非门，每个与非门有两个输入端。其逻辑表达式为 $Q = \overline{AB}$ ，逻辑符号及引脚排列如图 7.1 (a)、(b) 所示。



(a) 引脚排列图



(b) 逻辑符号

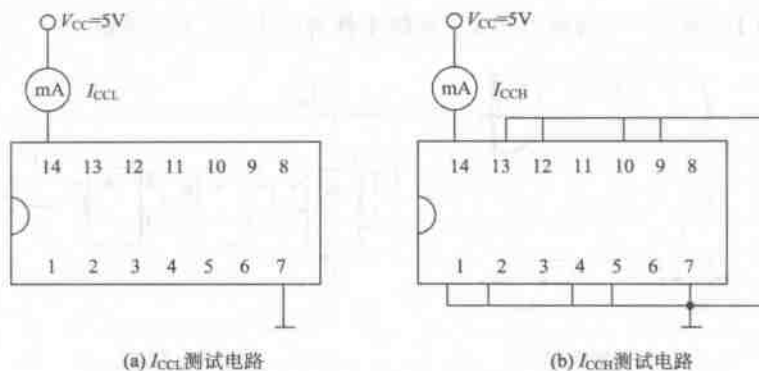
图 7.1 74LS00 的引脚排列图和逻辑符号

2. TTL 与非门的主要参数

1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH}

与非门处于不同的工作状态，电源提供的电流是不同的。 I_{CCL} 是指所有输入端悬空，输出端空载时，电源提供给器件的电流。也称空载导通电流。 I_{CCH} 是指输出端空载，每个门各有一个以上的输入端接地时，电源提供给器件的电流，也称空载截止电流。通常 $I_{CCL} > I_{CCH}$ ，它们的大小标志着器件静态功耗的大小。器件的最大功耗为 $P_{CCL} = V_{CC} I_{CCL}$ 。手册提供的电源电流和功耗值是指整个器件的总电源电流和功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 7.2 所示。

注意：TTL 电路对电源电压要求较严，电源电压 V_{CC} 只允许在 $\pm 10\%$ 的范围内工作，

图 7.2 TTL 与非门 I_{CCL} 和 I_{CCH} 测试电路图

超过 5.5V 将损坏器件, 低于 4.5V 器件的逻辑功能将不正常。

2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH}

I_{IL} 是指被测输入端接地, 其余输入端悬空时, 由被测输入端流出的电流值。在多级门电路中, 相当于前级门输出低电平时, 后级向前级门灌入的电流, 因此它关系到前级门的灌电流负载能力, 即直接影响前级门电路带负载的个数, 因此希望 I_{IL} 小一些。 I_{IH} 是指被测输入端接高电平, 其余输入端接地的输入电流。在多级门电路中, 它相当于前级门输出高电平时, 前级门的拉电流负载, 其大小关系到前级门的拉电流负载能力, 希望 I_{IH} 小一些。由于 I_{IH} 较小, 难以测量, 一般免于测试。 I_{IL} 测试电路如图 7.3 所示。

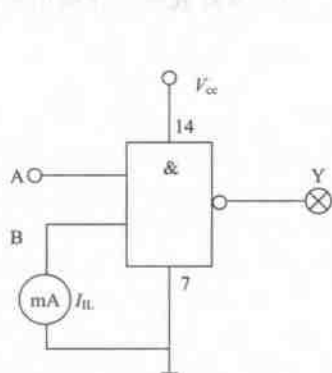
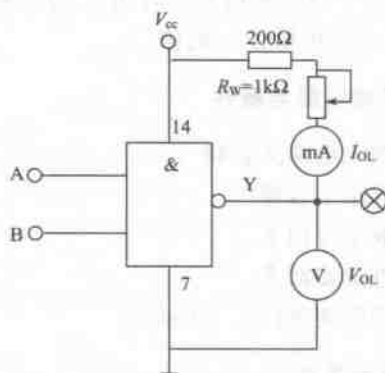
图 7.3 低电平输入电流 I_{IL} 测试电路

图 7.4 扇出系数测试电路

3) 扇出系数 N_o

N_o 是指输出端能接几个同类与非门, 它是衡量门电路负载能力的一个参数。TTL 与非门有两种不同性质的负载, 即灌电流负载和拉电流负载。因此, 有两种扇出系数, 即低电平扇出系数 N_{oL} 和高电平扇出系数 N_{oH} 。通常 $I_{IH} < I_{IL}$, 因此 $N_{oH} > N_{oL}$, 故常以 N_{oL} 作为门电路扇出系数, 则扇出系数 $N_o = I_{OL} / I_{IL}$, 通常 $N_o \geq 8$ 。扇出系数测试电路如图 7.4 所示。

4) 电压传输特性

与非门的输出电压 u_o 随输入电压 u_i 而变化的曲线 $u_o = f(u_i)$ 称为与非门的电压传输特性, 通过它可读得与非门电路的一些重要参数, 如输出高电平 V_{OH} 、输出低电平 V_{OL} 、关

门电平 V_{off} 、开门电平 V_{on} 、阈值电平 V_T 及抗干扰容限 V_{NL} 、 V_{NH} 等值。

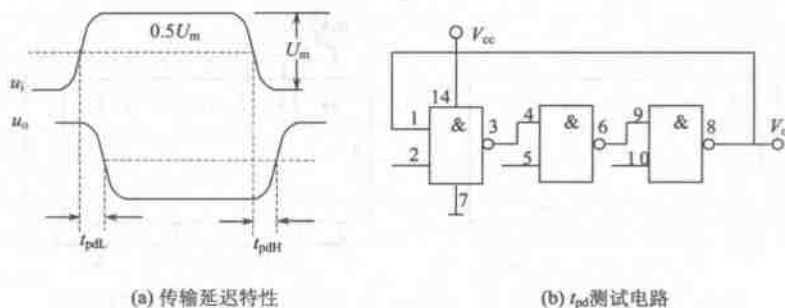


图 7.5 平均传输延迟时间测试

5) 平均传输延迟时间 t_{pd}

t_{pd} 是衡量门电路开关速度的参数, 它是指输出波形边沿的 $0.5U_m$ 至输入波形对应沿 $0.5U_m$ 的时间间隔, 如图 7.5 所示。

图 7.5 (a) 中的 t_{pdL} 为导通延迟时间, t_{pdH} 为截止延迟时间, 平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$$

t_{pd} 的测试电路如图 7.5 (b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用由奇数个与非门组成的环形振荡器周期 T 来求得。 T 与门的平均延迟时间 t_{pd} 的关系为 $t_{pd} = T/6$, 用示波器或频率计测出振荡波形 V_o 的周期 T , 则可求出 t_{pd} 的值。

7.1.3 实验仪器与器件

- (1) 数字电路实验箱
- (2) 双踪示波器
- (3) 数字万用表
- (4) 直流安培表
- (5) 实验用器件: 74LS00

7.1.4 预习要求

- (1) 复习 TTL 集成与非门的工作原理、参数与特性。
- (2) 了解 74LS00 的功能及外部引脚排列。
- (3) 阅读数字电路实验箱的面板图 (附录二)。
- (4) 列出各实验内容的测试表格。

7.1.5 实验内容

1. 验证 TTL 与非门的逻辑功能

1) 输出高电平 V_{OH} 的测试

按图 7.6 (a) 所示电路连接, 将与非门的输入端接至逻辑电平开关, 输出端接至 LED

显示，并按表 7.1 前 3 行要求依次改变输入端 A、B 的状态，用数字万用表测量与非门输出端 Y 对地的电位。并将测量结果记入表 7.1 中。 $V_o \geq 3.2V$ ，记作“1”， $V_o \leq 0.4V$ ，记作“0”。

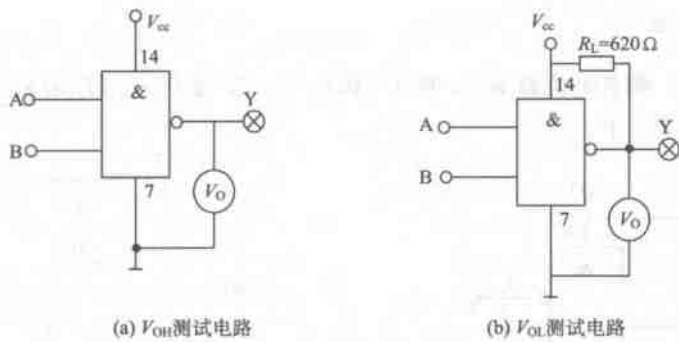


图 7.6 V_{OH} 、 V_{OL} 测试电路

表 7.1 与非门的逻辑功能测试表

输入		输出逻辑状态	输出电压
A	B	Y	V_o (V)
0	0		
0	1		
1	0		
1	1		

2) 输出低电平 V_{OL} 的测试

如图 7.6 (b) 所示，将与非门的输入端全部悬空，即全为“1”， R_L 为 620Ω ，（模拟与非门的灌电流负载），测量输出电压 V_o ，并将测量结果记入表 7.1 中。

2. 低电平输出电源电流 I_{CCL}

如图 7.2 (a) 所示，将与非门所有输入端都悬空，用直流安培表测量电源供给器件的电流 I_{CCL} ，并用公式 $P_{CCL} = V_{CC} I_{CCL}$ 求出空载导通功耗 P_{CCL} ，并将结果记入表 7.2 中。

表 7.2 低/高电平输出电源电流测试表

测量值		计算值	
I_{CCL}/mA	I_{CCH}/mA	$P_{CCL} = V_{CC} I_{CCL}$	$P_{CCH} = V_{CC} I_{CCH}$

3. 高电平输出电源电流 I_{CCH}

如图 7.2 (b) 所示, 将与非门所有输入端都接地, 用直流安培表测量电源供给器件的电流 I_{CCH} , 并用公式 $P_{CCH} = V_{CC} I_{CCH}$ 求出空载截止功耗 P_{CCH} , 并将结果记入表 7.2 中。

4. 电压传输特性

按图 7.7 接线, 调节电位器 R_w , 使 V_i 从 $0 \sim 2.5V$ 变化, 用万用表逐点测量 V_i 和 V_o 的对应值, 记入表 7.3 中。

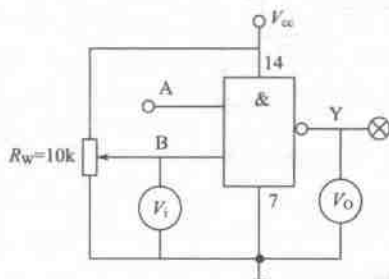


图 7.7 传输特性测试电路

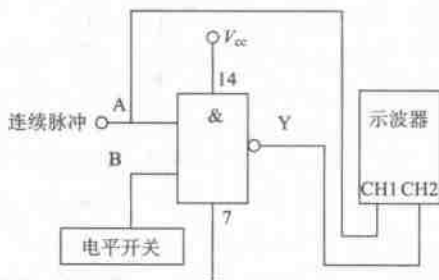


图 7.8 动态逻辑功能测试电路

表 7.3 电压传输特性

V_i/V	0	0.4	0.6	0.8	0.9	1.0	1.05	1.1	1.15	1.2	1.5	1.8	2.1	2.5
V_o/V														

5. 测量低电平输入电流 I_{IL}

如图 7.3 所示接线, 用直流安培表测量 A 或 B 流到地的电流 I_{IL} , 将结果记入表 7.4 中。

表 7.4 扇出系数 N_o 测试

测量值			计算值
I_{IL}/mA	I_{OL}/mA	V_{OL}/V	$N_o = \frac{I_{OL}}{I_{IL}}$

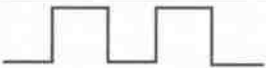
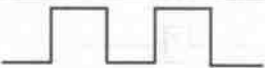
6. 扇出系数 N_o

按图 7.4 接线, A、B 悬空, 或接高电平, 调节电位器 R_w , 当输出电平 V_{OL} 为额定低电平 $0.4V$ 时, 读取毫安表的数值 I_{OL} (允许灌入的最大负载电流), 用公式 $N_o = \frac{I_{OL}}{I_{IL}}$ 计算出扇出系数, 并将结果记入表 7.4 中。

7. TTL 与非门动态逻辑功能测试

如图 7.8 所示, 与非门的一个输入端 (A) 接 1kHz 的连续脉冲, 另一端 (B) 接逻辑电平开关, 按表 7.5 要求输入电平, 用示波器观察输入端 (A) 和输出端 (Y) 的波形, 并将波形记入表 7.5 中。

表 7.5 与非门动态测试表

波形	B=0	B=1
输入波形 (A 端)		
输出波形 (Y 端)		

7.1.6 实验研究与思考

- (1) 与非门中不用的输入端应如何处理? 为什么 TTL 组件的输出端不能短接在一起?
- (2) 测试输出低电平时为什么要加接负载? 若 R_L 很小会产生什么现象?
- (3) 空载导通功耗和空载截止功耗为几个与非门的功耗?

7.1.7 实验报告要求

- (1) 列出参数的实测数据表, 并和与非门参数的规范值比较, 判断测出的电路参数是否合格。
- (2) 用直角坐标纸绘出电压传输特性曲线。

7.2 编码器、译码器功能测试及其应用

7.2.1 实验目的

- (1) 掌握编码器和译码器逻辑功能的测试方法。
- (2) 了解优先编码的原理。
- (3) 了解中规模集成编码器和译码器的功能和管脚排列。
- (4) 掌握用译码器构成组合逻辑电路的方法。

7.2.2 实验原理

1. 编码器

编码器是组合电路的一部分。在数字电路中, 经常要把输入的各种信号, 例如文字、符号、十进制数等转换为二进制代码或二—十进制代码, 这种转换过程称为编码。能够完成编码功能的组合逻辑电路称为编码器。

- (1) 二进制编码器是用二进制代码对给定输入信号编码。

(2) 二—十进制编码器是把十进制数 0~9 转换为二进制代码的逻辑电路。它又称 BCD 码编码器, 8421BCD 码的逻辑电路如图 7.9 所示。图中, I_0 输入端没有经过门电路, 因为

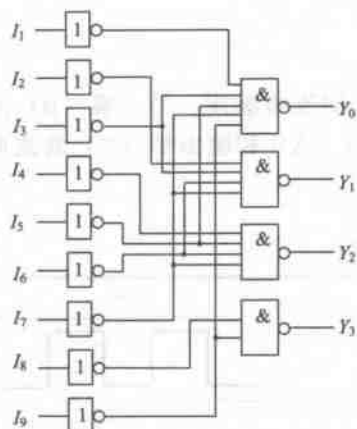


图 7.9 8421BCD 码编码器的逻辑电路

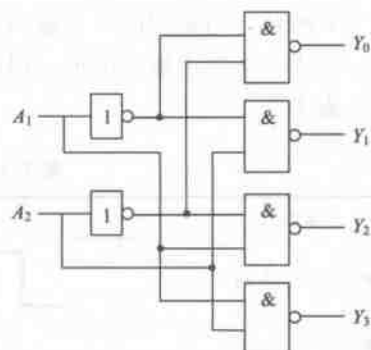
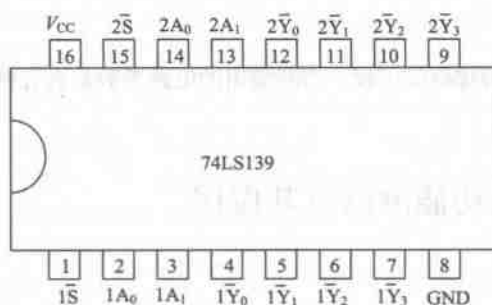


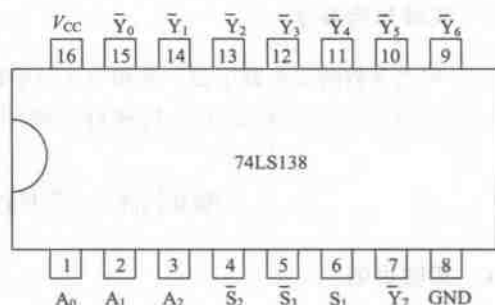
图 7.10 2—4 线译码器的逻辑图

当 I_0 有效时，其他输入端均为高电平，编码器输出 $Y_3 Y_2 Y_1 Y_0 = 0000$ ，即为 I_0 的编码。

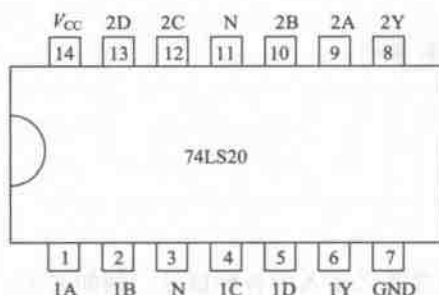
(3) 优先编码器。上面介绍的编码器，只允许所有输入端中一个有信号，当同时有二个或更多输入端有信号时，输出将发生混乱。因此必须规定好这些输入端允许操作的先后次序，即优先级。识别这类请求信号的优先级并进行编码的逻辑部件称为优先编码器。其输出总是与优先权最高的那个输入信号相对应，而与其他输入状态无关。



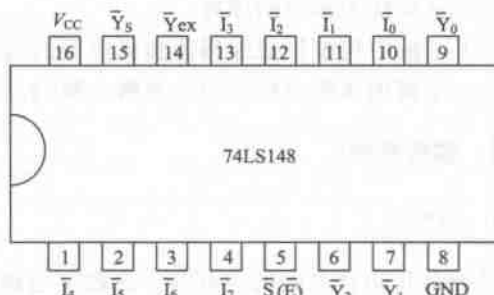
(a) 74LS139 外引线排列



(b) 74LS138 外引线排列



(c) 74LS20 外引线排列



(d) 74LS148 外引线排列

图 7.11 几种芯片的外引线排列图

2. 译码器

译码器是一个多输入，多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”

变成相应的状态,使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途,不仅用于代码的转换、终端的数字显示,还用于数据分配、存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码交换译码器。变量译码器(又称二进制译码器)用以表示输入变量的状态,如2—4线、3—8线和4—16线译码器等。图7.10为2—4线译码器的逻辑图。若有 n 个输入变量,则有 2^n 个不同的组合状态,就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。

二进制译码器实际上也是负脉冲输出的脉冲分配器。若利用使能端中的一个输入端输入数据信息,器件就成为一个数据分配器(又称多路分配器)。若在 S_1 输入端输入数据信息, $\bar{S}_2=\bar{S}_3=0$,地址所对应的输出是 S_1 端数据信息的反码;若从输入端 \bar{S}_2 输入数据信息,令 $S_1=1, \bar{S}_2=0$,地址码所对应的输出就是 \bar{S}_2 端数据信息的原码。若数据信息是时钟脉冲,则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址,故可用做地址译码器。用它接成多路分配器,可将一个信号源的数据信息传输到不同的地点。二进制译码器还能方便地产生逻辑函数。

7.2.3 实验器材

- (1) 数字电路实验箱
- (2) 双踪示波器
- (3) 74LS148、74LS139、74LS138、74LS00、74LS04

7.2.4 预习要求

- (1) 复习教材中编码器和译码器的相关内容。
- (2) 了解中规模集成电路74LS148、74LS139、74LS138的外部引线排列及功能。
- (3) 列出各实验内容的测试表格。

7.2.5 实验内容

1. 译码器74LS139逻辑功能的测试

74LS139的外引脚排列如图7.11(a)所示, $1\bar{S}_1$ 、 $1A_1$ 、 $1A_0$ 接逻辑电平开关, $1\bar{Y}_0 \sim 1\bar{Y}_3$ 接LED电平显示。按表7.6输入电平,观察输出 $1\bar{Y}_0 \sim 1\bar{Y}_3$ 的变化,并将实验结果记入表7.6中(表中 $1\bar{S}$ 为使能端,低电平有效)。

表 7.6 74LS139 逻辑功能的测试

输入			输出			
$1\bar{S}$	$1A_1$	$1A_0$	$1\bar{Y}_0$	$1\bar{Y}_1$	$1\bar{Y}_2$	$1\bar{Y}_3$
1	×	×				
0	0	0				
0	0	1				
0	1	0				
0	1	1				

2. 译码器的功能扩展

在实际应用中，所采用的译码器的输入/输出端口数目少于所需的输入/输出端口时，必须对它进行扩展，以满足实际需要。利用使能端可以方便地进行扩展。如图 7.12 所示，用二个 2—4 线译码器外加一个非门，并把 S 也作为译码器的选择输入。当 $1\bar{S}=0$ 时，1#译码器工作，而 2#译码器不工作；当 $1\bar{S}=1$ 时，则反之。可以分析出，对应于 $A_2 A_1 A_0$ 的一组取值， $\bar{Y}_0 \sim \bar{Y}_7$ 中只有相应的一个输出为 0，其他输出端都为 1，从而实现 3—8 线译码器功能。按图 7.12 电路测试其功能，并自拟表格。

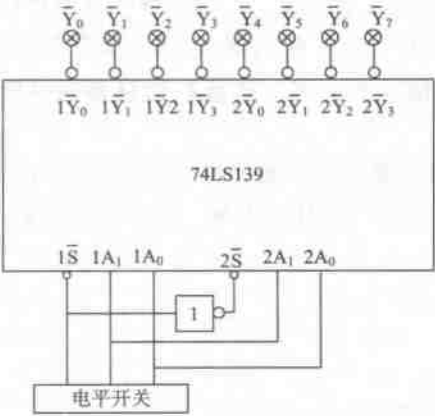


图 7.12 2—4 线扩展 3—8 线译码器

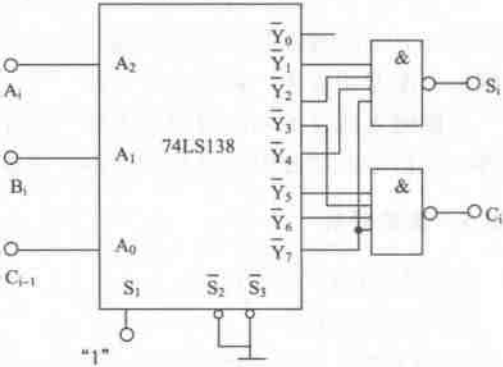


图 7.13 用 74LS138 组成的全加器

3. 译码器 74LS138 逻辑功能的测试

74LS138 的外引脚排列如图 7.11 (b) 所示， S_1 、 $A_2 \sim A_0$ 接逻辑电平开关， \bar{S}_2 与 \bar{S}_3 相连后接到逻辑电平开关， $\bar{Y}_0 \sim \bar{Y}_7$ 依次接 LED 电平显示。按表 7.7 输入电平，观察输出 $\bar{Y}_0 \sim \bar{Y}_7$ 的变化，并将实验结果记入表 7.7 中。

表 7.7 74LS138 功能测试

输入					输出							
S_1	$\bar{S}_2 + \bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
×	1	×	×	×								
0	×	×	×	×								
1	0	0	0	0								
1	0	0	0	1								
1	0	0	1	0								
1	0	0	1	1								

续表

输入					输出							
S_1	$\bar{S}_2 + \bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
1	0	1	0	0								
1	0	1	0	1								
1	0	1	1	0								
1	0	1	1	1								

4. 编码器 74LS148 逻辑功能的测试

74LS148 的外引脚排列如图 7.11 (d) 所示, $\bar{I}_0 \sim \bar{I}_7$ 接逻辑电平开关, $\bar{Y}_2 \sim \bar{Y}_0$ 输出、 \bar{Y}_{EX} 和 \bar{Y}_S 依次接 LED 电平显示, \bar{S} 接逻辑电平开关。按表 7.8 输入信号, 观察输出的变化, 验证优先级别, 并将结果填入表 7.8 中。

表 7.8 74LS148 的功能测试

输入									输出				
\bar{S}	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0	\bar{Y}_{EX}	\bar{Y}_S
1	×	×	×	×	×	×	×	×					
0	1	1	1	1	1	1	1	1					
0	×	×	×	×	×	×	×	0					
0	×	×	×	×	×	×	0	1					
0	×	×	×	×	×	0	1	1					
0	×	×	×	×	0	1	1	1					
0	×	×	×	0	1	1	1	1					
0	×	×	0	1	1	1	1	1					
0	×	0	1	1	1	1	1	1					
0	0	1	1	1	1	1	1	1					

5. 用 74LS138 组成一位全加器

如果设 A_2 为第 i 位加数, A_1 为第 i 位被加数, A_0 为 $(i-1)$ 位的进位, 则第 i 位全加器的逻辑图如图 7.13 所示。用 74LS138 和 74LS20 各一块在实验箱上按图 7.13 连接, 74LS138 和 74LS20 电源用实验箱上的 5V 电源, 74LS20 的输出接 LED 电平指示, 74LS138 的 S_1 、 \bar{S}_2 、 \bar{S}_3 、 A_2 、 A_1 、 A_0 接实验箱上的逻辑电平开关, 测试该全加器的功能, 记录 C_i 和 S_i 状态于表 7.9 中。

表 7.9 74LS138 组成一位全加器测试表

输入			输出	
$A_2 (A_i)$	$A_1 (B_i)$	$A_0 (C_{i-1})$	S_i	C_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

6. 用 74LS138 作数据分配器

(1) 如图 7.14 所示, A_2 、 A_1 、 A_0 作为地址输入端接实验箱上的逻辑电平开关, $\overline{S_2}$ 、 $\overline{S_3}$ 相连作为数据源 N, 输出端 $\overline{Y_0} \sim \overline{Y_7}$ 各接一个反向器 (74LS04 的外引线排列如图 7.15 所示), 然后接至 LED 电平显示, S_1 接 “1” (高电平)。

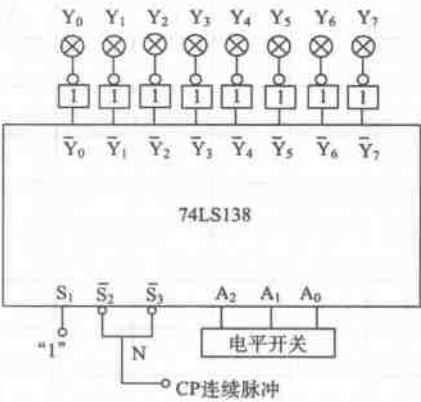


图 7.14 74LS138 用作数据分配器

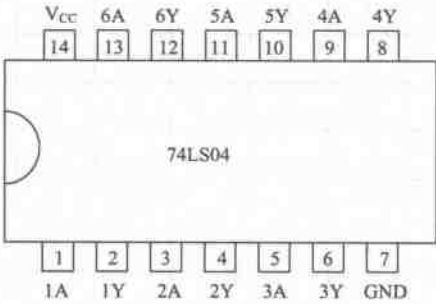


图 7.15 74LS04 外引线排列

(2) 在地址输入端利用电平开关, 按表 7.10 置入地址代码, 数据源 N 端接实验箱上连续脉冲的 1Hz 或 2Hz, 观察在哪一路上有信号输出, 然后在表 7.10 中对应的格中填上脉冲 (□) 符号。

表 7.10 74LS138 作数据分配器测试表

使能	地址代码			数据信号输出端							
S_i	A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	×	×	×								
1	0	0	0								

续表

使能	地址代码			数据信号输出端							
S_1	A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

(3) 将 N 端接数字实验箱上 1kHz 的连续脉冲, 用示波器同时观察并记录输入 CP 和输出 Y 的波形。

(4) 将 N 端接地, CP 连续脉冲从 S_1 端输入, 用示波器同时观察并记录输入 CP 和输出 Y 的波形。

7. 利用 74LS148 组成十进制 (10 个输入) 到 BCD 编码器 (选做)

要求: 用 74LS148 编码器和 74LS00 与非门设计一个 10 输入端的优先编码器。

利用输入使能端 S 将 74LS148 扩展成具有大于 8 输入端的编码器 (构成十进制数到 BCD 编码器)。具有表 7.11 的功能。且当输入端 \bar{I}_8 或 \bar{I}_9 下降到低电平 (即 8 或 9 十进制输入) 时, 二输入端与非门使 74LS148 初级编码器禁止编码。当 \bar{I}_8 和 \bar{I}_9 均为高电平时, 初级编码器 74LS148 正常工作, 这时编码器才对输入数 $\bar{I}_0 \sim \bar{I}_7$ 进行编码。

电路设计好后, 画出设计的实验电路, 并根据表 7.11 进行验证。

表 7.11 十进制 BCD 编码器功能表

输入										输出			
\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{I}_8	\bar{I}_9	Y_3	Y_2	Y_1	Y_0
×	×	×	×	×	×	×	×	×	0	1	0	0	1
×	×	×	×	×	×	×	×	0	1	1	0	0	0
×	×	×	×	×	×	×	0	1	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	1	1	0
×	×	×	×	×	0	1	1	1	1	0	1	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0	0
×	×	×	0	1	1	1	1	1	1	0	0	1	1
×	×	0	1	1	1	1	1	1	1	0	0	1	0
×	0	1	1	1	1	1	1	1	1	0	0	0	1
0	1	1	1	1	1	1	1	1	1	0	0	0	0

7.2.6 实验研究与思考

(1) 74LS138 的赋能输入端有什么用途? 如何用两片 74LS138 构成 4—16 线译码电路? 试画出其电路?

(2) 74LS138 作数据分配器时, 数据源信号从 S_1 端和 N 端输入, 输出端的波形有什么区别?

(3) 设计用译码器实现 $F = AB + \bar{A}BC$, 画出逻辑电路接线图。

7.2.7 实验报告要求

(1) 画出各个实验电路, 列表整理实验结果。

(2) 分析用译码器实现组合电路和用门电路组成组合电路有什么优缺点?

(3) 画出实验波形。

7.3 触发器及其应用

7.3.1 实验目的

(1) 掌握基本 R—S 触发器、D、JK 触发器的逻辑功能。

(2) 掌握 D、JK 触发器逻辑功能的测试方法及使用方法。

(3) 学习用集成触发器构成计数器的方法。

7.3.2 实验原理

触发器是具有记忆功能的二进制存储器件, 是各种时序逻辑电路的基本单元之一。双稳态触发器具有两种稳定状态, 即“1”态 ($\bar{Q}=0, Q=1$) 和“0”态 ($\bar{Q}=1, Q=0$)。触发器依靠一个或数个输入端控制输出的翻转, 当取消输入信号时, 触发器保持原输出状态不变。按其逻辑功能可分成 RS、JK、D、T 触发器。

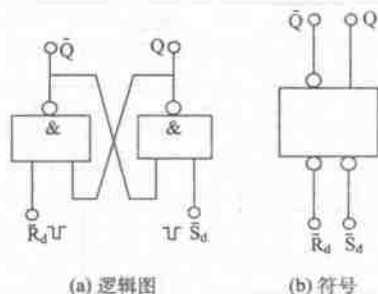


图 7.16 基本 RS 触发器

1. 基本 RS 触发器

图 7.16 为由两个与非门输入、输出交叉连接构成的基本 RS 触发器, 它是无时钟控制低电平直接触发的触发器。基本 RS 触发器具有置“0”、置“1”和保持三种功能。通常称 \bar{S}_d 为置“1”端, 因为 $\bar{S}_d=0$ ($\bar{R}_d=1$) 时触发器被置“1”; \bar{R}_d 为置“0”端, 因为 $\bar{R}_d=0$ ($\bar{S}_d=1$) 时触发器被置“0”, 当 $\bar{R}_d=\bar{S}_d=1$ 时状态保持; $\bar{R}_d=\bar{S}_d=0$ 时, 触发器状态不定, 应避免此种情况发生, 表 7.12

是基本 RS 触发器的逻辑功能表。

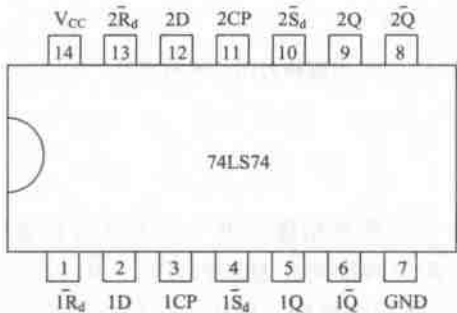
基本 RS 触发器也可用两个“或非门”组成, 此时为高电平触发有效。

表 7.12 RS 触发器的逻辑功能表

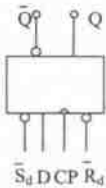
$\overline{R_d}$	$\overline{S_d}$	Q^{n+1}
1	0	1
0	1	0
0	0	不定
1	1	Q^n

表 7.13 D 触发器的功能表

$\overline{R_d}$	$\overline{S_d}$	D	CP	Q^{n+1}
1	1	0	\uparrow	0
1	1	1	\uparrow	1
0	1	\times	\times	0
1	0	\times	\times	1



(a) 引脚排列图



(b) 符号

图 7.17 74LS74 的引脚排列图及逻辑符号

2. D 触发器

在输入信号为单端的情况下，D 触发器用起来最为方便，其次态方程为 $Q^{n+1} = D$ ，通常其输出状态的更新发生在 CP 脉冲的上升沿，故又称为上升沿触发的边沿触发器。D 触发器的状态只取决于触发沿到来前 D 端的状态，D 触发器的应用很广，可用作数字信号的寄存，移位寄存，分频和波形发生器等。有很多种型号可供各种用途的需要而选用。如双 D74LS74、四 D74LS175、六 D74LS174 等。图 7.17 为双 D74LS74 的引脚排列图及逻辑符号。

本实验用的 74LS74 为双 D 触发器，是上升沿触发，触发器的状态取决于时钟脉冲信号 CP 上升沿到来前 D 端的状态，D 触发器的逻辑功能表如表 7.13 所示。

表 7.14 JK 触发器的功能表

$\overline{R_d}$	$\overline{S_d}$	J	K	CP	Q^{n+1}
1	1	0	0	\downarrow	Q^n
1	1	0	1	\downarrow	0
1	1	1	0	1	1
1	1	1	1	\downarrow	$\overline{Q^n}$
0	1	\times	\times	\times	0
1	0	\times	\times	\times	1

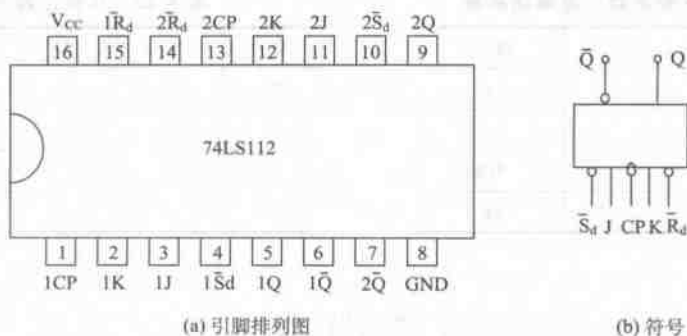


图 7.18 74LS112 的引脚排列图及逻辑符号

3. JK 触发器

在输入信号为双端的情况下, JK 触发器是功能完善、使用灵活和通用性较强的触发器之一。图 7.18 为 74LS112 双 JK 触发器引脚排列图及逻辑符号。 $\overline{R_d}$ 、 $\overline{S_d}$ 为直接复位、置位输入端, 它不受时钟与控制输入端所处状态的影响(图中边框带小圆圈的输入端表示低电平有效)。CP 为时钟输入端, 当 $\overline{R_d}$ 和 $\overline{S_d}$ 都处于高电平时, 只有在 CP 脉冲作用下, 才能使触发器状态改变, 在 CP 脉冲下降沿时触发器状态可转换, 其特征方程为 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 。需要指出的是, 由于 74LS112 双 JK 触发器是利用信号传递延时的差异来进行工作的, 因此要求时钟脉冲有较陡的边沿。JK 触发器的逻辑功能表如表 7.14 所示。

7.3.3 实验设备与器材

- (1) 数字电路实验箱
- (2) 双踪示波器
- (3) 74LS00、74LS74、74LS112

7.3.4 预习要求

- (1) 复习教材中触发器的组成及其功能。
- (2) 了解中规模集成电路 74LS112、74LS74 的外引脚排列及其应用。
- (3) 列出各实验内容的测试表格。

7.3.5 实验内容

1. 测试基本 RS 触发器的逻辑功能

按图 7.16 (a) 所示用二个与非门构成基本 RS 触发器。输入端 $\overline{R_d}$ 、 $\overline{S_d}$ 接逻辑电平开关, 输出端 Q、 \overline{Q} 接电平显示器, 按表 7.15 的要求进行逻辑功能的测试, 并将测试结果填入表 7.15 中。

表 7.15 基本 RS 触发器功能测试表

$\overline{R_d}$	$\overline{S_d}$	Q	\overline{Q}
0	1		
1	1		
1	0		
1	1		
0	0		

2. 双 JK 触发器 74LS112 逻辑功能的测试

- (1) 将 74LS112 中的一个 JK 触发器的 $\overline{R_d}$ 、 $\overline{S_d}$ 、J、K 端依次接逻辑电平开关，CP 接单次脉冲的 (\square) 端，Q 端接 LED 电平显示。
- (2) 测试 $\overline{R_d}$ 、 $\overline{S_d}$ 端的复位、置位功能。按表 7.16 的要求改变 $\overline{R_d}$ 、 $\overline{S_d}$ 端状态 (J、K、CP、Qⁿ 端为任意状态)。观察 Q 端状态的变化，并将结果填入表 7.16 中。
- (3) 测试 JK 触发器的逻辑功能。按表 7.16 的要求改变 J、K、CP、Qⁿ 端状态，观察 Q 端状态变化，并将测试结果填入表 7.16 中。
- (4) 将 CP 接实验箱上 1kHz 的固定连续脉冲， $\overline{R_d}=\overline{S_d}=J=K=1$ ，用双踪示波器观察输入 CP 和输出 Q 的波形。并将它们的波形记录下来。

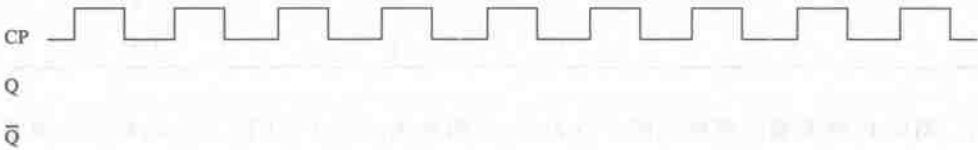


表 7.16 JK 触发器逻辑功能测试表

功能	$\overline{R_d}$	$\overline{S_d}$	J	K	Q ⁿ	CP	Q ⁿ⁺¹
复位	0	1	×	×	×	×	
置位	1	0	×	×	×	×	
JK 功能	1	1	0	0	1	0→1	
						1→0	
	1	1	0	1	1	0→1	
						1→0	
	1	1	1	0	0	0→1	
						1→0	
	1	1	1	0	1	0→1	
						1→0	
	1	1	1	1	0	0→1	
						1→0	
	1	1	1	1	1	0→1	
						1→0	

3. 测试双 D 触发器 74LS74 的逻辑功能

(1) 将 74LS74 中的一个 D 触发器的 \overline{R}_d 、 \overline{S}_d 、D 端依次接逻辑电平开关, CP 接单次脉冲的 ($\square\square$) 端, Q 端接 LED 电平显示。

(2) 测试 \overline{R}_d 、 \overline{S}_d 端的复位、置位功能。按表 7.17 的要求改变 \overline{R}_d 、 \overline{S}_d 端状态 (D、CP、 Q^n 端为任意状态)。观察 Q 端状态的变化, 并将结果填入表 7.17 中。

表 7.17 D 触发器逻辑功能测试表

功能	\overline{R}_d	\overline{S}_d	D	Q^n	CP	Q^{n+1}
复位	0	1	\times	\times	\times	
置位	1	0	\times	\times	\times	
D 功能	1	1	0	0	0 \rightarrow 1	
					1 \rightarrow 0	
	1	1	0	1	0 \rightarrow 1	
					1 \rightarrow 0	
	1	1	1	0	0 \rightarrow 1	
					1 \rightarrow 0	
	1	1	1	1	0 \rightarrow 1	
					1 \rightarrow 0	

(3) 测试 D 触发器的逻辑功能。按表 7.17 的要求改变 D、CP、 Q^n 端状态, 观察 Q 端状态变化, 并将测试结果填入表 7.17 中。

4. 8421 码异步十进制加法计数器

(1) 用 2 片 74LS112 和 74LS00 集成电路 (或 74LS08) 组成图 7.19 所示的 8421 码异步十进制加法计数器。

(2) 将各触发器的输出端 $Q_3 \sim Q_0$ 接到 LED 电平显示, \overline{R}_d 接复位脉冲的 ($\square\square$) 端, CP 接单次脉冲的 ($\square\square$) 端。

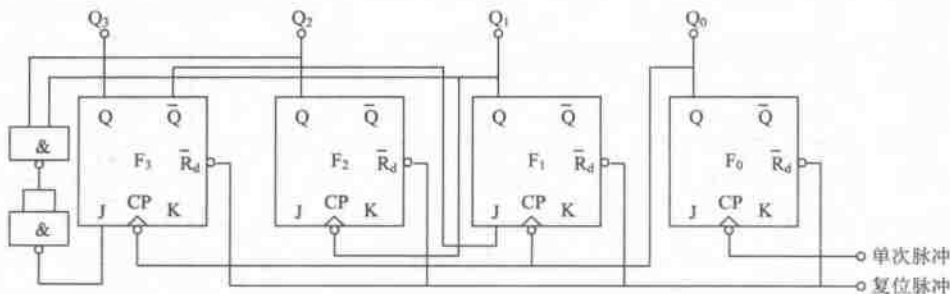


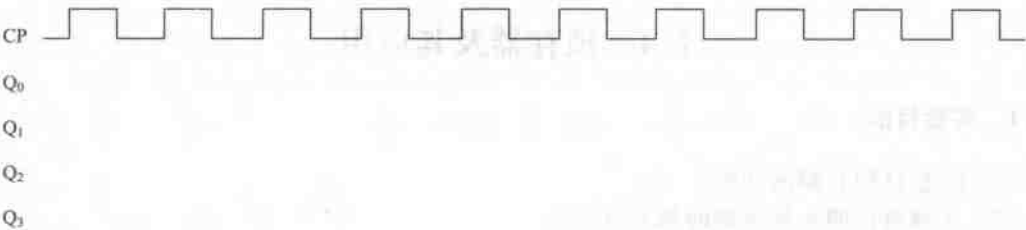
图 7.19 8421 码十进制加法计数器

(3) 先清零，然后依次输入 CP 脉冲，观察 $Q_3 \sim Q_0$ 的变化，并将实验结果记入表 7.18 中。

表 7.18 8421 码异步十进制加法计数器实验结果

CP	二进制码				十进制数
	Q_3	Q_2	Q_1	Q_0	
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					

(4) 将 CP 接到 1kHz 的连续脉冲，用双踪示波器观察输入波形和计数器各触发器的输出波形，并将波形记录下来。



5. 左向移位寄存器

(1) 用 2 片 74LS74 接成图 7.20 所示的左向移位寄存器。

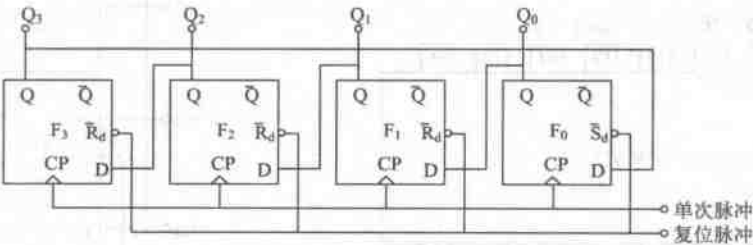


图 7.20 左向移位寄存器

(2) 将各触发器的输出端 $Q_3 \sim Q_0$ 接到 LED 电平显示, $\overline{R_d}$ 或 $\overline{S_d}$ 接复位脉冲的 ($\square\square$) 端, CP 接单次脉冲的 ($\square\square$) 端。

(3) 按动复位脉冲, 使寄存器初始状态 $Q_3 Q_2 Q_1 Q_0$ 为 0001。然后依次输入 CP 脉冲, 观察 $Q_3 \sim Q_0$ 的变化, 并将实验结果记入表 7.19 中。

表 7.19 左向移位寄存器测试表

CP	Q_3	Q_2	Q_1	Q_0
	0	0	0	1
1				
2				
3				
4				

7.3.6 实验研究与思考

- (1) 用 JK 触发器组成同步五进制加法计数器, 试画出其电路。
- (2) 用 JK 触发器组成右向移位寄存器, 试画出其电路。

7.3.7 实验报告要求

- (1) 整理实验数据及表格。
- (2) 画出各实验所测的波形。

7.4 锁存器及其应用

7.4.1 实验目的

- (1) 熟悉 D 锁存器的功能。
- (2) 掌握设计四人抢答器的基本方法。

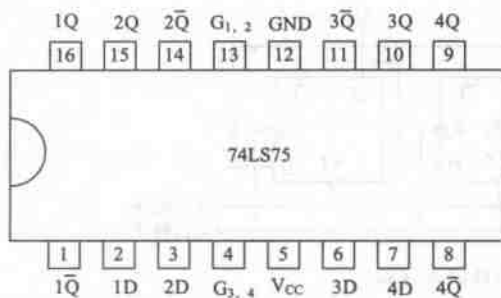


图 7.21 74LS75 外引脚排列图

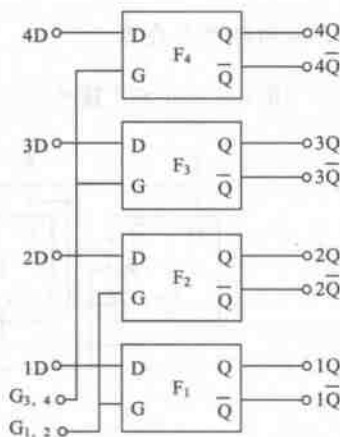


图 7.22 74LS75 的逻辑图

7.4.2 实验原理

锁存器就是对输入数据进行锁存。它与 D 触发器的不同之处在于锁存器的数据送入是由时钟的约定电平来进行的。它主要用于信息的暂存, 所以又称为暂存器、锁定触发器、数码寄存器等。其逻辑函数关系为 $Q^{n+1} = GD + \overline{G}Q^n$ 。本实验所用的集成锁存器为 74LS75, 图 7.21 所示为它的外引脚排列图, 图 7.22 为它的逻辑图, 表 7.20 是它的功能表。这种锁存器是最适合作运算单元和输入/输出(或指示)单元之间二进制数据的暂时储存之用。当使能端(G)为高电平时, 数据 D 输入端的信息便传送到 Q 输出端, 只要使能端保持高电平, 输出端 Q 便随输入数据而变。当使能端变为低电平时, 数据输入端的信息将保持在输出端 Q 中, 直到使能端变为高电平为止。

表 7.20 74LS75 功能表

G	D	Q^n	Q^{n+1}
1	0	×	0
1	1	×	1
0	×	Q^n	Q^n

7.4.3 实验设备与器材

- (1) 数字电路实验箱
- (2) 多路抢答器实验箱
- (3) 74LS75、74LS20、74LS248

7.4.4 预习要求

- (1) 了解锁存器的组成及其功能。
- (2) 了解中规模集成电路 74LS75、74LS248 的外引线排列及其应用。
- (3) 列出各实验内容的测试表格。

7.4.5 实验内容

1. 74LS75 四 D 锁存器的功能测试

将 74LS75 的 $G_{1,2}$ 、 $G_{3,4}$ 、4D~1D 接逻辑电平开关, 4Q~1Q 接 LED 电平显示, 按表 7.21 输入电平, 测试其功能。并将测试结果填入表 7.21 中。

表 7.21 74LS75 功能测试表

输入						输出			
$G_{1,2}$	$G_{3,4}$	1D	2D	3D	4D	1Q	2Q	3Q	4Q
1	1	0	0	0	0				
1	1	0	0	0	1				

续表

输入						输出			
G _{1,2}	G _{3,4}	1D	2D	3D	4D	1Q	2Q	3Q	4Q
1	1	0	0	1	0				
1	1	0	1	0	0				
1	1	1	0	0	0				
0	0	×	×	×	×				

2. 用 74LS75 组成数据锁存显示器

如图 7.23 所示, 用四 D 锁存器 74LS75、译码器 74LS248 和数码管组成数据锁存器。将 74LS75 的 1D~4D 接逻辑电平开关作为数据输入端, 使能端 G_{1,2} 和 G_{3,4} 接到一起作为锁存选通信号 ST, 1Q~4Q 分别接到 7 段译码器的 D—A 端和 LED 电平显示, 数据输出由数码管显示。

按表 7.22 输入数据, 观察数码管输出的变化, 并将输出结果填入表 7.22 中。

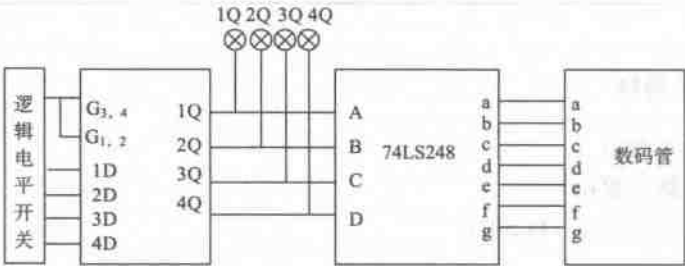


图 7.23 数据锁存器

表 7.22 数据锁存器测试表

输入					输出				数码管显示的字符
ST	1D	2D	3D	4D	1Q	2Q	3Q	4Q	
1	0	0	0	1					
1	0	0	1	1					
1	0	1	1	1					
1	1	0	0	1					
0	0	0	0	1					
0	0	0	1	1					
0	0	1	1	1					
0	1	0	0	1					

3. 四人抢答器

如图 7.24 所示, 用 74LS75 四 D 锁存器和 74LS20、按钮、电阻、发光二极管等元件构成一个四人智力抢答器。当主持人按下复位按钮 K 时, 由于 74LS75 的 G 端为高电平“1”, 这时输入端的数据 1D~4D 均为“0”, 信号“0”输入锁存器, 电路清零, 完成抢答前的准备。一旦四个按钮中有一个先按下, 对应的锁存器输出端 Q 输出高电平“1”, 点亮对应的发光二极管, 同时与非门 A 的输出为高电平“1”, 音乐集成电路得电工作, 扬声器发出“叮咚”响声表示有人抢答。这时, 与非门 B 输出为低电平, 使 74LS75 的使能端 G 为低电平, 从而将 74LS75 电路从接收状态转为锁存, 禁止以后的信号输入锁存器。主持人根据点亮的发光二极管和扬声器发出的响声, 就能判断是那一路有人抢答。当主持人再次按下 K 时, G 又恢复高电平, 准备下一轮的抢答。

7.4.6 实验研究与思考

- (1) 若主持人按钮不起作用, 可能是什么原因?
- (2) 若将图中四个 $2\text{k}\Omega$ 的电阻换成四个 $20\text{k}\Omega$ 的电阻, 电路能否正常工作? 为什么?

7.4.7 实验报告要求

- (1) 整理实验数据和表格。
- (2) 分析实验中出现的故障及解决办法, 写出分析报告。

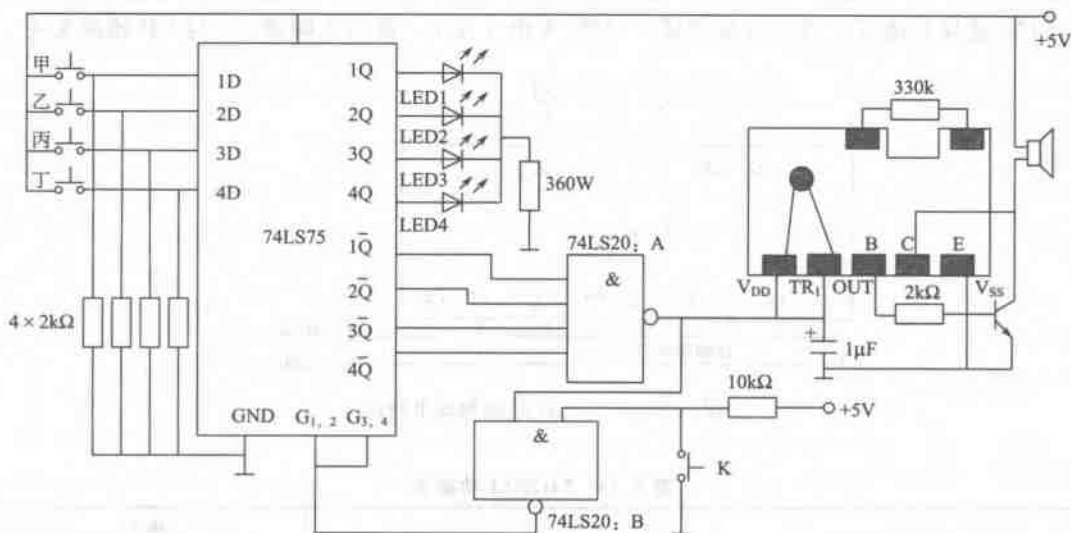


图 7.24 四人智力抢答器电路图

7.5 集成计数器及其应用

7.5.1 实验目的

- (1) 掌握中规模集成电路 74LS161 同步二进制计数器和 74LS162 同步十进制计数器的

功能及其应用。

(2) 观察计数器利用复位端强制复位和利用置数端强制置数的工作过程。

7.5.2 实验原理

计数器是由触发器为基本单元构成的时序逻辑电路，具有累计输入脉冲个数的功能，常用于产生分频信号、程控、测量等领域。

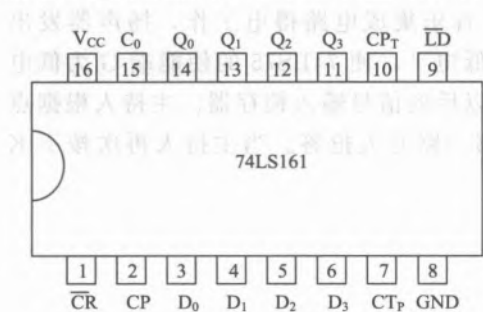


图 7.25 74LS161 外引线排列

按照计数器中触发器翻转次序的不同可分为异步与同步计数器。所谓异步计数器，是指输入计数脉冲只作用于计数器中某些触发器的 CP 端，而其他触发器的 CP 端由低位触发器的输出脉冲控制，因此触发器的状态转换和计数脉冲是异步进行的。所谓同步计数器，是指输入脉冲同时作用于所有的触发器的 CP 端，各触发器的状态转换和输入计数脉冲是同步的。按计数器的编码方法分为二进制、十进制和 N 进制计数器。按计数过程中计数数字增减分为加法计数器与减法计数器和可逆计数器。

本实验中采用中规模集成电路 74LS161 是模 16（4 位二进制）同步计数器，具有计数、预置、保持、清零功能。74LS161 外引脚排列如图 7.25 所示，表 7.23 为它的功能表。74LS161 是异步清零，或称直接清零，只要 \overline{CR} 由 1 变 0，输出立即清 0，与 CP 脉冲无关。

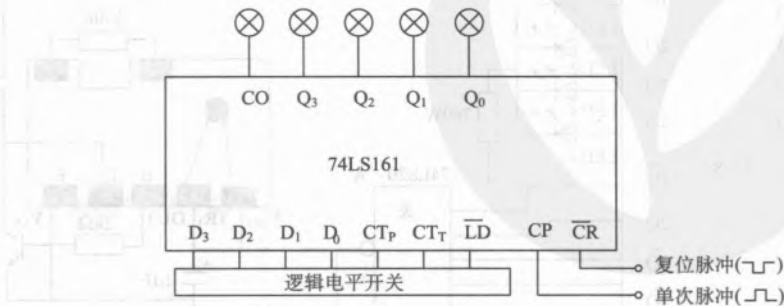


图 7.26 74LS161 功能测试电路图

表 7.23 74LS161 功能表

功能	输入									输出			
	$\overline{R_D}$	\overline{LD}	E_P	E_T	CP	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
清零	0	×	×	×	×	×	×	×	×	0	0	0	0
置数	1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0
计数	1	1	1	1	↑	×	×	×	×	计数			
保持	1	1	0	×	×	×	×	×	×	保持			
	1	1	×	0	×	×	×	×	×				

7.5.3 实验设备与器材

- (1) 数字电路实验箱。
- (2) 数字万用表。
- (3) 集成芯片 74LS161、74LS162、74LS00、74LS04、74LS20、74LS138。

7.5.4 预习要求

- (1) 复习教材有关集成计数器 74LS161 的逻辑电路图及其功能。
- (2) 熟悉 74LS161 的外引脚排列。
- (3) 复习有关用集成计数器构成 N 进制计数器的方法。

7.5.5 实验内容

1. 74LS161 的功能测试

如图 7.24 所示, 将 74LS161 的 $\overline{\text{LD}}$ 、 E_P 、 E_T 、 $\text{D}_3 \sim \text{D}_0$ 依次接逻辑电平开关, $\text{Q}_3 \sim \text{Q}_0$ 、进位输出端 RCO 依次接 LED 电平显示, $\overline{\text{R}_\text{D}}$ 接复位脉冲的 ($\square\square$) 端, CP 接单次脉冲的 ($\square\square$) 端。

(1) 异步清零: 按复位脉冲, 输出应全为 “0”。

(2) 同步置数: 将置数控制端 $\overline{\text{LD}}$ 接低电平, 将 $\text{D}_3 \sim \text{D}_0$ 任选一组二进制数, 按 CP 脉冲, 观察 $\text{Q}_3 \sim \text{Q}_0$ 的变化, 然后再选几组二进制数, 重复上面的步骤。自拟表格记录数据。

(3) 计数: $\overline{\text{R}_\text{D}}$ 、 $\overline{\text{LD}}$ 、 E_P 、 E_T 都为 “1” 时, 输入单次脉冲, 观察 $\text{Q}_3 \sim \text{Q}_0$ 的变化, 将结果填入表 7.24 中。

(4) 保持: $\text{E}_\text{P}=0$ 、 $\text{E}_\text{T}=1$ 或 $\text{E}_\text{P}=1$ 、 $\text{E}_\text{T}=0$ 时, 电路停止计数, 观察输出端的情况。

表 7.24 74LS161 计数功能测试表

CP	二进制码					十进制数
	Q_3	Q_2	Q_1	Q_0	C_0	
0						
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						

续表

CP	二进制码					十进制数
	Q_3	Q_2	Q_1	Q_0	C_O	
11						
12						
13						
14						
15						
16						

表 7.25 六进制计数器

CP	二进制码				十进制数
	Q_3	Q_2	Q_1	Q_0	
0					
1					
2					
3					
4					
5					
6					

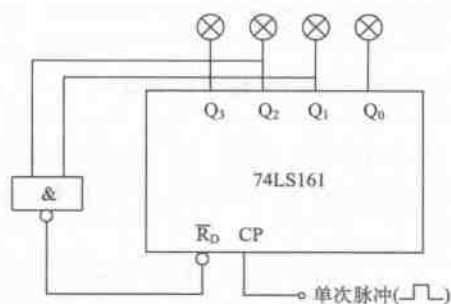


图 7.27 六进制计数器

2. 用 74LS161 构成 N 进制计数器

利用中规模集成计数器中各控制及置数端，通过不同的外部电路连接，使该计数器成为任意进制的计数器，达到功能扩展的目的。

(1) 用反馈归零法（也称复位法）构成六进制计数器。

由于 74LS161 是采用直接清“0”方式工作的，利用清零端 \overline{RD} ，按图 7.27 连接，可以实现 $N=6$ 计数，图中当计数器计到 0110 时，与非门输出为“0”，计数器便被直接置成全“0”状态，0110 是暂态。因此，用这种方法得到的 N 进制计数器有两个问题：一是有一个极短暂的过渡状态 S_N ；二是归零的可靠性较差。

如图 7.27 所示，74LS161 的 $Q_3 \sim Q_0$ 接 LED 电平显示， $D_3 \sim D_0$ 接逻辑电平开关，CP 接单次脉冲，构成六进制的计数器。如果初始状态不是“0000”输入单次脉冲，直到输出为“0000”为止。然后按表 7.25 输入计数脉冲，观察 $Q_3 \sim Q_0$ 的变化，并将结果填入表 7.25 中。

(2) 用反馈置数法（也称置位法）构成十二进制计数器。

图 7.28 所示为十二进制计数器，其状态为 0010~1101。当计数器计到第 11 个脉冲时，其输出为 1101，此时，与非门输出由“1”变为“0”，使置数控制端 \overline{LD} 为“0”，从而计数变为置数，借助于下一个 CP 脉冲，使计数器并行输入端 $D_3 \sim D_0$ 的状态“0010”置入计数

器输出端,从而使计数器回复初始状态。如图 7.28 所示将 74LS161 的 $Q_3 \sim Q_0$ 依次接 LED 电平显示, $D_3 \sim D_0$ 依次接逻辑电平开关,并使 $D_3 D_2 D_1 D_0 = 0010$, CP 接单次脉冲, \bar{R}_D 接高电平。如果初始状态不为“0010”,则输入 CP 脉冲直到输出为“0010”为止。然后按表 7.26 输入计数脉冲,观察 $Q_3 \sim Q_0$ 的变化,并将结果填入表 7.26 中。

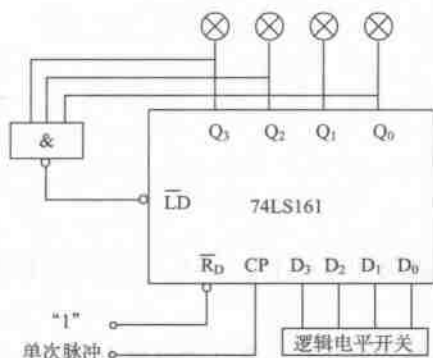


图 7.28 十二进制计数器

表 7.26 十二进制计数器

CP	二进制码				十进制数
	Q_3	Q_2	Q_1	Q_0	
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					

3. 用 74LS162 构成 N 进制计数器

74LS162 是同步十进制计数器,引脚排列与 74LS161 相同,清零方式与 74LS161 不同。74LS162 则为同步清零,在 \bar{R}_D 由 1 变 0 时,还需要 CP 上升沿到达,才能使输出清 0。将 74LS162 按图 7.27 接线,自拟记录表格,然后输入计数脉冲,将结果与 74LS161 比较,有何区别?

4. 用 74LS161 和 74LS138 构成顺序脉冲发生器

如图 7.29 所示,可用 74LS138、74LS161 和 74LS04 构成顺序脉冲发生器。将 74LS138 的 $\bar{Y}_7 \sim \bar{Y}_0$ 经反向器后接至 LED 电平显示,由计数器 74LS161 对 CP 脉冲计数,74LS161 输出端 $Q_2 \sim Q_0$ 连至译码器 74LS138 输入端 $A_2 \sim A_0$ 进行译码,时钟脉冲同时加到 74LS138 的使能控制端 \bar{S}_2, \bar{S}_3 。

当 CP = “1” 时,74LS138 译码器被禁止译码,只有当 CP 为 “0” 时,才进行译码,以消除

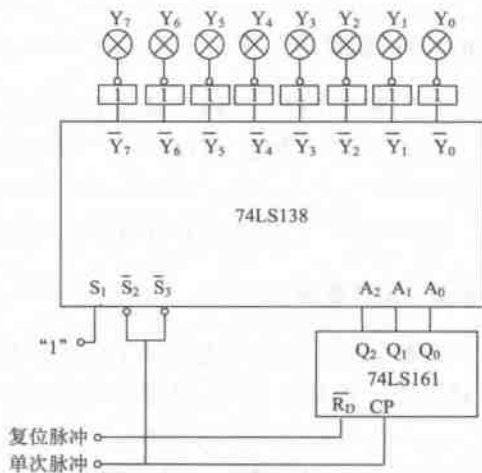
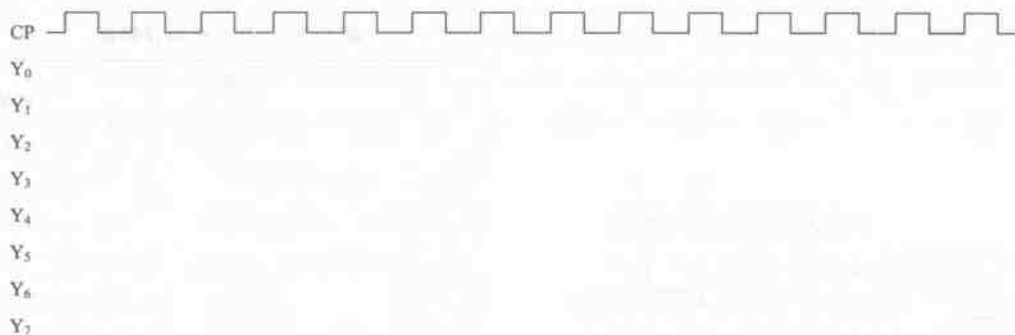


图 7.29 顺序脉冲发生器电路

输出端的过渡干扰脉冲。

先用 $\overline{R_D}$ 清零, 然后输入单次脉冲, 观察 $Y_7 \sim Y_0$ 输出端脉冲产生的情况。再将 CP 接至函数信号发生器 1kHz 的连续脉冲, 用示波器观察 CP 和各路输出的波形, 并注意各路输出波形的位置, 并记录各路输出波形。



7.5.6 实验研究与思考

- (1) 如何用同步清零方式的四位可预置的同步二进制计数器 74LS163, 实现模 9 的计数器? 有几种常用方法?
- (2) 若用 74LS161 实现模 2^7 (7 位二进制) 计数器共需几片? 有几种级联方法?

7.5.7 实验报告要求

- (1) 整理实验数据及表格。
- (2) 画出顺序脉冲发生器与 CP 对应的各路输出波形。
- (3) 在实验过程中若有故障, 写出故障排除过程和分析报告。

7.6 计数、译码与显示

7.6.1 实验目的

- (1) 掌握计数、译码和显示电路的工作原理。
- (2) 认识与熟悉 74LS390、74LS248 (CD4511) 及数码管的外形、管脚排列与使用方法。
- (3) 设计二位以上具有计数显示功能的计数器。

7.6.2 实验原理

计数器输出端的状态反映了计数脉冲的多少, 为了把计数器的输出显示为相应的数, 需要接上译码器和显示器, 计数器采用的码制不同, 译码器电路也不同。

二—十进制译码器用于将二—十进制代码译成十进制数字, 去驱动十进制的数字显示器件, 显示 0~9 十个数字, 由于各种数字显示器件的工作方式不同, 因而对译码器的要求也不一样。中规模集成七段译码器可以把 8421 编码的十进制数译成七段输出 a、b、c、d、e、

f、g，用以驱动共阴极（或共阳极）显示器。

本实验采用 74LS390 异步计数器，74LS248（或 CD4511）七段显示译码器和 OS07011—12 显示器。

1. 74LS390 异步计数器

74LS390 为双十进制异步计数器芯片，它包含一个二进制和一个五进制或 BCD 的计数器，图 7.30 和图 7.32 分别是它的管脚排列图和逻辑图，表 7.27 是 74LS390 的功能表。

由图 7.32 可知，R 为置 0 端。整个电路由两部分组成，通过不同的连接方式，有不同的逻辑功能。

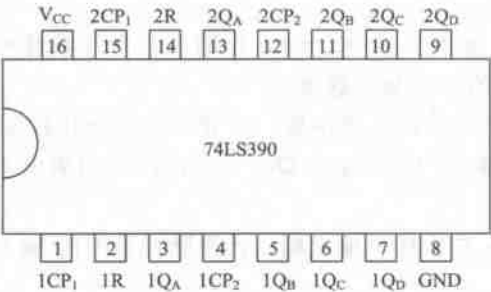


图 7.30 74LS390 引脚排列图

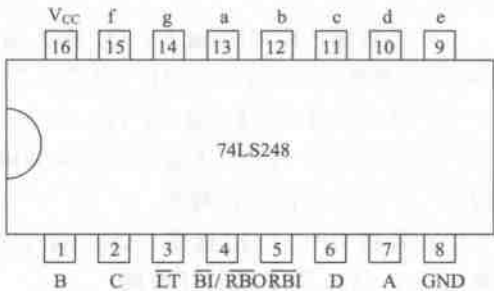


图 7.31 74LS248 引脚排列图

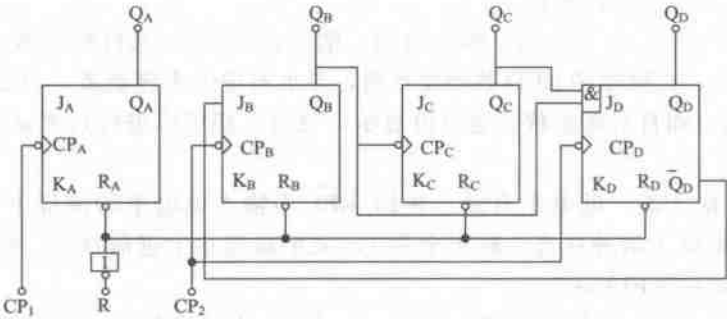


图 7.32 1/2 390 二-五-十计数器逻辑图

表 7.27 74LS390 的功能表

CP	二—十进制（8421 码）				二—五—十进制（7421 码）			
	Q _D	Q _C	Q _B	Q _A	Q _A	Q _D	Q _C	Q _B
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0

续表

CP	二—十进制 (8421 码)				二—五—十进制 (7421 码)			
	Q_D	Q_C	Q_B	Q_A	Q_A	Q_D	Q_C	Q_B
7	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
	在外部将 Q_A 与 CP_2 连接				在外部将 Q_D 与 CP_1 连接			

(1) 计数脉冲由 CP_1 输入, Q_A 作为输出端。由于 $J_A = K_A = 1$, 每输入一个计数脉冲, Q_A 的状态就变换一次, 所以这一级是一个最简单的二进制计数器。

(2) 计数脉冲由 CP_2 输入, Q_D 、 Q_C 、 Q_B 作为输出端, 则构成一个异步五进制计数器。

(3) 若将 CP_2 与 Q_A 连接, 计数脉冲由 CP_1 输入, Q_D 、 Q_C 、 Q_B 、 Q_A 依次作为输出端, 则构成一个异步十进制计数器。

(4) 若将 CP_1 与 Q_D 连接, Q_A 、 Q_D 、 Q_C 、 Q_B 依次作为输出端, 计数脉冲由 CP_2 输入, 则构成一个 7421 码十进制计数器。

2. 74LS48/248、CD4711 显示译码器

(1) 74LS48/248 显示译码器。

74LS48/248 (图 7.31 为它的管脚排列图) 能将四位 8421BCD 码译成七段 (a、b、c、d、e、f、g) 输出, 直接驱动 LED 数码显示器, 显示对应的十进制数, 74LS48/248 不仅能将 BCD 译码输出, 而且对多余状态也给出显示; 另外, 还可以进行灯测试、灭灯、灭零等试验。

\overline{LT} 是灯测试输入端, 低电平有效。在 $\overline{BI}/\overline{RBO}$ 不输入低电平的前提下, 当 $\overline{LT} = 0$ 时, 则无论其他输入端处于何种状态, 输出全为 1, 显示器显示十进制数 8, 平时处于高电平。利用此法可测试显示器的好坏。

\overline{RBI} 是灭零输入端, 低电平有效。 $\overline{LT} = 1$, 且 $\overline{BI}/\overline{RBO}$ 作输出, 不输入低电平, 如果 $\overline{RBI} = 1$, 则在 D、C、B、A 的所有组合下, 仍然都正常显示。如果 $\overline{RBI} = 0$, 输入 DCBA \neq 0000 时, 仍然正常显示。当输入 DCBA = 0000 时, 各段输出 a~g 均为 0, 与 BCD 码 0000 对应的字形 0 熄灭, \overline{RBO} 输出为低电平。利用这一点可达到熄灭十进制数字中不需要的前后 0 位。

$\overline{BI}/\overline{RBO}$ 是输入、输出合用的引出端, 当 $\overline{BI}/\overline{RBO} = 0$ 时, 输出 a~g 均为 0, 灭灯。 \overline{RBO} 为灭零输出, 该器件处于灭零状态时, $\overline{RBO} = 0$, 否则 $\overline{RBO} = 1$ 。

\overline{RBI} (灭零输入) 和 $\overline{BI}/\overline{RBO}$ (灭灯输入) 不同, 后者是无条件的, 而前者只能在 DCBA = 0000 时起作用。

(2) CD4511 显示译码器。

CD4511 也是一种 BCD-7 段显示译码器, 它属于 CMOS 器件, 高电平输出电流可达 25mA。它的引脚排列图如图 7.33 所示。真值表如表 7.28 所示。其有效输出为高电平驱动

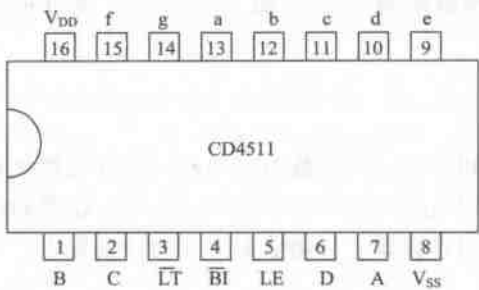


图 7.33 CD4511 引脚排列图

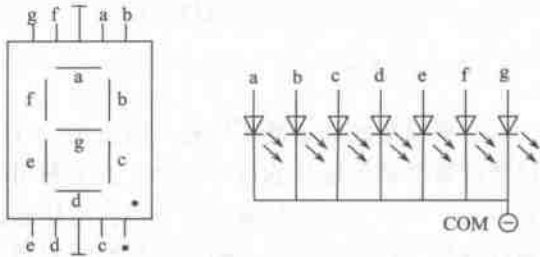


图 7.34 共阴数码管的图形符号和内部电路

共阴极 7 段 LED 数码管，由于 CD4511 驱动能力较强，在使用时，一般要在其各输出端与 LED 的输入端之间加 710Ω 左右的限流电阻。CD4511 与 74LS248 的区别除属于不同类型外，其工作情况也不同：CD4511 不显示多余状态，有锁存控制端 LE，当 LE=1 时，可以将 DCBA 对应的数码锁存并译码输出，但它没有 RBI 灭零（消隐）功能。

表 7.28 CD4511 译码器的真值表

输 入							输 出							显示字符
LE	$\overline{\text{BI}}$	$\overline{\text{LT}}$	D	C	B	A	g	f	e	d	c	b	a	
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	灭
1	1	1	X	X	X	X	不变							维持
0	1	1	0	0	0	0	0	1	1	1	1	1	1	0
0	1	1	0	0	0	1	0	0	0	0	1	1	0	1
0	1	1	0	0	1	0	1	0	1	1	0	1	1	2
0	1	1	0	0	1	1	1	0	0	1	1	1	1	3
0	1	1	0	1	0	0	1	1	0	0	1	1	0	4
0	1	1	0	1	0	1	1	1	0	1	1	0	1	5
0	1	1	0	1	1	0	1	1	1	1	1	0	1	6
0	1	1	0	1	1	1	0	0	0	0	1	1	1	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	0	1	1	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	灭
0	1	1	1	1	1	1	0	0	0	0	0	0	0	灭

3. 七段 LED 数码管

七段 LED 数码管有共阴极和共阳极两类。不同的数码管，要求配用与之相应的译码/驱动器，共阴数码管配用有效输出为高电平的译码/驱动器，共阳数码管配用有效输出为低电平的译码/驱动器。实验中使用共阴数码管，其图形符号和内部电路如图 7.34 所示。只要将

74LS48/248 输出的 a、b、c、d、e、f、g 直接接到数码管相应的输入引线上, 便可根据 74LS48/248 的输入显示相应的数码。

4. 电路的连接

对规模集成计数器采用适当的连接, 可以得到不同计数模数的计数器。用计数器级联可以使计数器的模按指数规律增加, 如果利用附加门电路将输出信号通过一定形式反馈到控制输入端, 可以实现器件最大计数模内的任意进制的计数器。对初值不为 0 的计数要求, 可以通过特殊设计, 使其每个循环的起始值实现预置。

7.6.3 实验设备与器材

- (1) 数字电路实验箱
- (2) 数字万用表
- (3) 集成芯片 74LS390、74LS248 (CD4511)、74LS00

7.6.4 预习要求

- (1) 复习教材有关译码、显示的工作原理和逻辑电路图。

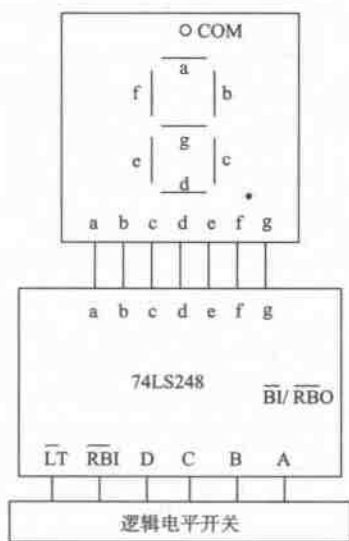


图 7.35 74LS248 功能测试

- (2) 熟悉 74LS248 和显示器数码管的逻辑功能和外引脚排列。

- (3) 了解计数器 74LS390、74LS162 的逻辑功能和电路结构。

- (4)、复习有关用集成计数器构成 N 进制计数器的方法。

7.6.5 实验内容

1. 74LS248 的功能测试

- (1) 按图 7.35 接好线路, 将译码器 74LS248 的 \overline{LT} 、 \overline{RBI} 、DCBA 接逻辑电平开关, 并使 $\overline{LT} = 1$, $\overline{RBI} = 1$; $\overline{BI}/\overline{RBO}$ 接发光二极管。再将 74LS248 的 a、b、c、d、e、f、g 和数码管的输入端 a、b、c、d、e、f、g 相连, 然后根据表 7.29 的要求改变译码器输入端的输入信号, 记录数码管显示字形于表 7.29 中。

表 7.29 七段译码和数码管显示功能测试

输入						$\overline{BI}/\overline{RBO}$	数码管显示字形
\overline{LT}	\overline{RBI}	D	C	B	A		
1	1	0	0	0	0	1	
1	×	0	0	0	1	1	
1	×	0	0	1	0	1	

续表

输入							数码管显示字形
$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A	$\overline{\text{BI/RBO}}$	
1	×	0	0	1	1	1	
1	×	0	1	0	0	1	
1	×	0	1	0	1	1	
1	×	0	1	1	0	1	
1	×	0	1	1	1	1	
1	×	1	0	0	0	1	
1	×	1	0	0	1	1	
1	×	1	0	1	0	1	
1	×	1	0	1	1	1	
1	×	1	1	0	0	1	
1	×	1	1	0	1	1	
1	×	1	1	1	0	1	
1	×	1	1	1	1	1	
1	0	0	0	0	0	0	
×	×	×	×	×	×	0 (输入)	
0	1	×	×	×	×	1	

(2) 灭零试验：将 $\overline{\text{BI/RBO}}$ 接 LED 电平显示，拨动电平开关，使 $\overline{\text{RBI}} = 0$ ，观察 $\text{DCBA} \neq 0000$ 时， $a \sim g$ 相应的 LED 发光管的显示情况。当 $\text{DCBA} = 0000$ 时，观察 $a \sim g$ 和 $\overline{\text{BI/RBO}}$ 相应的 LED 发光管的显示情况。并将结果记录在表 7.29 中。

(3) 灭灯试验：断开 $\overline{\text{BI/RBO}}$ 与 LED 发光二极管的连线，将它接到电平开关上，并输入一个低电平，改变其他输入端的电平，观察数码管显示情况。并将结果记录在表 7.29 中。

(4) 灯测试功能：在 $\overline{\text{BI/RBO}}$ 不输入低电平的前提下，当 $\overline{\text{LT}} = 0$ ，其他输入端为任意状态，观察数码管显示情况。并将结果记录在表 7.29 中。

2. 一位计数译码显示电路

(1) 如图 7.36 所示，将 74LS390 连接成 8421 码十进制计数器形式。

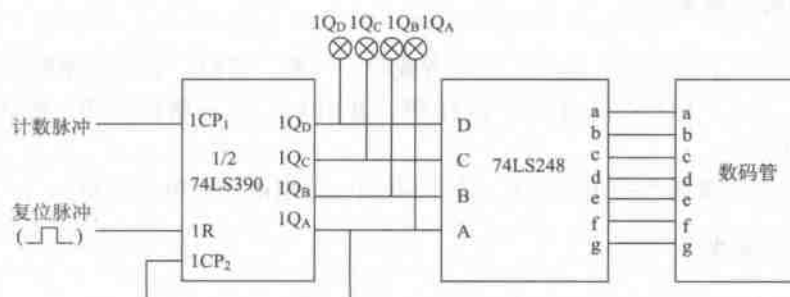


图 7.36 一位计数译码显示电路

(2) 将计数器 74LS390、74LS248 译码/驱动器和数码管按图 7.36 接线。

(3) 将计数器清零, 然后由 CP_1 送入计数脉冲, 观察由 LED 显示的计数器输出状态及数码管显示的字形, 将结果记入表 7.30 中。

表 7.30 一位计数、译码、显示综合测试表

计数脉冲 (CP_1)	计数器逻辑状态				数码管 显示字形
	$1Q_D$	$1Q_C$	$1Q_B$	$1Q_A$	
0					
1					
2					
3					
4					
7					
6					
7					
8					
9					
10					

3. 二位计数译码显示电路

用一片 74LS390、二片 74LS248、二片数码管显示器和与非门连接成如图 7.37 所示的二位计数、译码、显示电路。由 $1CP_1$ 端输入 1Hz 的连续脉冲, 观察码管的显示状态。并自拟表格记录二位计数、译码、显示电路显示的最小值和最大值。

4. 设计性实验 (选做)

试利用二片 74LS162 同步计数器、二片 74LS248、二片数码管显示器和与非门设计一个 1~12 显示的小时计数译码显示电路, 画出逻辑电路图, 并通过实验实现该功能。

7.6.6 实验研究与思考

- (1) 在图 7.37 中, 由 CP_1 输入 1kHz 方波时, 计数、译码、显示电路能否正常工作?
- (2) 把图 7.37 中 74LS390 改接成 7421 码, 并由 CP_2 输入单次脉冲, 则此译码器和显示器能否正常工作?
- (3) 共阴和共阳数码管的内部结构有什么不同? 分别由什么电平驱动?

7.6.7 实验报告要求

- (1) 整理实验记录、分析实验结果。
- (2) 总结计数、译码、显示电路各部分功能和特点。

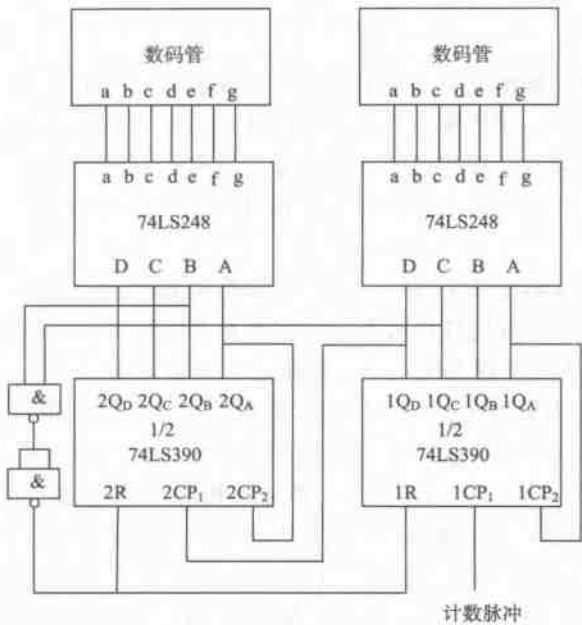


图 7.37 二位计数译码显示电路

- (3) 总结实现计数的清零法和置数法在结构上有何差别？
- (4) 如实验过程中出现故障，记录故障现象，并说明排除故障的方法。

7.7 移位寄存器及其应用

7.7.1 实验目的

- (1) 熟悉移位寄存器的结构及工作原理。
- (2) 掌握中规模集成电路 74LS194 双向移位寄存器的逻辑功能和使用方法。
- (3) 掌握移位寄存器的应用。

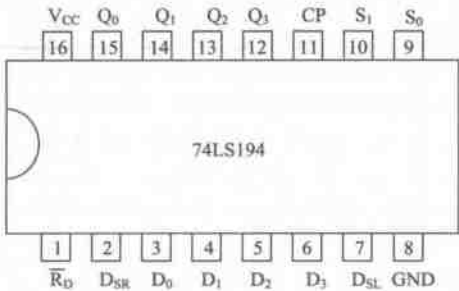


图 7.38 74LS194 管脚排列图

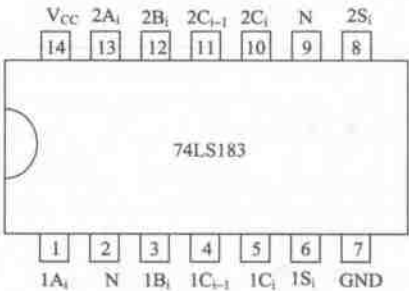


图 7.39 74LS183 管脚排列图

7.7.2 实验原理

寄存器是由多级触发器构成的,用来存储代码或数据的逻辑器件。若寄存器中各位数据在移位控制信号的作用下,能依次向高位或低位移动一位,具有这种功能的寄存器称为移位寄存器。移位寄存器的类型,按移位的方式可分为左移、右移和双向移位寄存器;按其输入方式可分为并行输入、并行输出、并行输入、串行输出、串行输入、并行输出、串行输入、串行输出等几种。

本实验所用移位寄存器是 74LS194,它的引脚排列如图 7.38 所示。下面予以介绍。

74LS194 是集成的四位双向移位寄存器,它具有并行输入、并行输出、左移和右移的功能。这些功能均通过模式控制端 S_1 、 S_0 来确定。当清零端 ($\overline{R_D}$) 为低电平时,输出端 (Q_0 、 Q_1 、 Q_2 、 Q_3) 均为低电平;当工作方式控制端 S_1 和 S_0 端都为低电平时,时钟 CP 端被禁止,移位寄存器保持不变。当工作方式控制端 (S_1 、 S_0) 均为高电平时,在时钟 CP 上升沿作用下,并行数据 (D_0 、 D_1 、 D_2 、 D_3) 被送入相应的输出端 (Q_0 、 Q_1 、 Q_2 、 Q_3),此时,串行数据被禁止;当 S_1 端为低电平 S_0 端为高电平时,在时钟 CP 上升沿作用下进行右移操作,数据由 D_{SR} 端送入;当 S_1 端为高电平, S_0 端为低电平时,在时钟 CP 上升沿作用下进行左移操作,数据由 D_{SL} 端送入。在后三种操作中,都是同步的,即必须有时钟信号,在时钟信号的上升沿到来时,进行送数、左移和右移操作。表 7.31 为 74LS194 的功能表。

表 7.31 74LS194 功能表

功能	输入										输出			
	$\overline{R_D}$	S_1	S_0	CP	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
清零	0	×	×	×	×	×	×	×	×	×	0	0	0	0
保持	1	×	×	0	×	×	×	×	×	×	保持			
	1	0	0	×										
送数	1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
右移	1	0	1	↑	1	×	×	×	×	×	1	Q_0^n	Q_1^n	Q_2^n
	1	0	1	↑	0	×					0	Q_0^n	Q_1^n	Q_2^n
左移	1	1	0	↑	×	1	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	1
	1	1	0	↑	×	0					Q_1^n	Q_2^n	Q_3^n	0

7.7.3 实验器材

- (1) 数字电路实验箱
- (2) 数万用表
- (3) 集成电路 74LS194、74LS183、74LS74

7.7.4 预习要求

- (1) 复习寄存器、移位寄存器的工作原理、功能和特点。
- (2) 预习实验所用器件的逻辑功能、外部引脚排列及其应用。

7.7.5 实验内容

1. 集成移位寄存器的功能测试

将 74LS194 按图 7.40 接线, 输出端 $Q_0 \sim Q_3$ 接 LED 电平显示, $\overline{R_D}$ 接复位脉冲, CP 接单次脉冲, 工作方式控制端 S_1 、 S_0 和数据输入端 $D_0 \sim D_3$ 接逻辑电平开关。接通电源, 即可进行功能测试。

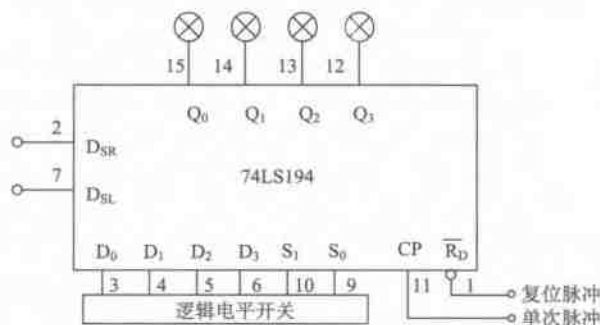


图 7.40 74LS194 功能测试图

(1) 清零: 按复位按钮, 使 $\overline{R_D} = 0$, 这时 $Q_0 \sim Q_3$ 对应的发光二极管全灭, 即 $Q_0 Q_1 Q_2 Q_3 = 0000$ 。

(2) 保持: 使 $\overline{R_D} = 1$, $CP = 0$ 状态, 改变 S_1 、 S_0 以及 $D_0 \sim D_3$ 的状态, 输出状态不变。或者使 $\overline{R_D} = 1$, $S_1 = S_0 = 0$, 按动单次脉冲, 输出状态仍不变。

(3) 置数: 使 $\overline{R_D} = 1$, $S_1 = S_0 = 1$, 数据输入端 $D_0 \sim D_3 = 1001$, 按动单次脉冲, 这时数据已存入 $Q_0 \sim Q_3$, 发光二极管此时应为亮、灭、灭、亮。变换数据 $D_0 \sim D_3 = 1011$, 输入单次脉冲, 则数据 1011 在 CP 上升沿时存入 $Q_0 \sim Q_3$ 中。

(4) 右移:

① 将 Q_3 与 D_{SR} 相连, 按步骤 (3) 先置入数据, 按动 CP 脉冲, 使 $Q_0 \sim Q_3 = 1000$ (这时使 $\overline{R_D} = 1$, $S_1 = S_0 = 1$, $D_0 \sim D_3 = 1000$)。再置 $S_1 = 0$, $S_0 = 1$, 为右移方式, 输入单次脉冲, 移位寄存器这时在 CP 上升沿时实现右移操作。按动 4 次单次脉冲, 一次移位循环结束。将观察结果 $Q_0 \sim Q_3$ 的状态记入表 7.32 中。

② 置入数据, 按动 CP 脉冲, 使 $Q_0 \sim Q_3 = 1000$ (这时使 $\overline{R_D} = 1$, $S_1 = S_0 = 1$, $D_0 \sim D_3 = 1000$)。再置 $S_1 = 0$, $S_0 = 1$, $D_{SR} = 0$, 其余不变, 按动 4 次单次脉冲, 将观察结果 $Q_0 \sim Q_3$ 的状态记入表 7.32 中。

(5) 左移:

① 将 Q_0 与 D_{SL} 相连, 按步骤 (3) 先置入数据, 按动 CP 脉冲, 使 $Q_0 \sim Q_3 = 0001$ (这时使 $\overline{R_D} = 1$, $S_1 = S_0 = 1$, $D_0 \sim D_3 = 0001$)。再置 $S_1 = 1$, $S_0 = 0$, 为左移方式, 输入单次脉冲, 移位寄存器这时在 CP 上升沿时实现左移操作。按动 4 次单次脉冲, 一次移位循环结束。将观察结果 $Q_0 \sim Q_3$ 的状态记入表 7.32 中。

② 置入数据，按动 CP 脉冲，使 $Q_0 \sim Q_3 = 0001$ （这时使 $\overline{R_D} = 1$ ， $S_1 = S_0 = 1$ ， $D_0 \sim D_3 = 0001$ ）。再置 $S_1 = 1$ ， $S_0 = 0$ ， $D_{SL} = 0$ ，其余不变，按动 4 次单次脉冲，将观察结果 $Q_0 \sim Q_3$ 的状态记入表 7.32 中。

表 7.32 74LS194 移位功能测试表

输入						输出			
功能	$\overline{R_D}$	S_1	S_0	D_{SL}	D_{SR}	Q_0	Q_1	Q_2	Q_3
置数	1	1	1	×	×	1	0	0	0
右移	1	0	1	×	Q_3				
				×	0				
置数	1	1	1	×	×	0	0	0	1
左移	1	1	0	Q_0	×				
				0	×				

2. 用 74LS74 实现扭环形计数器

如图 7.41 所示，用 2 片 74LS74 接成扭环形计数器。

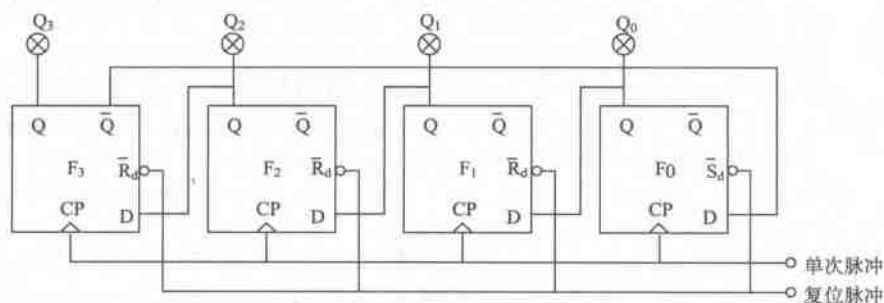


图 7.41 74LS74 实现扭环形计数器

先按复位脉冲，设置扭环形计数器的初始状态为 0001。输入单次脉冲，观察 $Q_3 \sim Q_0$ 的

状态变化，并将结果记入表 7.33 中。

表 7.33 扭环形寄存器

移位脉冲	Q_3	Q_2	Q_1	Q_0
	0	0	0	1
↑				
↑				
↑				
↑				
↑				
↑				
↑				
↑				

3. 用 74LS194 实现 $J_n+1 \rightarrow J_n$

用一个移位寄存器、D 触发器和加法器 74LS183（管脚排列如图 7.39 所示）连接成移位寄存器存一个数并和另一个数相加的电路。

(1) 按图 7.42 所示电路接线，然后按动复位脉冲使 74LS194 清“0”，同时 D 触发器置“1”。

(2) 然后断开开关 K，按动单次脉冲，将数据 $D_0 \sim D_3 = 0001$ 置入移位寄存器（此时 $S_1 = S_0 = 1$ ），使 $Q_0 \sim Q_3 = 0001$ 。

(3) 合上开关 K，并使 $S_0 = 0$ ， $S_1 = 1$ ，让寄存器具有左移的功能。

(4) 输入单次脉冲（4 次），观察移位寄存器的输出情况，并将观察结果记入表 7.34 中。

(5) 改变数据端的输入数据，重复（1）、（4）步骤，观察移位相加的情况，是否符合 $J_n+1 \rightarrow J_n$ ，并自拟表格记录观察结果。

表 7.34 $J_n+1 \rightarrow J_n$ 测试表

CP	J_n （相加前）				J_n （相加后）			
	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0
1								
2								
3								
4								

4. 累加运算

两数相加操作在 CP 脉冲的控制下，从最低位开始逐位串行完成，即每来一个 CP 脉冲，

J_A 和 J_B 各左移一位, 同时通过全加器完成一位加法操作, 并把相加所得的和数存放到 J_A 中原来的最高位。 J_B 的最低位循环移到它自己的最高位。第一个脉冲后, J_A 和 J_B 最低位存放的内容现已经变成了两个二进制数的次低位, 并通过 J_A 又形成了间接新的 S_i 和 C_i , 以下以次类推。若相加的二进制数有 n 位, 那么经过 N 个 CP 脉冲之后, J_A 的数据为两个二进制数之和, J_B 的数据则循环移了一周, 保持原来的数据。

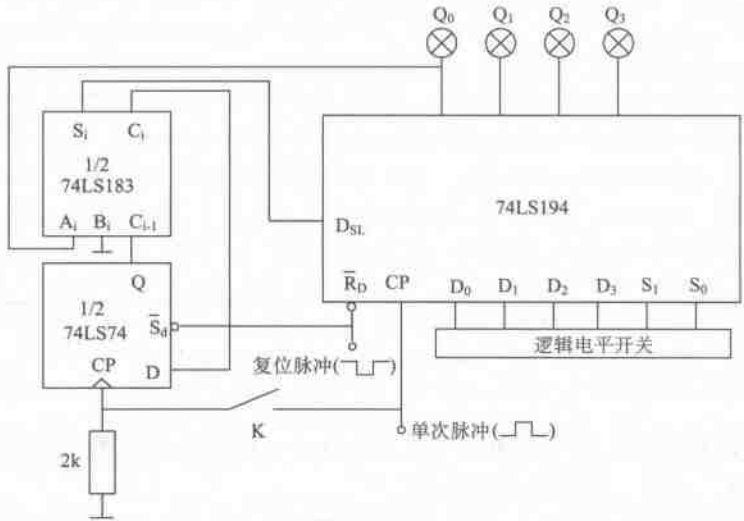


图 7.42 $J_A + 1 \rightarrow J_A$ 实验电路

如图 7.43 所示, 将两个双向移位寄存器 74LS194、全加器 74LS183 和 D 触发器 74LS74 连接成串行累加器 $J_A + J_B \rightarrow J_A$ 的电路。将 $\overline{R_D}$ 接复位脉冲 (⌋⌋) 端, S_1 、 S_0 和两个移位寄存器的数据输入端 $D_3 \sim D_0$ 接逻辑电平开关, CP 接单次脉冲 (⌋⌋) 端, $Q_3 \sim Q_0$ 接 LED 电平显示。

表 7.35 74LS194 组成的 $J_A + J_B \rightarrow J_A$ 的加法电路测试表

相加前								CP	相加后							
J _A				J _B					J _A				J _B			
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀		Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	1	0	0	0	1	4 ↑								
0	0	1	0	0	0	1	0	4 ↑								
0	1	0	0	0	1	0	0	4 ↑								
0	1	0	1	0	1	0	1	4 ↑								
0	1	1	0	0	1	1	0	4 ↑								

- (1) 按复位脉冲, 使 J_A 、 J_B 和 D 触发器同时清零。
- (2) $\overline{R_D}=1$ 、 $S_1=S_0=1$, J_A 和 J_B 的数据输入端 $D_3D_2D_1D_0=0101$ 。
- (3) 按 CP 脉冲进行置数, 使 J_A 和 J_B 的输出 $Q_3Q_2Q_1Q_0=0101$ 。

(4) 连续按 CP 脉冲四次, 观察两个移位寄存器的输出结果, 并将测试结果记入表 7.35 中。

(5) 按表 7.35 改变 J_A 和 J_B 的输入数据, 重复步骤 (1) ~ (4), 自拟表格记录测试结果。

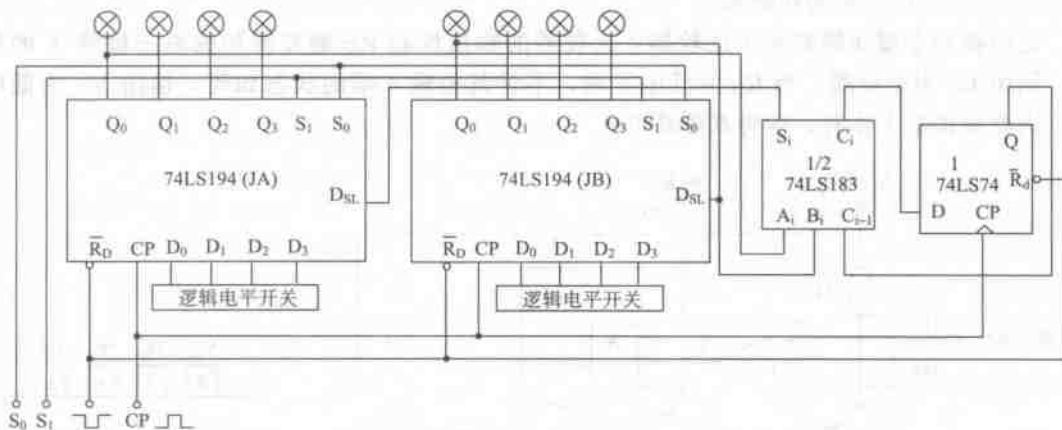


图 7.43 $J_A + J_B \rightarrow J_A$ 的累加电路

7.7.6 实验研究与思考

- (1) 移位寄存器有哪些应用?
- (2) 说明表 7.32 中, 右移和左移时, 步骤 (a) 和步骤 (b) 的移位方式有何不同特点?
- (3) 在串/并行转换中, 若二进制代码高位在前, 低位在后, 移位寄存器应采用哪种方式传输?

7.7.7 实验报告要求

- (1) 整理实验数据和表格, 分析实验结果, 判断结果与理论是否相符?
- (2) 总结移位寄存器的特点。
- (3) 如实验过程中出现故障, 记录故障现象, 并说明排除故障的方法。

7.8 555 定时电路及其应用

7.8.1 实验目的

- (1) 熟悉基本定时电路的工作原理及定时元件 RC 对振荡周期和脉冲宽度的影响。
- (2) 掌握用 555 集成定时器的典型应用。

7.8.2 实验原理

集成定时器是一种模拟、数字混合型的中规模集成电路, 只要外接适当的电阻、电容等元件, 可方便地构成单稳态触发器、多谐振荡器和施密特触发器。因而在波形产生和变换、

测量和控制、家用电器和电子玩具等许多领域中都得到很广泛的应用。

定时器有双极型和 CMOS 两大类, 结构和工作原理基本相似。通常双极型定时器具有较大的驱动能力, 而 CMOS 定时器则具有功耗低, 输入阻抗高等优点。555 定时器工作的电源电压很宽, 并可承受较大的负载电流。图 7.44 为集成定时器的内部逻辑图和引脚图, 表 7.36 为 555 定时器的功能表。

定时器的主要功能取决于比较器, 比较器的输出控制 RS 触发器和放电三极管 T 的状态。图中 R_D 为复位端, 当 R_D 为低电平时, 不管其他输入端的状态如何, 输出 V_O 为低电平。因此在正常工作时, 应将其接高电平。

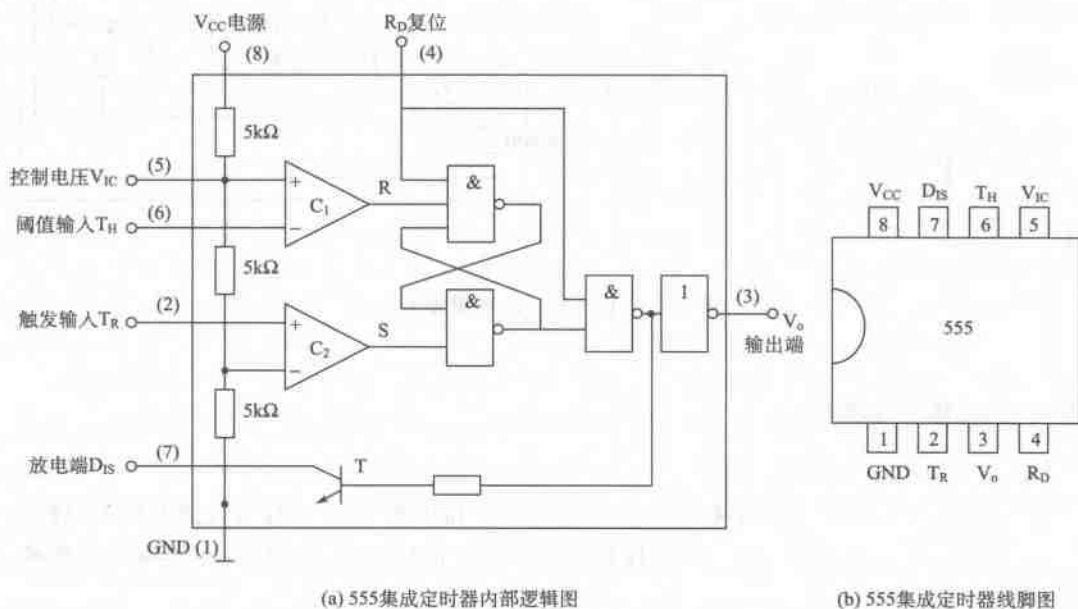


图 7.44 555 定时器内部逻辑图和引脚图

由图 7.44 可知, 当 7 脚悬空时, 比较器 C_1 和 C_2 的比较电压分别为 $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$ 。

当 $T_H > \frac{2}{3}V_{CC}$, $T_R > \frac{1}{3}V_{CC}$ 时, 比较器 C_1 输出低电平, 比较器 C_2 输出高电平, 基本 RS 触发器被置“0”, 放电三极管 T 导通, 输出端 V_O 为低电平。

当 $T_H < \frac{2}{3}V_{CC}$, $T_R < \frac{1}{3}V_{CC}$ 时, 比较器 C_1 输出高电平, 比较器 C_2 输出低电平, 基本 RS 触发器被置“1”, 放电三极管 T 截止, 输出端 V_O 为高电平。

当 $T_H < \frac{2}{3}V_{CC}$, $T_R > \frac{1}{3}V_{CC}$ 时, 基本 RS 触发器 $R=1$ 、 $S=1$, 触发器状态不变, 电路亦保持原状态不变。表 7.36 为 555 定时器的功能表。

表 7.36 555 定时器功能表

阈值输入 T_H	触发输入 T_R	复位 R_D	输出 Q^{n+1}	三极管 T 状态	功能
\times	\times	0	0	导通	直接复位
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	1	截止	置 1
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	0	导通	置 0
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	Q^n	不变	保持

7.8.3 实验器件

- (1) 数字电路实验箱
- (2) 双踪示波器
- (3) 数字万用表
- (4) 555 集成芯片

7.8.4 预习要求

- (1) 复习 555 定时电路的有关章节, 熟悉其内部电路结构和工作原理。
- (2) 熟悉 555 定时器的典型应用。
- (3) 根据电路中电阻、电容的数值计算有关参数。

7.8.5 实验内容

1. 单稳态触发器

单稳态触发器在外来脉冲作用下, 能够输出一定幅度与宽度的脉冲, 输出脉冲的宽度就是暂稳态的持续时间。

- (1) 如图 7.45 所示, 将 555 定时器构成单稳态触发器, u_i 接连续脉冲。将 LM1620 函

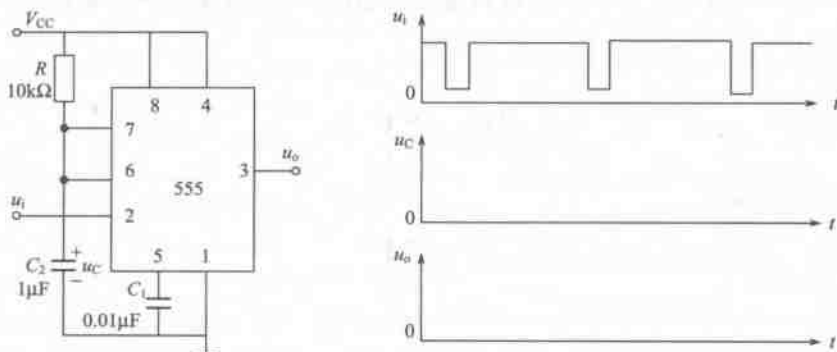


图 7.45 单稳态触发器实验电路图

入 $f=100\text{Hz}$ 的三角波, 打开函数信号发生器的电平开关, 使输出电平低电平在 0V 基准线上, 调节函数信号发生器的幅度旋钮, 使 $u_{\text{tp}}=7\text{V}$ 左右, 用双踪示波器观察并描绘 u_i 和 u_o 的波形。测出它们的周期和幅度, 并在图上直接标出上限触发电平、下限触发电平, 算出回差电压。

(2) 接上 R_w 使电压控制端 5 的电压分别为 2V 、 4V 电压, 在示波器上观察该电压对输出波形的脉冲宽度、上下限触发电平以及回差电压有何影响, 并作数据记录。

4. 模拟声响电路

图 7.48 示出一种救护车工模拟声响电路。救护车用一只低频振荡器 I 去控制一个高频振荡器 II。低频振荡器 I 的频率较低约 1Hz , 高频振荡器 II 的频率由低频振荡器 I 调制在两个频率, 当低频振荡器 I 输出高电平时, II 振荡频率低, 当低频振荡器 I 输出低电平时, II 振荡频率高, 从而发出“滴, 嘟, 滴, 嘟……”的声音。按图 7.48 接线, 然后接通电源, 试听音响效果。调节电阻 R_2 可改变振荡器的频率, 试听音响效果。

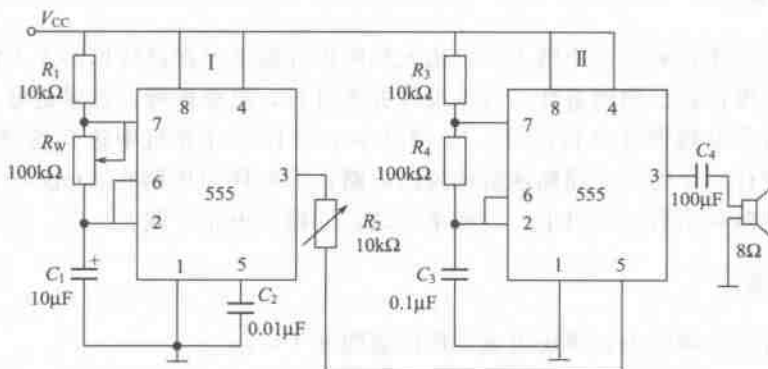


图 7.48 模拟声响实验电路图

7.8.6 实验研究与思考

- (1) 单稳态触发器要求触发脉冲宽度小于输出脉冲宽度, 为什么?
- (2) 什么是施密特触发器的回差(滞回)特性?
- (3) 利用多谐振荡器产生每秒 1Hz 的振荡频率, 如何选择元件参数?

7.8.7 实验报告要求

- (1) 按实验要求整理实验数据。
- (2) 写出实验内容 1、2、3 的测试结果及画出相关波形, 表格自拟。
- (3) 分析单稳态触发器输出脉冲宽度 t_w 的理论值和测量值的误差。
- (4) 计算图 7.45 中多谐振荡器的频率, 并分析 t_{PH} 、 t_{PL} 的理论值和测量值的误差。
- (5) 分析模拟声响电路的工作原理。

第 8 章 电子技术课程设计

本章是通过一个综合运用模拟电子技术和数字电子技术知识的设计课题的描述、原理说明、定性和定量计算说明以及几个章节的相关设计电路及仿真分析,阐述了进行电子技术课程设计的过程和方法,第一节是原理说明,后续内容分别论述与该设计相关的知识点,把它们分为正弦波信号发生电路设计、非正弦波发生器电路设计、中规模组合逻辑电路设计、时序电路设计等模块以及模块的功能分析,最后给出综合电路设计实例。

8.1 阶梯波信号发生器原理

8.1.1 设计要求

阶梯波信号发生器的设计原则上只给出大致的设计要求,在设计思路上不约束同学们的思维,使之可以发挥自己的创造性,力求设计方案可行,思路独特,效果良好。要求选用模拟电路器件和数字电路器件进行设计,用 Multisim 软件在计算机中进行仿真分析和设计,设计指标:①设计一个能产生周期性阶梯波的电路;②阶梯波周期在 20ms 左右;③输出电压范围 10V;④阶梯个数 5 个以上;⑤频率可调;⑥输出电压可调。

8.1.2 设计原理

阶梯波信号发生器可由分模块组成其框图如图 8.1 所示。



图 8.1 阶梯波信号发生器框图

阶梯波信号发生器原理主要包括方波的产生,计数器、缓冲器与比例运算放大器合理的运算分配比例数从而产生需要的某个台阶数的阶梯波波形。

五阶梯波信号发生电路原理如图 8.2 所示,此电路的阶梯的定量计算说明如图 8.3 所示。阶梯波台阶输出电压计算如表 8.1 所示。

对阶梯波台阶数的要求是通过改变计数器(74LS161/74LS90 等)的计数状态来实现,第一级运放实现反向加法运算,运算公式如表 8.1 所示,第二级运放实现电压跟随运算。

表 8.1 阶梯波台阶输出电压计算

74LS90			第 1 级运放(比例运算)输出/V	第 2 级运放(电压跟随)输出/V
Q_D	Q_C	Q_B	U_3	U_4
0	0	0	0	0

续表

74LS90			第 1 级运放（比例运算）输出/V	第 2 级运放（电压跟随）输出/V
0	0	0	-1.25	2
0	1	0	-2.5	4
0	1	1	-3.75	6
1	0	0	-5	8

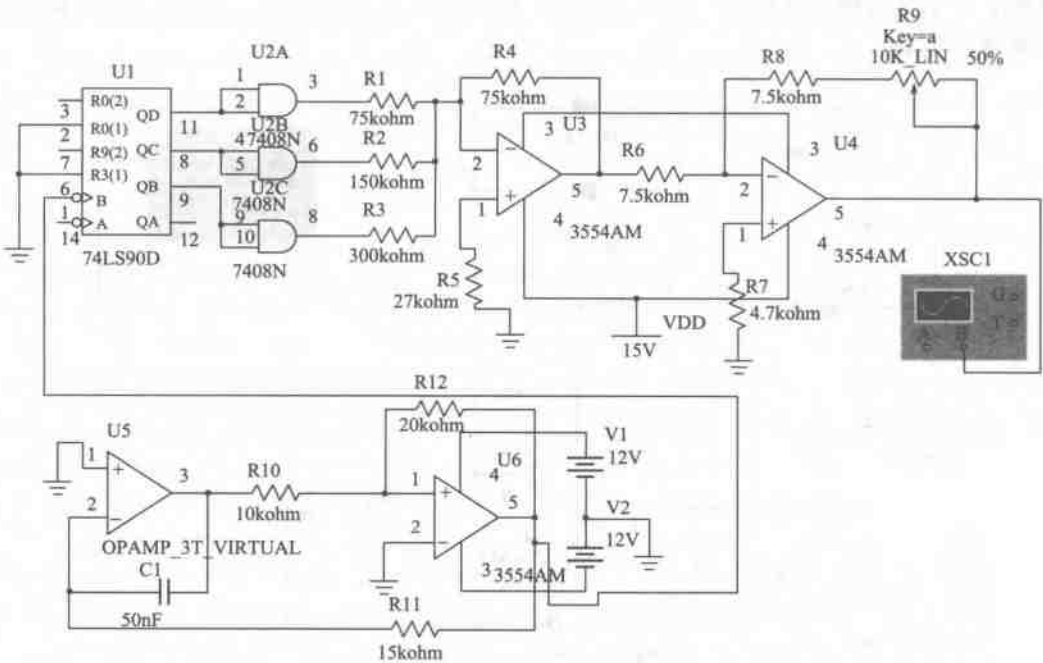


图 8.2 5 阶阶梯波信号发生器原理电路

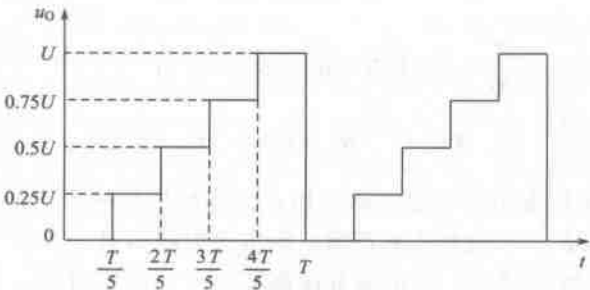


图 8.3 阶梯的定量计算说明

8.2 正弦波信号发生电路设计

8.2.1 RC 桥式正弦波振荡电路

图 8.4 所示为 RC 桥式正弦波振荡器, 其中, RC 串、并联电路构成正反馈支路, 同时兼作选频网络, R_1 , R_2 , R_3 及二极管等元件构成负反馈和稳幅环节。调节电位器 R_3 , 可以改变负反馈深度, 以满足振荡的振幅条件并改善波形。利用两个反向并联二极管 VD_1 , VD_2 正向电阻的非线性特征来实现稳幅。 VD_1 , VD_2 采用硅管 (温度稳定性好), 且要求特性匹配, 才能保证输出波形正、负半周对称。 R_1 的接入是为了削弱二极管非线性影响, 以改善波形失真。

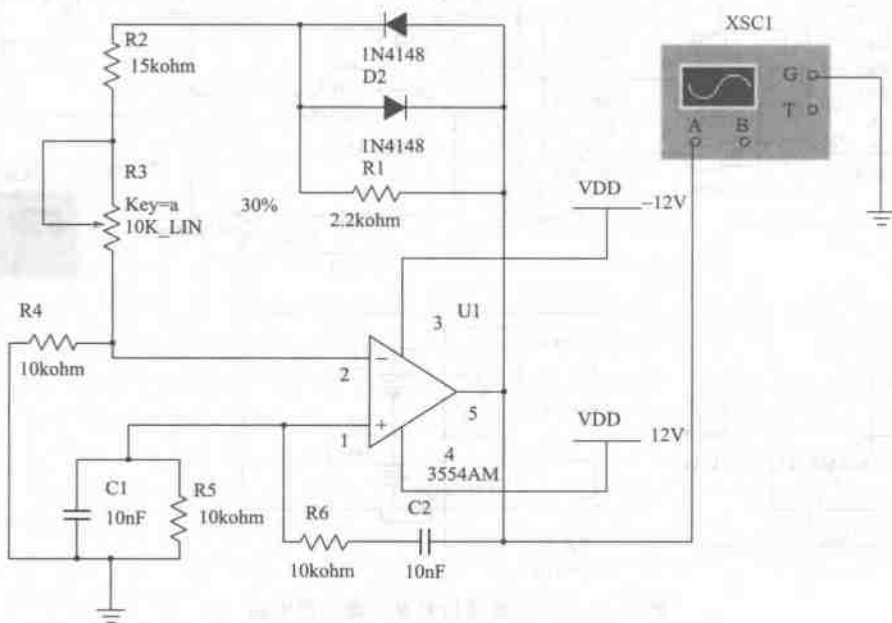


图 8.4 RC 桥式正弦波振荡电路

电路的振荡频率 $f_0 = \frac{1}{2\pi RC}$, 其中 $R = R_6 = R_5$, $C = C_1 = C_2$

起振的幅值条件为 $\frac{R_f}{R_i} \geq 2$, 其中 $R_i = R_3 + R_2 + (R_1 // r_D)$, r_D 为二极管正向导通电阻。

调整反馈电阻 R_f (调电位器 R_3), 使电路起振, 且波形失真最小。若不能起振, 则说明负反馈太强, 应适当加大 R_f ; 若波形失真严重, 则应适当减小 R_f 。

改变选频网络的参数 C 或 R , 即可调节振荡频率。一般采用改变电容 C 作频率量程切换, 而调节 R 作量程内的频率细调。

单击示波器, 可以看见 RC 桥式正弦波振荡器的输出波形如图 8.5 所示, 从开始仿真到起振可以通过示波器观察到起振全过程。即首先把示波器面板中的 V/div 调到较小位置, 然后随着输出电压的增大逐渐将 V/div 调到合适位置。

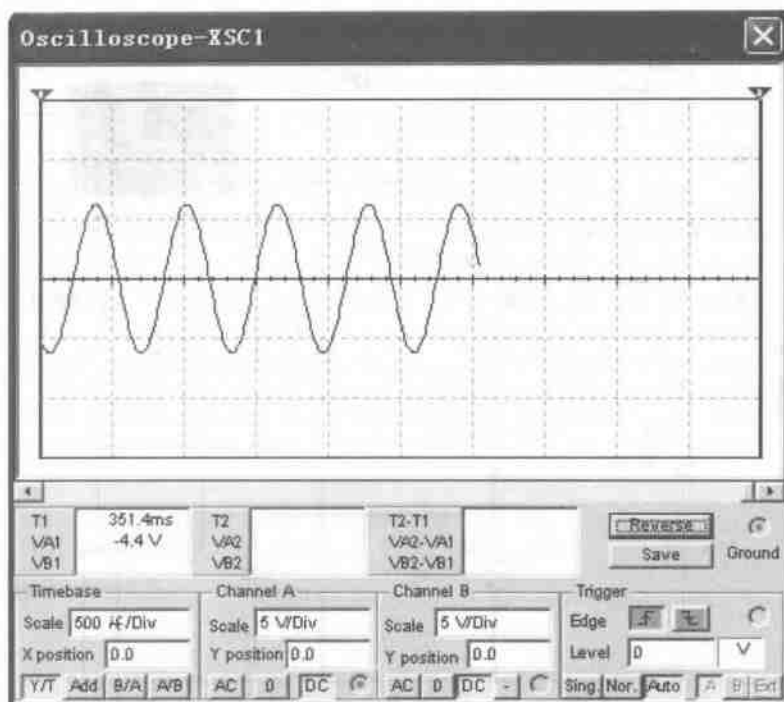


图 8.5 RC 桥式正弦波振荡器的输出波形

8.2.2 双 T 选频网络正弦波振荡器

采用两级共射极放大器组成双 T 选频网络正弦波振荡器如图 8.6 所示。

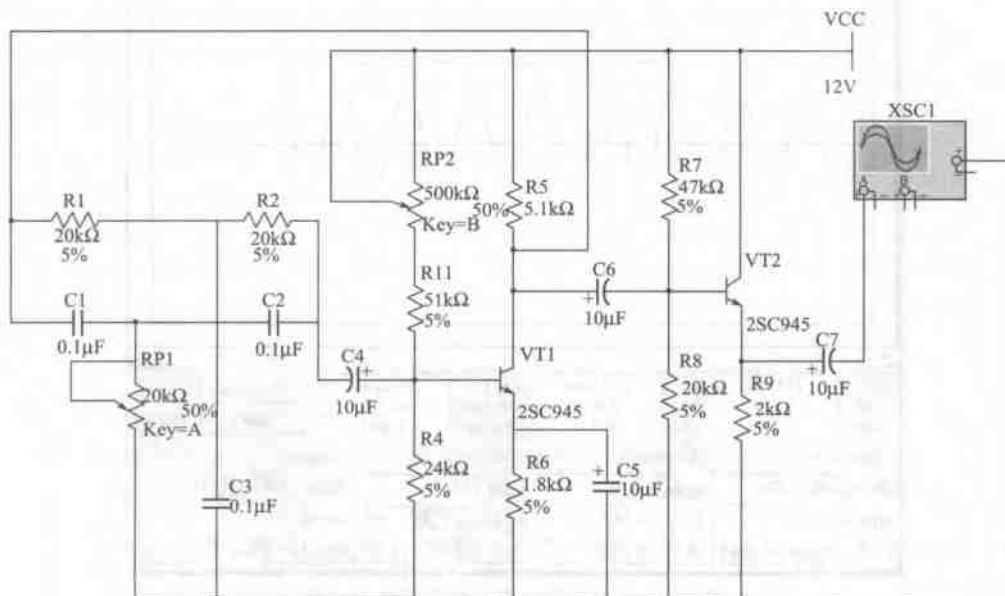


图 8.6 双 T 选频网络正弦波振荡器原理图

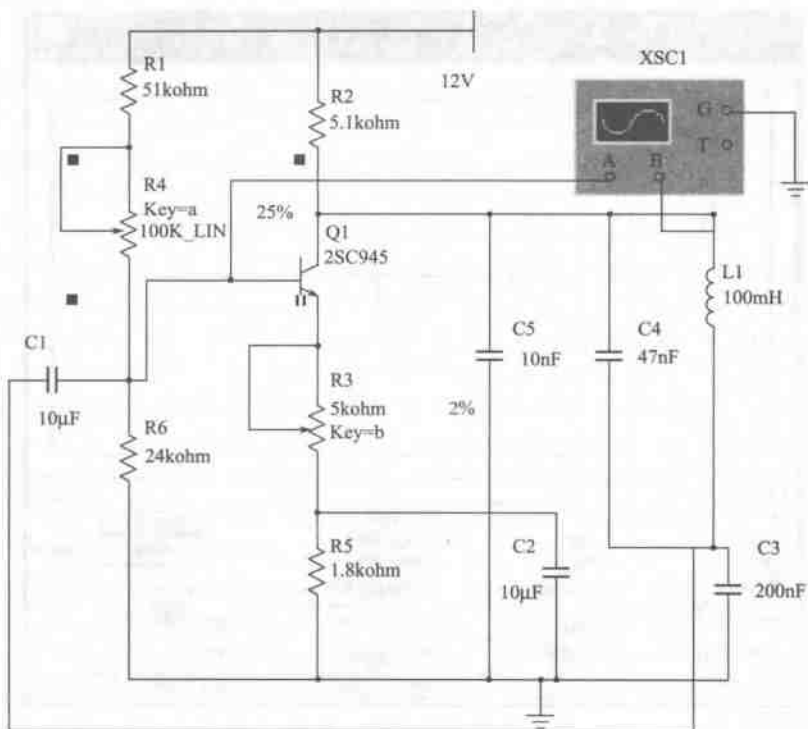


图 8.7 电容反馈三点式振荡器

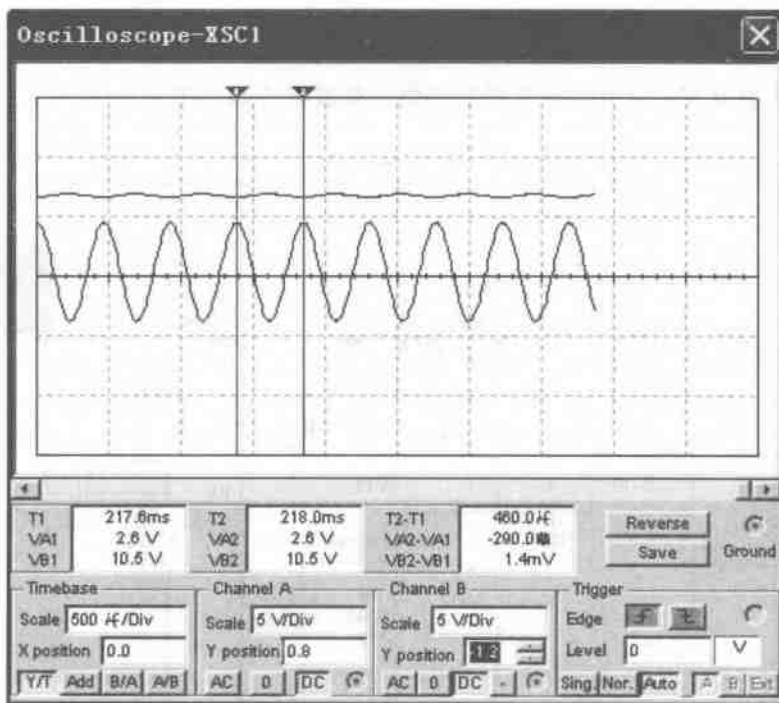


图 8.8 电容反馈三点式振荡器仿真波形

8.2.3 电容反馈三点式振荡器

图 8.7 所示电路为电容反馈三点式振荡器。电路在设计时要注意电路中的参数设置电位器 R4 和 R3 要调节合适, 否则电路将不起振。单击示波器图标, 可以观察到振荡波形, 如图 8.8 所示。

8.3 非正弦波发生器电路设计

8.3.1 锯齿波产生电路

锯齿波电压产生电路如图 8.9 所示, 由同相输入滞回比较器 (U1) 和充放电时间常数不等的积分器 (U2) 组成。

设 $t=0$ 时接通电源, 有 $u_{01}=-U_Z$, 则 $-U_Z$ 经 R3、R5 向 C 充电, 使输出电压按线性规律增长。当 u_0 上升到门限电压 U_{T+} , 使 $u_{p1}=u_{n1}$ 时, 比较器输出 u_{01} 由 $-U_Z$ 上跳到 $+U_Z$, 同时门限电压下跳到 U_{T-} 值。以后 $u_{01}=+U_Z$ 经 R3、R5 和 D3、R6 两支路向 C1 反向充电, 由于时间常数减小, u_0 迅速下降到负值。当 u_0 下降到门限电压 U_{T-} 使 $u_{p1} \approx u_{n1}$ 时, 比较器输出 u_{01} 又由 $+U_Z$ 下跳到 $-U_Z$ 。如此周而复始, 产生振荡。由于电容 C1 的正向与反向充电时间常数不相等, 输出波形 u_0 为锯齿波电压, u_{01} 为矩形波电压。单击示波器图标, 可以观察到锯齿波电压产生电路输出波形, 如图 8.10 所示。

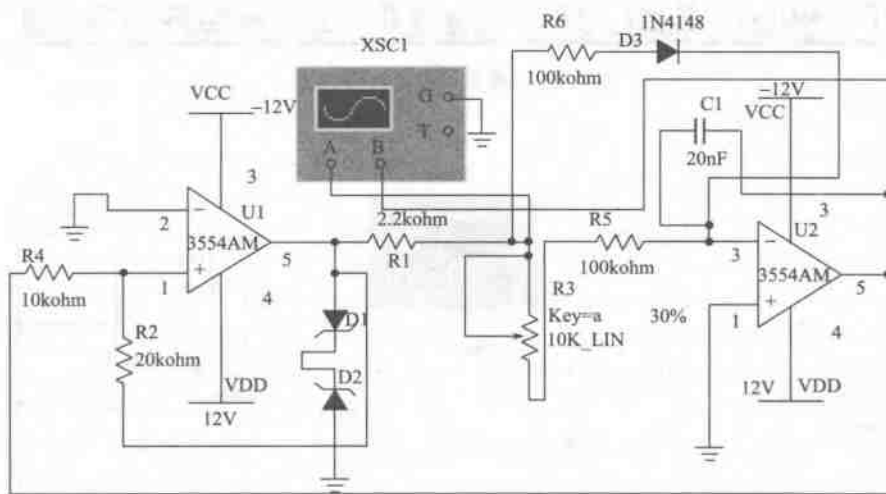


图 8.9 锯齿波电压产生电路

在图 8.9 锯齿波电压产生电路中, 当 R6、D3 支路开路时, 电容 C 的正、反向充电时间常数相等, 此时, 锯齿波就变成三角波电路如图 8.11 所示。

8.3.2 方波和三角波发生电路

由集成运放构成的方波发生器和三角波发生器如图 8.11 所示, 比较器 U1 输出的方波经积分器 U2 积分可得到三角波, 三角波反馈到比较器, 触发比较器自动翻转形成方波。单

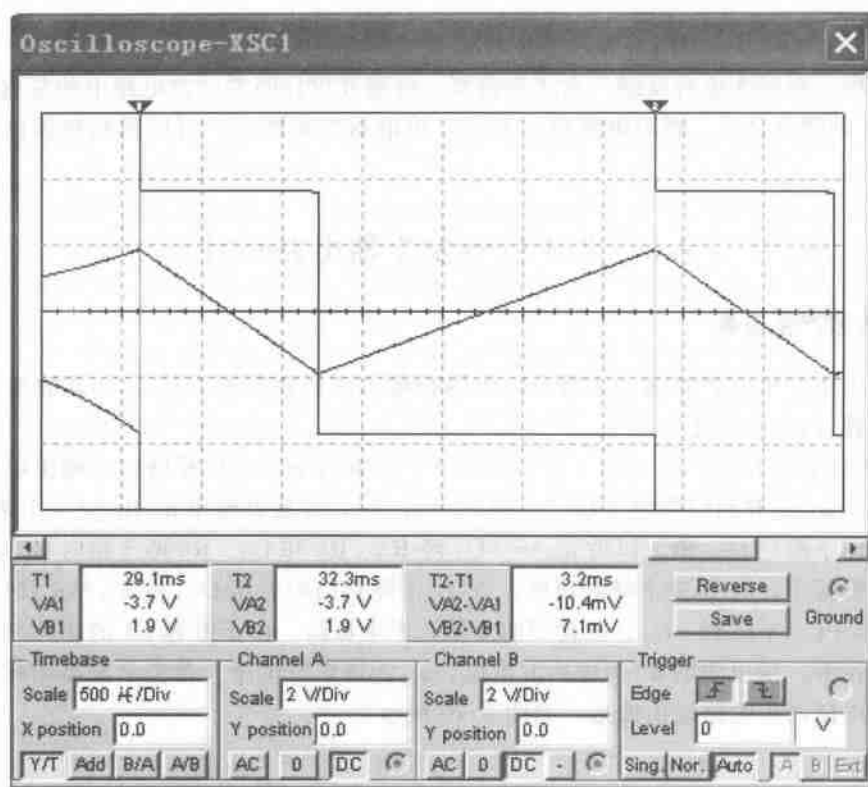


图 8.10 锯齿波电压仿真波形

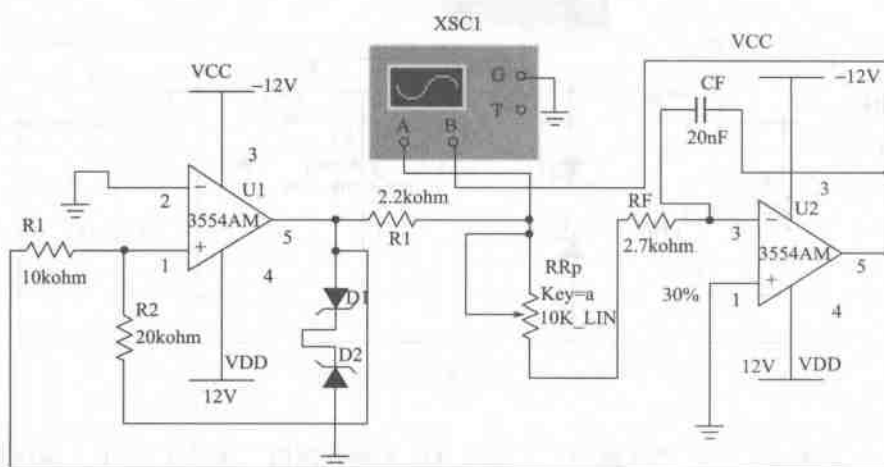


图 8.11 方波发生器和三角波发生器电路

击示波器图标可以观察到振荡波形。

$$\text{电路振荡频率 } f_0 = \frac{R_z}{4R_4 (R_F + R_3) C_1}$$

方波幅值 $U'_{om} = \pm U_Z$

三角波幅值 $U_{om} = \frac{R_1}{R_2} U_Z$

调节 R_p 可以改变振荡频率, 改变比值 R_1/R_2 可调节三角波的幅值。如图 8.12 所示。

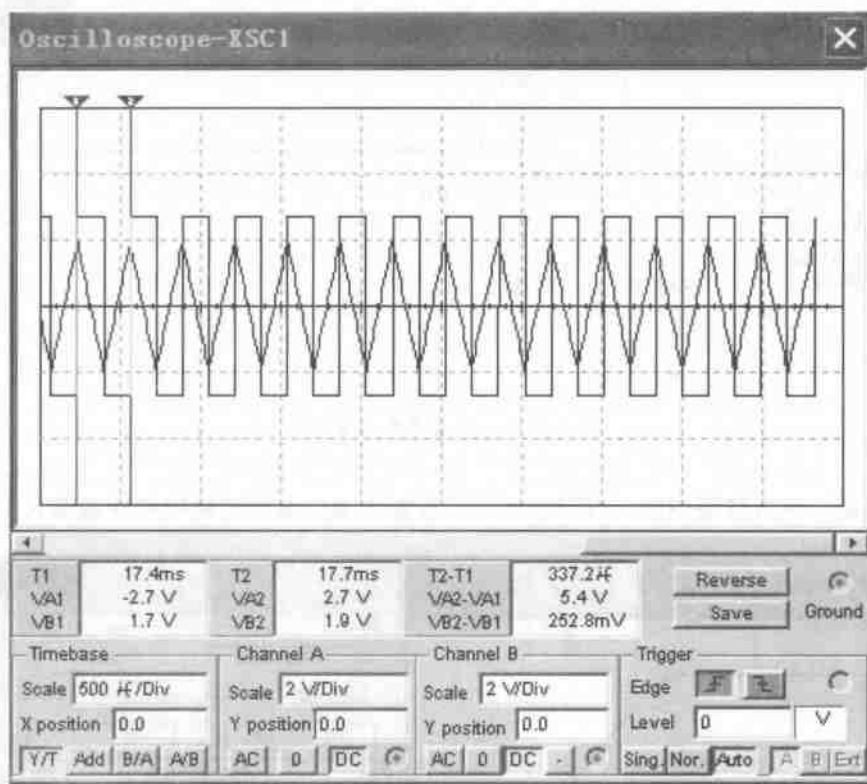


图 8.12 方波发生器和三角波发生器仿真波形

8.3.3 一阶有源低通滤波器

一阶有源低通滤波器电路的传递函数可表示为

$$A(s) = \frac{U_o(s)}{U_i(s)} = \frac{1}{1 + \left(\frac{s}{\omega_n}\right)}$$

式中, $\omega_n = 1/RC$ 为特征角频率。值得指出的是, 这里 ω_n 就是 3dB 截止角频率 ω_c 。

上述有源滤波器电路传递函数式 (A_s) 分母为 s 的一次幂, 故称为一阶有源低通滤波器。

对于实际的频率来说, 式中的 s 可以用 $s = j\omega$ 代入, 由此可得

$$A(j\omega) = \frac{U_o(j\omega)}{U_i(j\omega)} = \frac{1}{1 + j\left(\frac{\omega}{\omega_n}\right)}$$

一阶有源低通滤波器电路如图 8.13 所示, 由一级 RC 低通滤波器电路再加上一个电压跟随器组成。

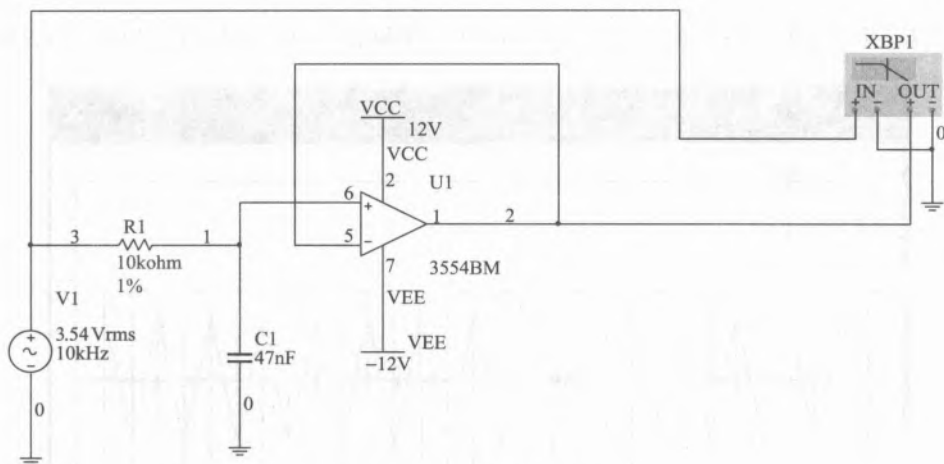


图 8.13 一阶有源低通滤波器

启动仿真, 单击波特图仪, 可以看到一阶有源低通滤波器的幅频特性如图 8.14 所示。

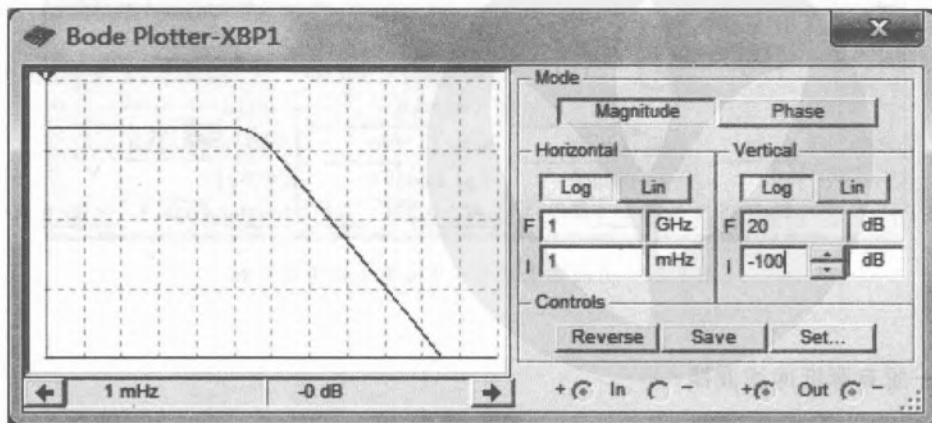


图 8.14 一阶有源低通滤波器的幅频特性

它的起始频率、终点频率、扫描形式、分析采样点数和纵向坐标 (Vertical scale) 等参数如图 8.14 一阶有源低通滤波器的幅频特性所示, Start frequency (FSTART) 起始频率, 默认设置为 1Hz, 在本例中设置为 1mHz。Stop frequency (FSTOP) 扫描终点频率, 默认设置为 10GHz, 在本例中设置为 1GHz。

8.4 中规模数字集成电路设计

中规模数字集成电路通常能独立完成部分逻辑功能, 所以又称其为逻辑部件或功能模块, 如编码器、译码器、数据分配器、数据选择器等。

8.4.1 编码器电路

所谓编码,即将某一信息(输入)变换为某一特定的代码(输出),如把二进制码按一定规律编排,使每组代码都具有各自特定的含义。常见的编码器是将 m 个输入状态信息变换成一个 n 位二进制码,其中 m 、 n 满足 $2^n \geq m$,在普通编码器中,存在一个输入端的竞争,例如 8 线-3 线编码器,当 1 号输入有效时输出应该是 001,2 号输入有效时输出应该是 010,但是如果 1 号输入和 2 号输入同时有效,此时输出应该是什么?能够解决此问题编码器称为优先编码器,它允许两个以上的输入信号同时有效,但当同时输入几个有效信号时,优先编码器能按设定的优先级别,只对其中优先权最高的一个信号进行编码。

(1) 一个实用的 8 线-3 线优先编码器 74LS148 的功能表如表 8.2 所示。74LS148 有 8 个信号输入端 $\bar{I}_0 \sim \bar{I}_7$,低电平有效;有 3 个二进制码输出端 $\bar{Y}_2 \sim \bar{Y}_0$,低电平有效。此外,为了便于电路的扩展和使用的灵活性,还设置了输入使能端 \bar{S} 、选通输出端 \bar{Y}_S 和扩展端 \bar{Y}_{EX} 作为优先编码工作状态标志。

表 8.2 74LS148 的功能表

使能	输入								输出			状态指示	
\bar{S}	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0	\bar{Y}_S	\bar{Y}_{EX}
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	×	×	×	×	×	×	×	0	0	0	0	1	0
0	×	×	×	×	×	×	0	1	0	0	1	1	0
0	×	×	×	×	×	0	1	1	0	1	0	1	0
0	×	×	×	×	0	1	1	1	0	1	1	1	0
0	×	×	×	0	1	1	1	1	1	0	0	1	0
0	×	×	0	1	1	1	1	1	1	0	1	1	0
0	×	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1	0	1

根据逻辑图,对照功能表可以看出 74LS148 如下功能特点。

① 编码输入 $\bar{I}_7 \sim \bar{I}_0$ 低电平有效,编码输出 $\bar{Y}_2 \sim \bar{Y}_0$ 为反码输出。

② 编码输入 $\bar{I}_7 \sim \bar{I}_0$ 中,按脚标数字大小设置优先级, \bar{I}_7 的优先级别最高, \bar{I}_0 的优先级别最低。当 $\bar{I}_7=0$ 时,无论其他输入端是 0 还是 1,输出端只输出 \bar{I}_7 的编码;当 $\bar{I}_7=1$ 、 $\bar{I}_6=0$ 时,无论其他输入端是 0 还是 1,输出端只输出 \bar{I}_6 的编码;其余以次类推。

③ 输入使能端 \bar{S} 的功能是:只有 $\bar{S}=0$ 时 $\bar{Y}_2 \sim \bar{Y}_0$ 才可能输出编码信息,若 $\bar{S}=1$,则表明该芯片未被选中,编码输出 $\bar{Y}_2 \sim \bar{Y}_0$ 全部为 1。

④ 选通输出端 \bar{Y}_S 和扩展端 \bar{Y}_{EX} 主要用于功能扩展,其功能是:

① $\bar{Y}_S \bar{Y}_{EX}=11$,电路处于禁止工作状态;

② $\bar{Y}_S \bar{Y}_{EX}=10$,电路处于工作状态且 $\bar{I}_0 \sim \bar{I}_7$ 有编码信号输入;

③ $\bar{Y}_S \bar{Y}_{EX} = 01$, 电路处于工作状态但无编码信号输入。由于没有编码信号输入时, $\bar{Y}_S = 0$, 所以 \bar{Y}_S 也可以称为无编码信号输入指示端, 它可用于芯片级联。又由于正常编码时, $\bar{Y}_{EX} = 0$, 所以 \bar{Y}_{EX} 也可以称为编码状态指示端。74148 编码器的功能仿真如图 8.15 所示。

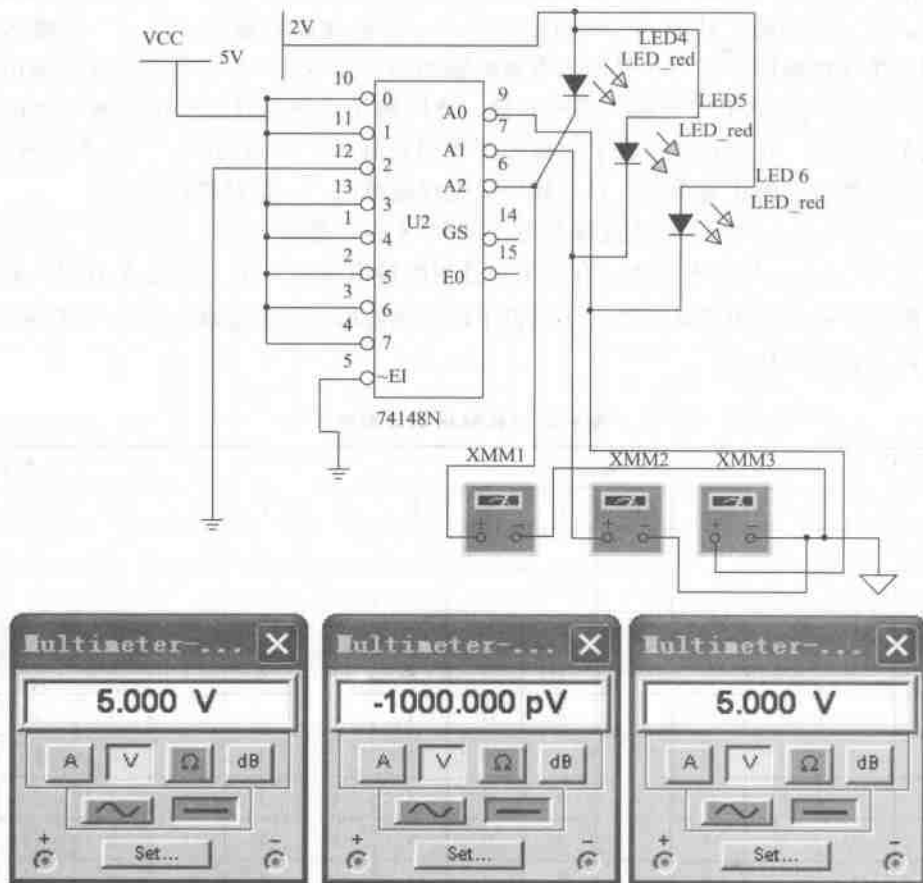


图 8.15 74148 编码器的功能仿真

(2) 利用 74LS148 输出端还可以实现多片级联。

例如, 将两片 74LS148 级联起来, 扩展得到 16 线—4 线优先编码器, 如图 8.16 所示。其中, $\bar{I}_{15} \sim \bar{I}_0$ 是扩展后的 16 位编码输入端, 低 8 位接片 (1), 高 8 位接片 (2); $Z_3 \sim Z_0$ 是扩展后的 4 位编码输出端。按照优先顺序, 只有 $\bar{I}_{15} \sim \bar{I}_8$ 均无输入信号时, 才允许对 $\bar{I}_7 \sim \bar{I}_0$ 的输入进行编码。因此, 只要把片 (2) 的 \bar{Y}_S 作为片 (1) 的 \bar{S} 即可。另外, 片 (2) 有编码输入时 $\bar{Y}_{EX} = 0$, 无编码输入时 $\bar{Y}_{EX} = 1$, 正好用它作为第 4 编码输出 Z_4 。当 $\bar{I}_{15} = 0$ 时, $Z_3 = \bar{Y}_{EX} = 0$, 而且第 2 片的 $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0 = 000$, 使得 $Z_2 Z_1 Z_0 = 000$, 产生对应的编码输出 0000。以次类推, 可以得到其他输入信号的编码。

当 $\bar{S}_2 = 0$ 时高位 (2) 片允许编码, 但如果 $\bar{I}_{15} \sim \bar{I}_8$ 都是高电平, 即无编码请求, 则 $\bar{Y}_{S2} = 0$ 从而 $\bar{S}_1 = 0$, 这时允许低位 (1) 片编码, 同时高位输出端 $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0 = 111$, 使 Z_2 、 Z_1 、 Z_0 都打

开, 它的值取决于低位片的输出, 而 Z_3 这时为 1, 所以输出代码将在 1000~1111 之间变化。

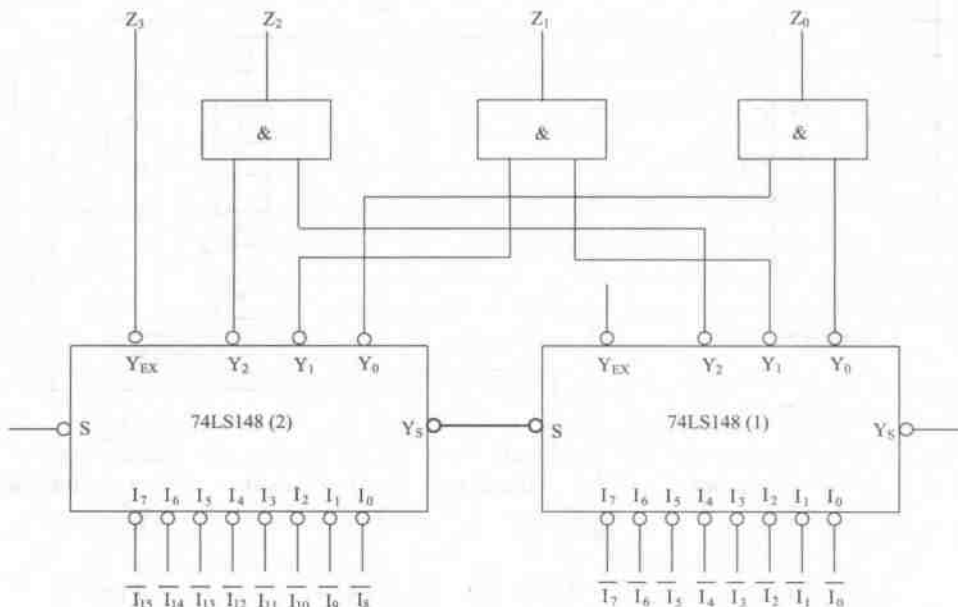


图 8.16 用两片 74LS148 构成的 16 线-4 线编码器

用两片 74LS148 接成 16 线-4 线优先编码器的功能仿真如图 8.17 所示, 由于每片 74LS148 只有 8 个编码输入, 所以需将 16 个输入信号分别接到两片 74LS148 上。现将 $\bar{I}_{15} \sim \bar{I}_8$ 8 个优先权高的输入信号接到第 1 片 (U1) 的输入端 0~7, 而将 8 个优先权低的输入信号接到第 2 片 (U2) 的输入端 0~7, 按照优先顺序的要求, 只有 $\bar{I}_{15} \sim \bar{I}_8$ 均无输入信号时, 才允许对 $\bar{I}_7 \sim \bar{I}_0$ 的输入信号编码。因此, 只要把 (U1) 的“无编码信号输入”信号 E_0 作为 (U2) 的选通输入信号 E_1 。当第 1 片有编码信号输入时, $GS=0$, 无编码信号输入时 $GS=1$, 正好可以用它作为输出编码的第 4 位, 以区分 8 个高优先权输入信号和 8 个低优先权输入信号的编码。

在图 8.17 当中, 例如 \bar{I}_2 (即 \bar{I}_{10}) 输入端为低电平时, 则片 (U1) $GS=0$, $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0 = 101$, 同时片 (U1) 的 $E_0=1$, 将片 (U2) 封锁, 使它的输出 $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0 = 111$, 再经过 4 组与非门在最后的输出端得到 1010。在进行仿真时二极管是共阳极接法, 低电平有效, 所以, LED2、LED4 发光二极管亮, LED1、LED3 发光二极管灭。

8.4.2 译码器

译码器的功能与编码器正好相反, 即将编码时赋予代码的含义翻译过来。如: 将以二进制代码表示的 n 个输入变量变换成 $m=2^n$ 个输出变量。

1. 集成译码器

74LS138 是带有扩展功能的 3 线-8 线译码器, 其功能如表 8.3 所示, A_2 、 A_1 、 A_0 为三位二进制代码输入端, $\bar{F}_0 \sim \bar{F}_7$ 为 8 个输出端, S_1 、 \bar{S}_2 、 \bar{S}_3 为三个输入使能控制端。由功能

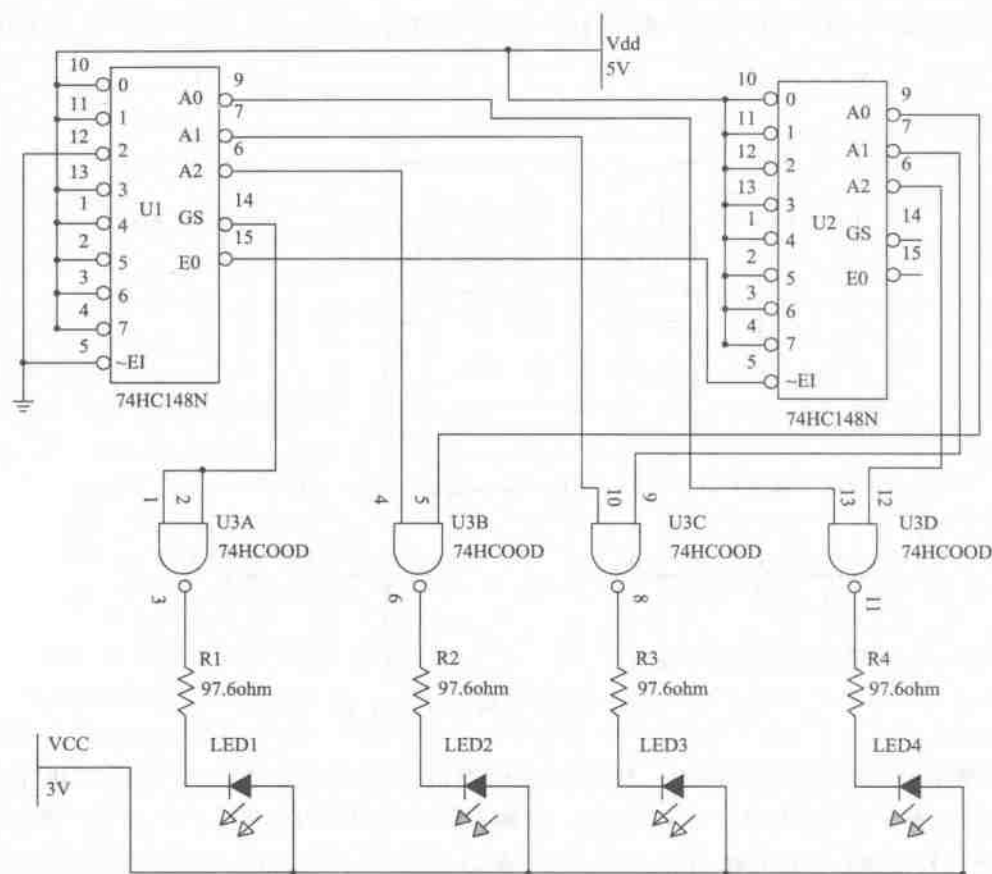


图 8.17 16 线-4 线优先编码器的功能仿真

表可知，对于正逻辑，当 $S_1=1$ 、 $\bar{S}_2=\bar{S}_3=0$ 时，译码器才处于工作状态，否则所有输出端全为高电平，译码器处于禁止状态。

表 8.3 译码器 74LS138 的功能表

使能输入		代码输入			译码输出							
S_1	$\bar{S}_2+\bar{S}_3$	A_2	A_1	A_0	\bar{F}_0	\bar{F}_1	\bar{F}_2	\bar{F}_3	\bar{F}_4	\bar{F}_5	\bar{F}_6	\bar{F}_7
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

即输出端的逻辑表达式可以写成如下形式: $\overline{F_i} = \overline{m_i}$, 式中 m_i 是 A_2 、 A_1 、 A_0 这3个变量构成的相应编号的最小项, 如果仅为了控制译码器的工作, 一个使能端就够了, 该器件之所以设置了三个使能端 S_1 、 $\overline{S_2}$ 、 $\overline{S_3}$, 除了控制译码器是否工作外, 还可以更灵活、更有效地扩大译码器的使用范围、扩展输入变量的个数。图 8.18~图 8.19 给出了 A_2 、 A_1 、 A_0 不同的输入组合实现不同的逻辑函数输出的仿真。字信号发生器为 000 时仿真结果如图 8.18 所示, 第 1 个电平 LED1 显示发光; 字信号发生器为 111 (十进制为 7) 时仿真结果, 第 8 个电平 LED8 显示发光, 如图 8.19 所示。

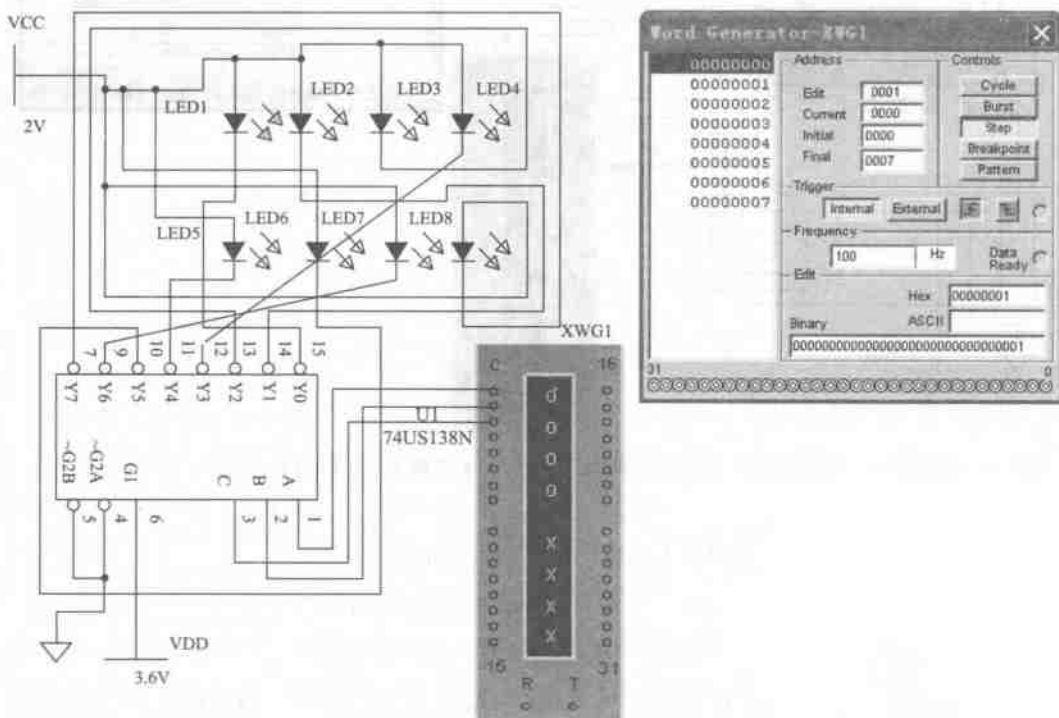


图 8.18 字信号发生器为 000 时仿真图

2. 用 74LS138 译码器实现逻辑函数 $Y(A, B, C) = \sum(m_1, m_4, m_7)$ 。

先将 3 个使能端按允许译码的条件进行处理, 即 S_1 接 +5V, $\overline{S_2}$ 、 $\overline{S_3}$ 接地, 于是可得到各输出端的逻辑表达式

$$\begin{aligned}\overline{F_0} &= \overline{A_2 A_1 A_0} & \overline{F_4} &= \overline{A_2 \overline{A_1} \overline{A_0}} \\ \overline{F_1} &= \overline{A_2 \overline{A_1} A_0} & \overline{F_5} &= \overline{A_2 \overline{A_1} A_0} \\ \overline{F_2} &= \overline{A_2 A_1 \overline{A_0}} & \overline{F_6} &= \overline{A_2 A_1 \overline{A_0}} \\ \overline{F_3} &= \overline{A_2 A_1 A_0} & \overline{F_7} &= \overline{A_2 A_1 A_0}\end{aligned}$$

然后, 将输入变量 A 、 B 、 C 分别接到 A_2 、 A_1 、 A_0 端, 进行如下变换

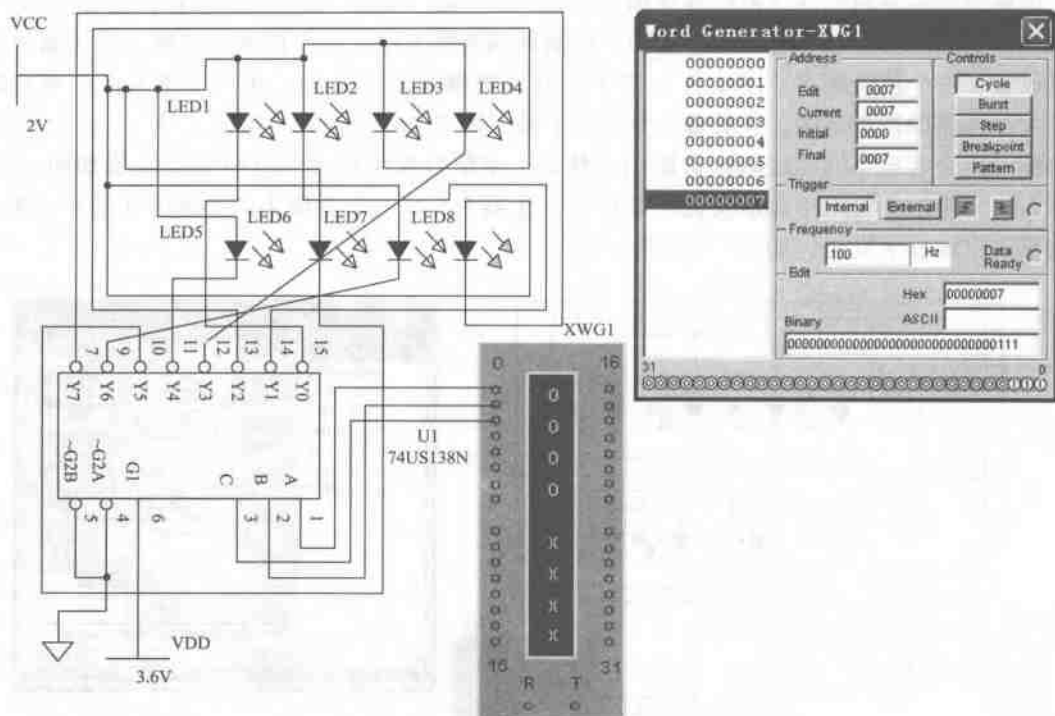


图 8.19 字信号发生器为 111 (十进制为 7) 时仿真

$$Y(A, B, C) = \sum(m_1, m_4, m_7) \\ = \overline{A}BC + A\overline{B}C + ABC$$

若 $A_2=A$, $A_1=B$, $A_0=C$, 则

$$Y = \overline{A}BC + A\overline{B}C + ABC = \overline{A}_2 \overline{A}_1 A_0 + A_2 \overline{A}_1 \overline{A}_0 + A_2 A_1 A_0 \\ = \overline{\overline{A}_2 \overline{A}_1 A_0} + \overline{\overline{A}_2 \overline{A}_1 \overline{A}_0} + \overline{\overline{A}_2 A_1 A_0} \\ = \overline{F_1 \cdot F_4 \cdot F_7}$$

由此可得 74LS138 译码器逻辑电路图如图 8.20 所示。

用一片 74138 加一个与非门及逻辑转换仪实现逻辑函数

$Y(A, B, C) = \sum(m_1, m_4, m_7)$ 的仿真如图 8.21 示, 逻辑转换仪下部显示窗显示的是该逻辑函数的最小项的形式 $= \overline{A}BC + A\overline{B}C + ABC$ 。

3. 试设计一个三人多数表决电路

(1) 设三人 A、B、C 为输入, 同意为 1, 不同意为 0; 表决结果 F 为输出, F 始终同输入的大多数状态一致, 即输入 A、B、C 之中有 2 个或 3 个为 1 时, 输出为 1; 其余情况, 输出为 0,

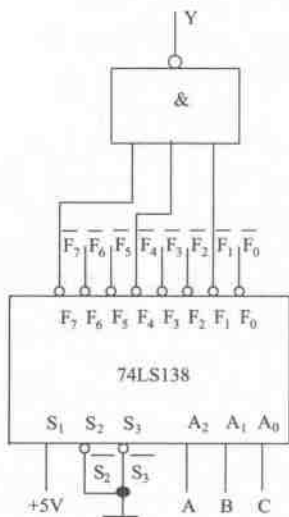
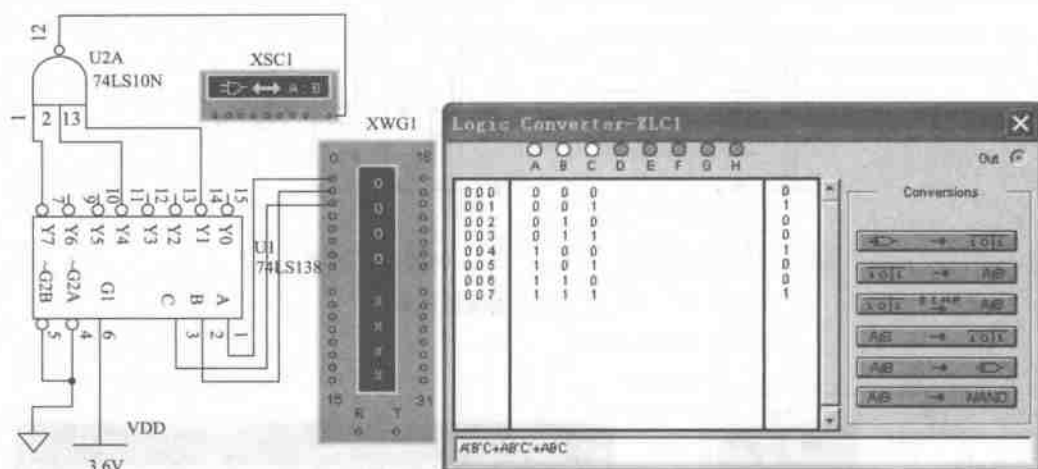


图 8.20 74LS138 译码器实现逻辑函数图

图 8.21 实现逻辑函数 $Y(A, B, C) = \sum(m_1, m_4, m_7)$ 的仿真

由此可列真值表如表 8.4 所示。

表 8.4 三人多数表决真值表

输入			输出
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

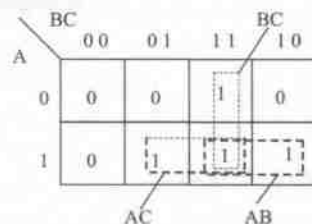


图 8.22 卡诺图

(2) 画出卡诺图如图 8.22 所示。

(3) 卡诺图化简（也可先写出逻辑表达式，再根据逻辑代数运算法则化简）得最简与或表达式

$$F = AB + BC + AC$$

(4) 得出相应的逻辑图如图 8.23 (a) 所示。若要求用与非门实现，则还需将上述表达式变换成如下形式

$$F = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

再画出相应的逻辑图，如图 8.23 (b) 所示。

用一片 74138 加一个与非门，及逻辑转换仪实现三人多数表决电路的仿真如图 8.24 所示，逻辑转换仪下部显示窗显示的是三人多数表决的逻辑函数的最小项的形式。

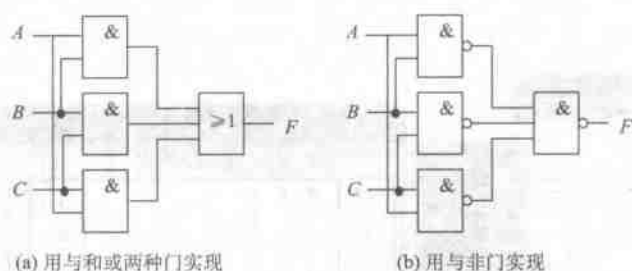


图 8.23 三人表决器电路

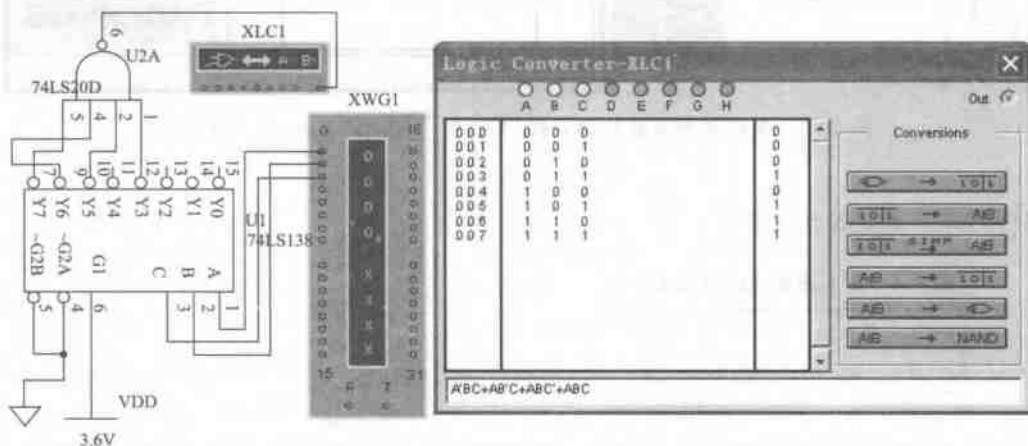


图 8.24 三人多数表决电路的仿真

4. 七段显示译码器

在各种数字系统中,都需要将数字量直观地显示出来,以方便人们读取和监视系统的工作情况,这就要数字显示电路来完成。数字显示电路通常由译码器、驱动器和显示部分组成。

为了使数码管能将数码所代表的数字显示出来,必须将数码经译码器译出,然后经驱动器点亮对应的段。74145 是 BCD 码到十进制数译码器,其逻辑功能见表 8.5,其中 X 为随意态。74145 为集电极开路输出型的电路,其吸收大电流的能力较强且输出管具有高的击穿电压。74145 仿真电路和字信号发生器对话框如图 8.25 所示。

表 8.5 74145 逻辑功能真值表

输入				输出									
A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1

续表

输入				输出									
A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

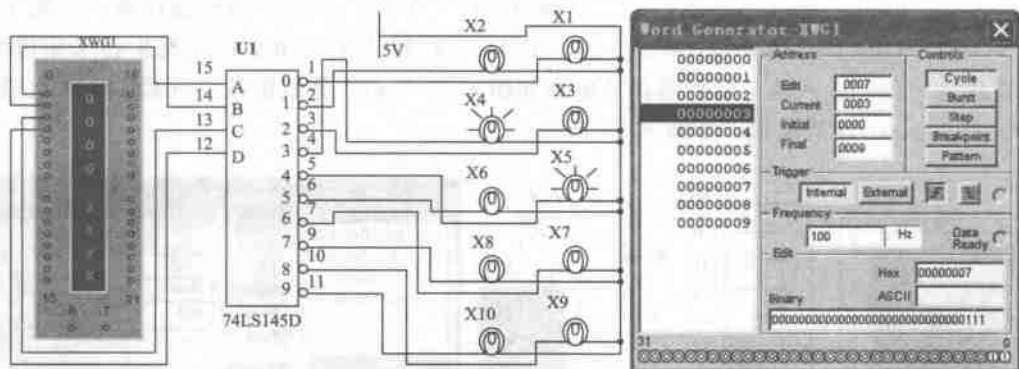


图 8.25 74145 显示译码仿真电路

输入信号 A、B、C、D 用字信号发生器输入，如图 8.25 所示的对话框，字信号参数设置使用 0~9 递增方式，字信号发生器对话框中设置起始地址是 0000，终止地址是 0009，字信号的输出方式为 Cycle 方式通过指示灯可观察译码器的变化状态。

8.4.3 数据选择器

1. 试用 74LS151 实现逻辑函数 $F(A, B, C) = \sum(m_1, m_4, m_7)$

数据选择器又称多路开关，其逻辑功能是在地址信号的控制下，从多路数据中选择一路数据作为输出。74LS151 是八选一数据选择器，在控制端输入低电平有效，即 $\overline{E}=0$ 时，数据选择器输出数据。74LS151 的输出逻辑函数为

$$F = \overline{A}_2 \overline{A}_1 \overline{A}_0 D_0 + \overline{A}_2 \overline{A}_1 A_0 D_1 + \overline{A}_2 A_1 \overline{A}_0 D_2 + \overline{A}_2 A_1 A_0 D_3 + A_2 \overline{A}_1 \overline{A}_0 D_4 + A_2 \overline{A}_1 A_0 D_5 + A_2 A_1 \overline{A}_0 D_6 + A_2 A_1 A_0 D_7$$

F 可以看成 A_2 、 A_1 、 A_0 和输入数据 $D_0 \sim D_7$ 的与或函数，它的表达式可以写成 $F = \sum_{i=0}^7 m_i \cdot D_i$ ，式中 m_i 是 A_2 、 A_1 、 A_0 构成的最小项。显然当 $D_i=1$ 时，对应的最小项 m_i 在与或表达式中出现，当 $D_i=0$ 时，对应的最小项 m_i 就不在与或表达式中出现，利用这一

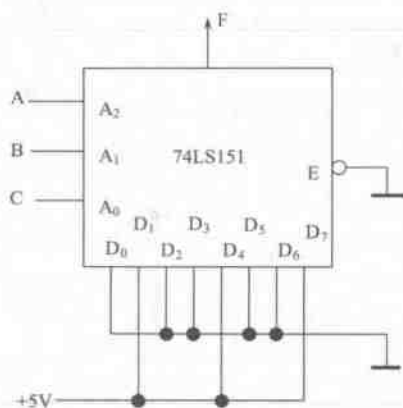


图 8.26 74LS151 实现逻辑函数

点来实现组合逻辑函数，数据选择器的地址信号 A_2 、 A_1 、 A_0 作为输入变量，数据输入 $D_0 \sim D_7$ 作为控制变量。

令 $A = A_2$ ， $B = A_1$ ， $C = A_0$ ，则逻辑函数 $F = F(A, B, C) = \sum(m_1, m_4, m_7)$ 是要求 3 个最小项 m_1, m_4, m_7 出现，所以，设 $D_1 = D_4 = D_7 = 1$ ， $D_0 = D_2 = D_3 = D_5 = D_6 = 0$

由此可画出逻辑图如图 8.26 所示，可以实现逻辑函数 F 。

2. 运用数据选择器产生 01101001 序列

利用一片 74LS151 八选一数据选择器，只需 $D_0 = D_3 = D_5 = D_6 = 0$ ， $D_1 = D_2 = D_4 = D_7 = 1$ ，在 $A_2 \sim A_0$ 输入信号由字信号发生器采用递增循环的方式，74LS151 八选一数据选择器电路如图 8.27 所示，其数值从 000 到 111 依次进行，实现了 01101001 序列波形，如图 8.28 所示。

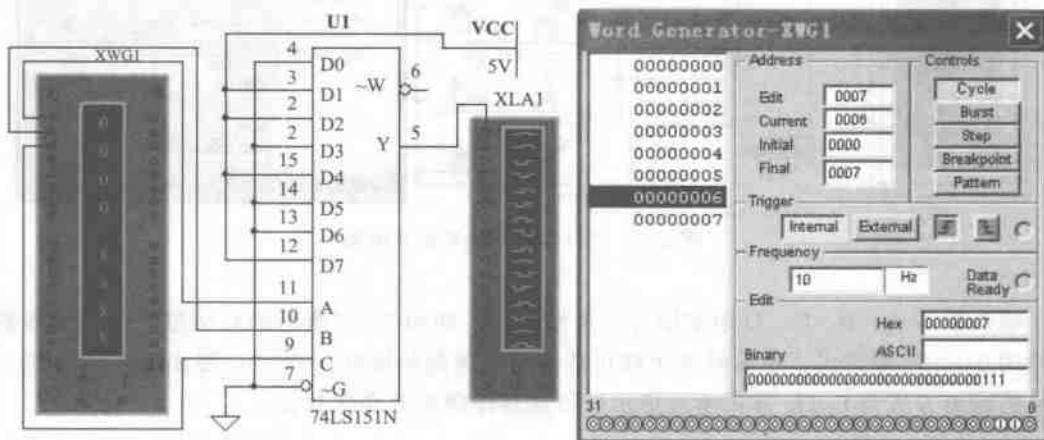


图 8.27 产生 01101001 序列电路

8.5 时序逻辑电路设计

触发器是一个具有记忆功能的二进制信息储存器件，是构成各种时序电路的基本逻辑单元。本节介绍 4 路抢答电路，移位寄存器电路，计数电路的原理及仿真分析。

8.5.1 4 路抢答电路

抢答器电路如图 8.29 所示，该电路能鉴别出 4 个数据中的第 1 个开关信号到来时，则对应的 LED 指示亮，对随后到来的其他数据不再作出响应。

图 8.29 所示电路是由四锁存 D 型触发器 4042BD (U1)，双 4 输入端与非门 4012BD

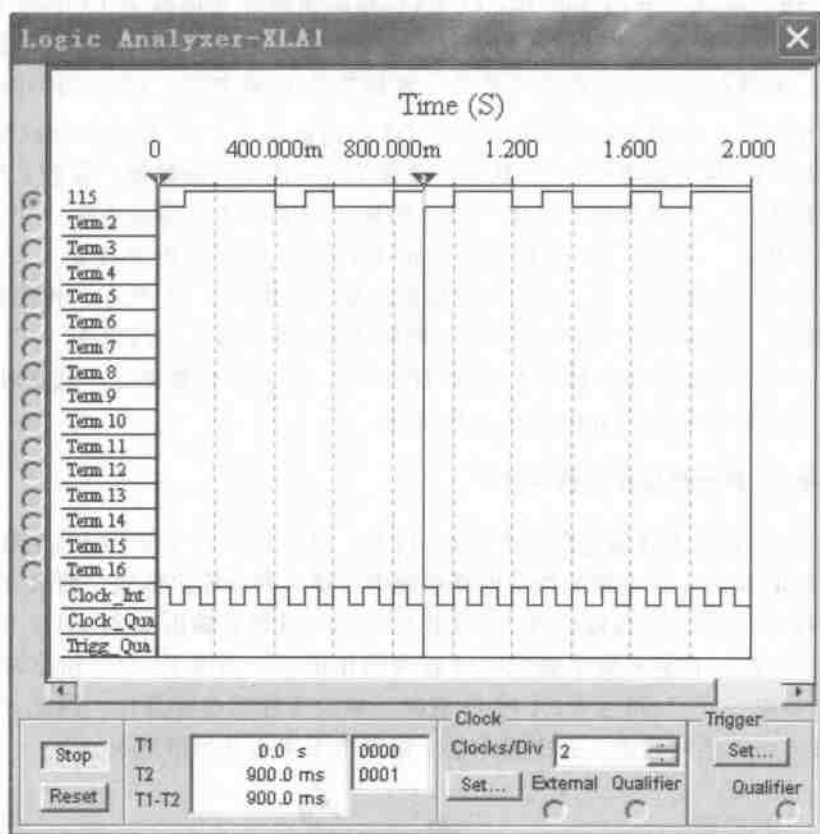


图 8.28 产生 01101001 序列仿真波形

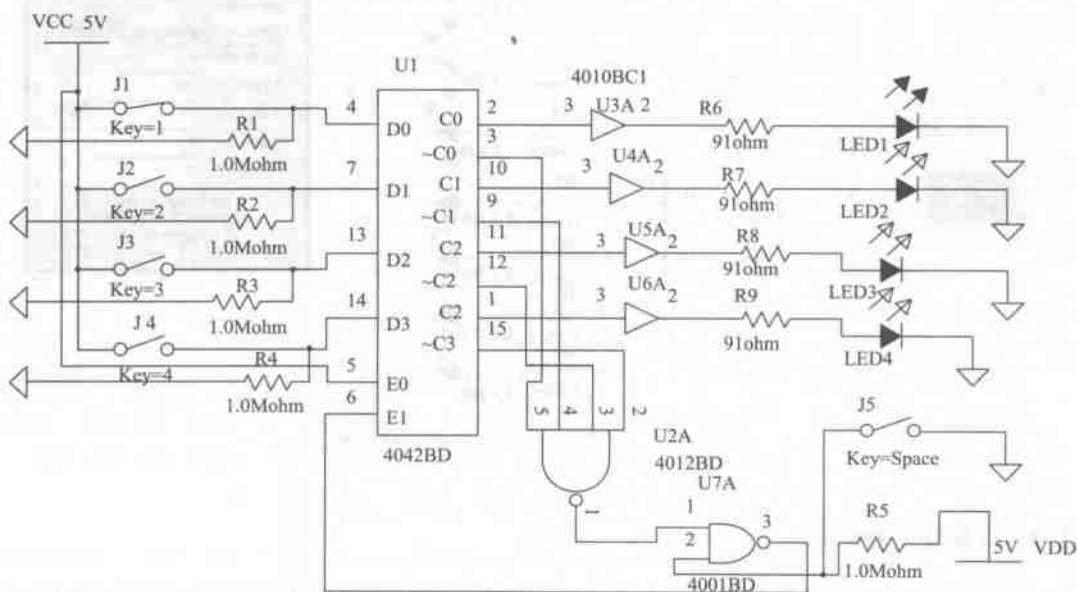


图 8.29 4 路抢答电路的仿真

(U2A), 四 2 输入端或非门 4001BD (U7A) 和同相缓冲变换器 4010 中的 4 路 (U3A、U4A、U5A、U6A) 构成。电路工作时, U1 的极性端 EO 处于高电平“1”, E1 (CP) 端电平由 $\overline{Q_0} \sim \overline{Q_3}$ 和复位开关产生的信号决定。复位开关 J5 断开时, U7A 的引脚 2 经上拉电阻接 VDD, 由于 J1~J4 均为断开状态, D0~D3 均为低电平“0”状态, 所以 $\overline{Q_0} \sim \overline{Q_3}$ 为高电平“1”状态, E1 端为低电平“0”状态, 锁存了前一次工作的数据。新的工作阶段开始, 复位开关 J5 闭合, U7A 的引脚 2 接地, U2A 的输出端引脚 1 也为低电平“0”状态, 所以 E1 端为高电平状态。之后, E1 的状态完全由 U1 的 Q 输出端电平决定。一旦数据开关 (J1~J4) 有一个闭合, 则 $\overline{Q_0} \sim \overline{Q_3}$ 中必有一端最先处于高电平“1”状态, 相应的 LED 被点亮, 如图 J1 闭合, 指示出第一信号的抢答, 同时 U2A 的引脚 1 为高电平“1”状态, 迫使 E1 为低电平“0”状态, 在 CP 脉冲下降沿的作用下, 第一信号被锁定, 电路对其他的信号便不再响应, 4 路抢答电路的仿真如图 8.29 所示。

8.5.2 8 位串入-并出移位寄存器电路

8 位串入-并出移位寄存器电路如图 8.30 所示。电路由 2 片 4 位串入-并出移位寄存器集成电路 40158D 组成, 该电路是数字电路系统串行输入并行输出形式。前级 (U1A) 的数据输入端 D1 接 VCC, 在末级输出端 2D 后串入 U2A, 并将其输出 Q 与 U1A、U3A 的复位端 MR1 相连。这样, 在信号发生器的时钟脉冲的作用下, 高电平“1”信息将逐次通过每级寄存器, 当高电平“1”到达 U2A 的 Q 端时, 移位寄存器全部复位。因此, 在一轮脉冲到来后再次移入寄存器内输出, 图中显示了 4 组高电平串入并出的情况。

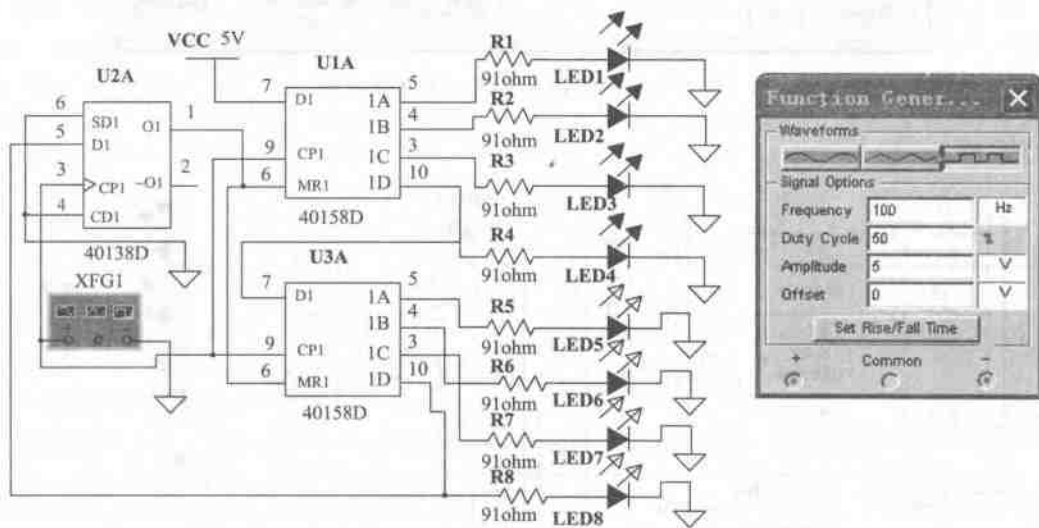


图 8.30 8 位串入-并出移位寄存器电路

8.5.3 计数器电路分析

图 8.31 为 74LS90 计数器的电路及仿真图, 该电路是使用清 0 法构成的六进制计数器, R9 两端接地, 外部计数脉冲接在 A 端, B 端与 QA 相连, QA、QC 分别接 R0 (2) 和 R0 (1), 当

计数器记到 0101 状况时, R0 (1) 和 R0 (1) 同时有效, 将计数器置 0, 回到 0000 状态。当输入脉冲时, 计数器计数, 输出为 0000, 0001, 0010, 0011, ..., 0101, 依次循环。

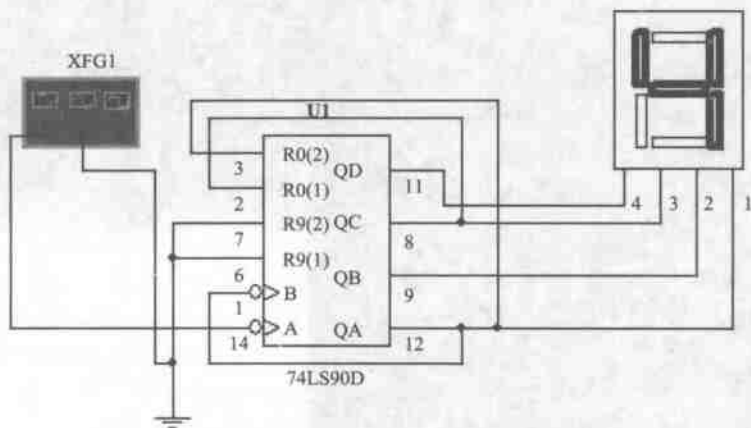


图 8.31 六进制计数电路

8.6 综合电路设计及分析

本节分别给出了不同电路类型的阶梯波设计, 包括台阶数目不同, 振荡器不同, 计数器不同等。

8.6.1 5 个台阶阶梯波

本设计采用 74LS90 计数器, 74LS90 是二-五-十进制异步加法计数器, 为异步清零, 在计数脉冲下降沿作用下来一个脉冲计一个数, 要置 5 进制, 从初始状态 000 开始到 100, 再回到 000, 集成运算放大器构成的振荡电路产生方波作为 74LS90 计数器的脉冲 (B 端) 的输入信号, 经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的 5 个台阶数的阶梯波波形。5 阶阶梯波信号发生电路和输出电压仿真如图 8.32 所示, 它的阶梯的定量计算说明在 8.1 节中有说明。

8.6.2 16 个台阶阶梯波

本设计采用 74LS161 计数器, 因为其可控台阶数多, 超过 10 个所以引用 74LS161, 它是 4 位二进制同步加法计数器, 为异步清零, 在计数脉冲上升沿作用下来一个脉冲计一个数, 要置 16 进制, 从初始状态 0000 开始, 到 1111, 再跳回 0000, 所以把 QA、QB、QC、QD 4 个输出端接到与非门输入端, 与非门输出端, 接到清零端 CLR, 输入端 A、B、C、D 接地, 即从 0000 开始计数, 计到 1111 信号通过与非门, 送到清 0 端, 开始清 0, 两个使能端接高电平, 置数端 LOAD 接高电平, 脉冲端 CLK 接来自 555 电路的方波发生器输出端的信号, 经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的 16 个台阶数的阶梯波波形。16 阶阶梯波信号发生电路如图 8.33 所示, 16 阶阶梯波输出电压仿真如图 8.34 所示。

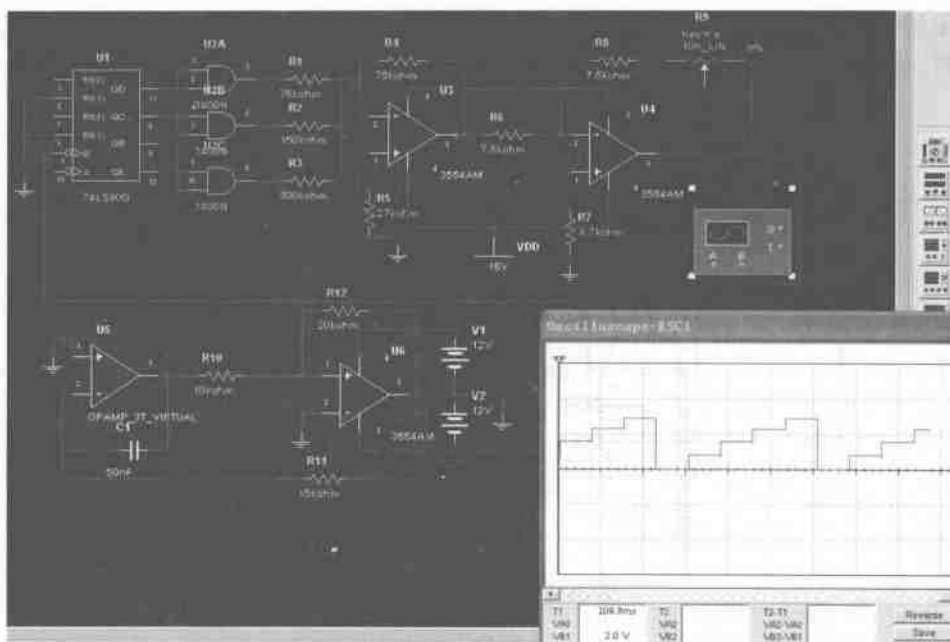


图 8.32 5 个台阶阶梯波电路及其仿真

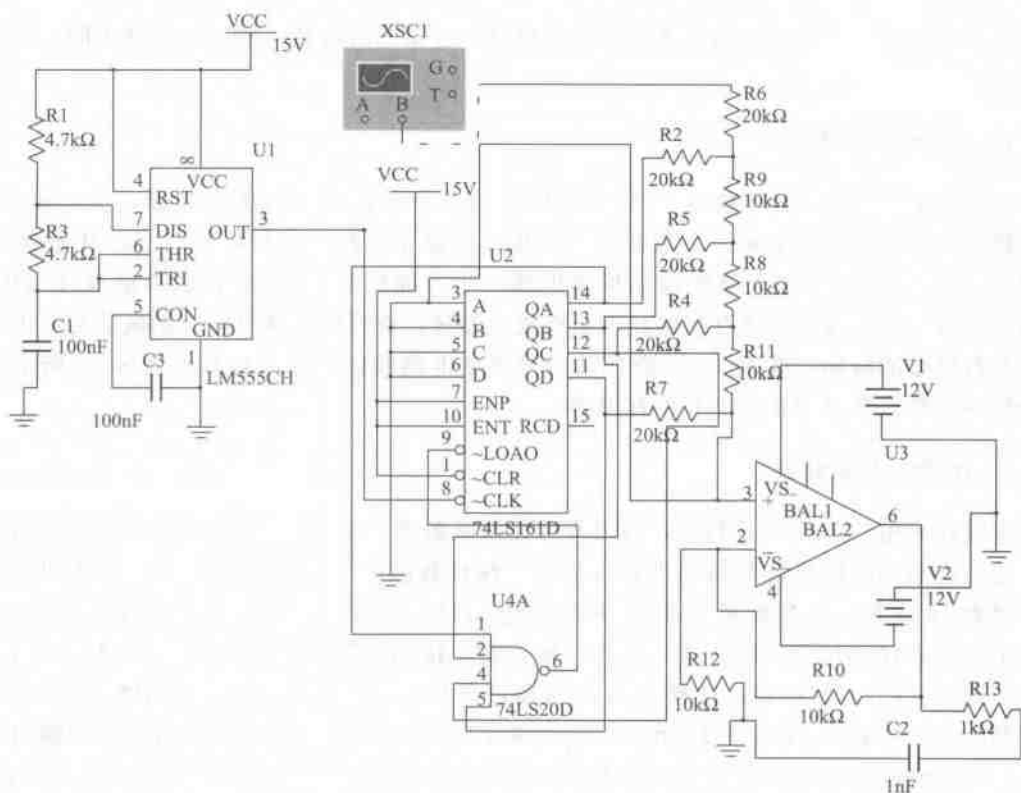


图 8.33 16 个台阶阶梯波电路

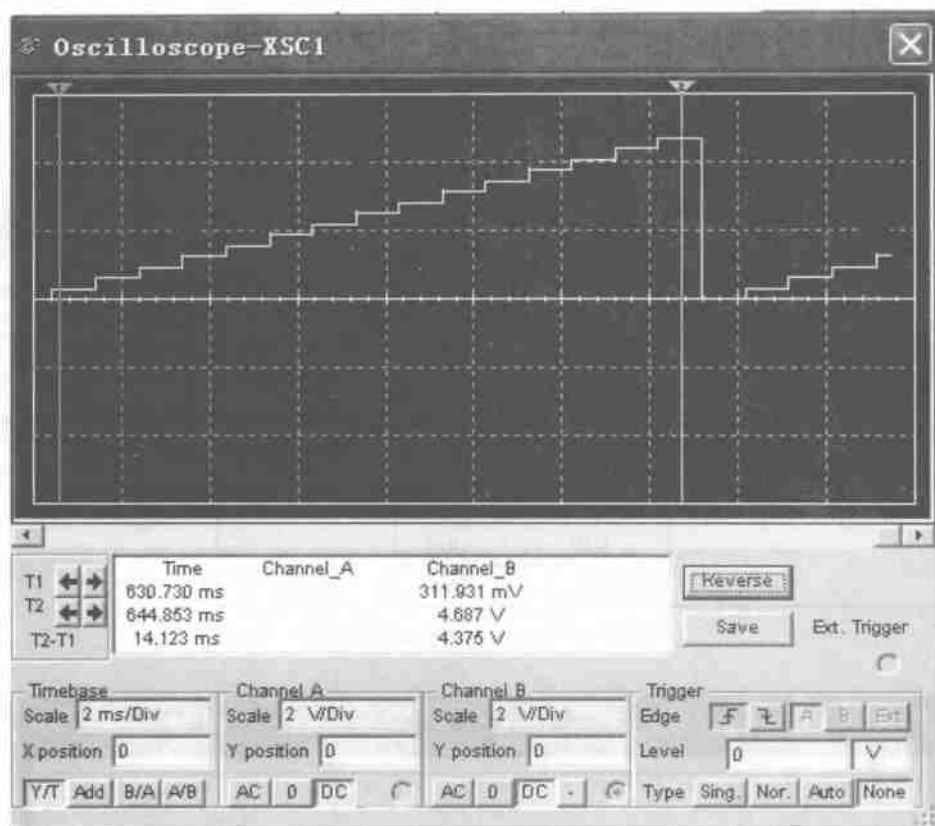


图 8.34 16 个台阶阶梯波仿真

8.6.3 10 个台阶阶梯波

本设计采用 74LS90 计数器, 74LS90 是二-五-十进制异步加法计数器, 为异步清零, 在计数脉冲下降沿作用下来一个脉冲计一个数, 要置 10 进制, 从初始状态 0000 开始到 1001, 再回到 0000, 该电路是使用清 0 法构成的 10 进制计数器, R_0 两端接地, 外部计数脉冲接在 A 端, B 端与 Q_A 相连, Q_A 、 Q_D 分别接 $R_{0(2)}$ 和 $R_{0(1)}$, 当计数器记到 1001 状况时, $R_{0(1)}$ 和 $R_{0(2)}$ 同时有效, 将计数器置 0, 回到 0000 状态。当输入脉冲时, 计数器计数, 输出为 0000, 0001, 0010, 0011, 0100, ..., 1001 依次循环。

集成运算放大器构成的振荡电路产生方波作为 74LS90 计数器的脉冲 (A 端) 的输入信号, 经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的 10 个台阶数的阶梯波波形。10 阶阶梯波信号发生电路如图 8.35 所示, 它的阶梯的定量计算说明在 8.1 节中有说明。10 阶阶梯波输出电压仿真如图 8.36 所示, 幅值 5 伏, 周期 125ms。

8.6.4 11 个台阶阶梯波

本设计采用 74LS161 计数器, 因为其可控台阶数多, 超过 10 个所以引用 74LS161, 它是 4 位二进制同步加法计数器, 为异步清零, 在计数脉冲上升沿作用下来一个脉冲计一个

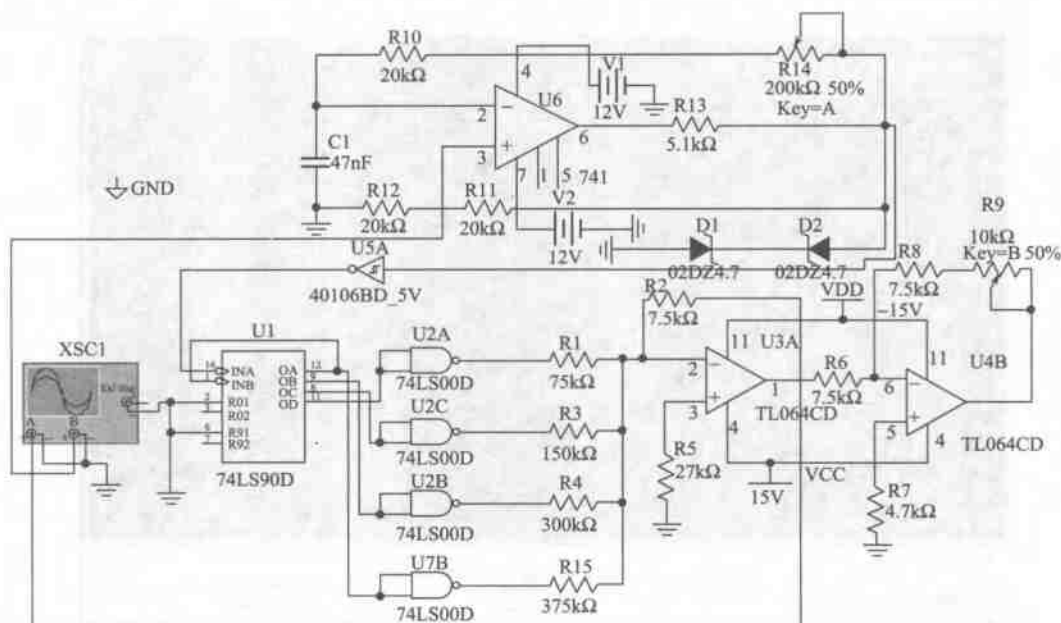


图 8.35 10 个台阶阶梯波电路

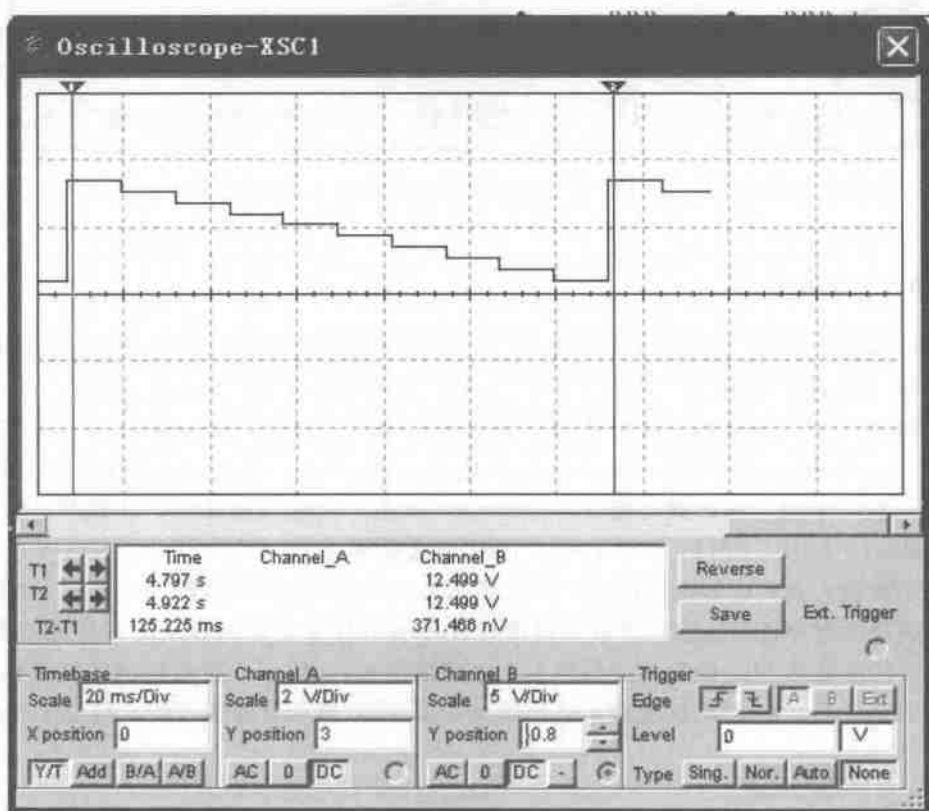


图 8.36 10 个台阶阶梯波仿真

数,要置 11 进制,从初始状态 0000 开始,到 1011,再跳回 0000,所以把 Q_D 、 Q_B 、 Q_A 3 个输出端接到与非门输入端,与非门输出端,接到清零端 CLR,输入端 A、B、C、D 接地,即从 0000 开始计数,计到 1011 信号通过与非门,送到清 0 端。两个使能端接高电平,置数端 LOAD 接高电平,脉冲端 CLK 接来自 555 电路的方波发生器输出端的信号,经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的 11 个台阶数的阶梯波波形。11 阶阶梯波信号发生电路如图 8.37 所示,11 阶阶梯波输出电压仿真如图 8.38 所示。

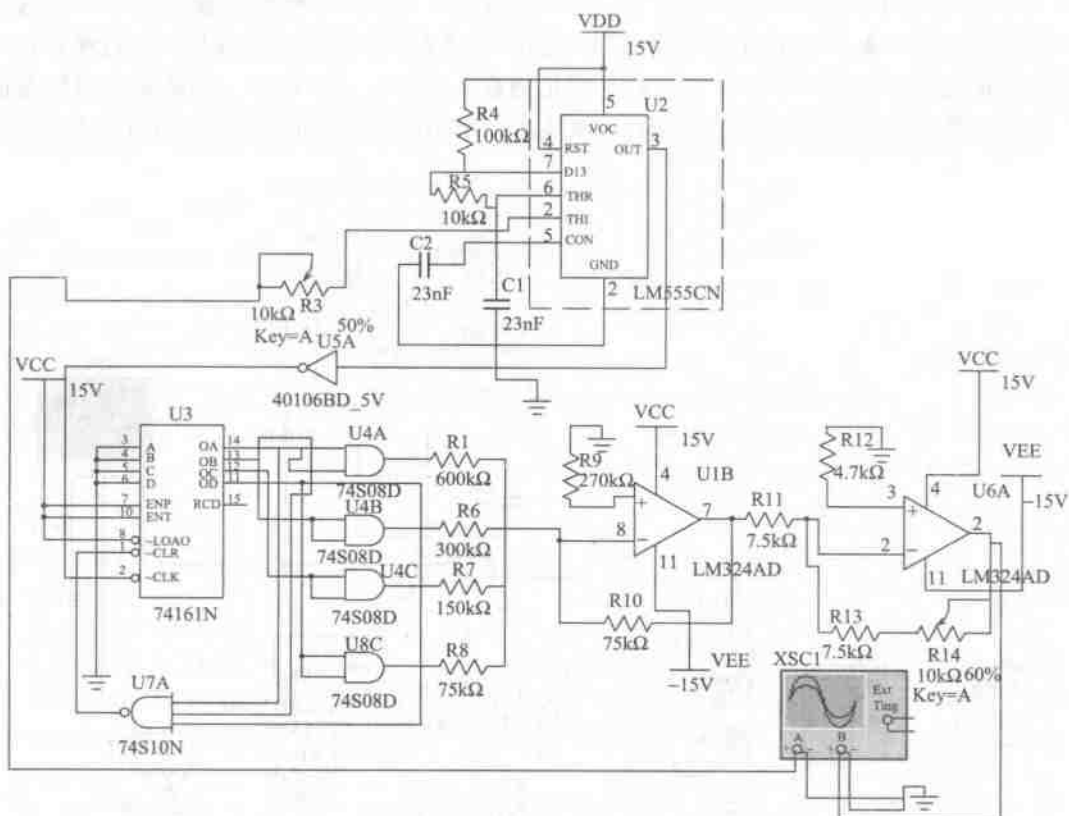


图 8.37 11 个台阶阶梯波电路

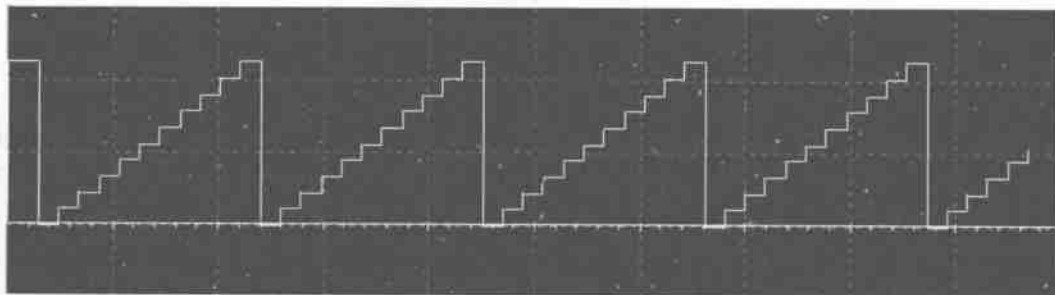


图 8.38 11 个台阶阶梯波仿真

8.6.5 7个台阶阶梯波设计一

本设计采用 74LS160 计数器，因为其可控台阶数多，超过 10 个所以引用 74LS160，它是十进制异步清零、同步置数加法计数器，在计数脉冲下降沿作用下来一个脉冲计一个数，要置 7 进制，从初始状态 0000 开始，到 0111，再跳回 0000，所以把 Q_C 、 Q_B 、 Q_A 3 个输出端接到与非门输入端，与非门输出端，接到清零端 CLR，输入端 A、B、C、D 接地，即从 0000 开始计数，计到 0111 信号通过与非门，送到清 0 端。两个使能端接高电平，置数端 LOAD 接高电平，脉冲端 CLK 接来自 555 电路的方波发生器输出端的信号，经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的 7 个台阶数的阶梯波波形。7 阶阶梯波信号发生电路原理如图 8.39 所示，7 阶阶梯波输出电压仿真如图 8.40 所示。

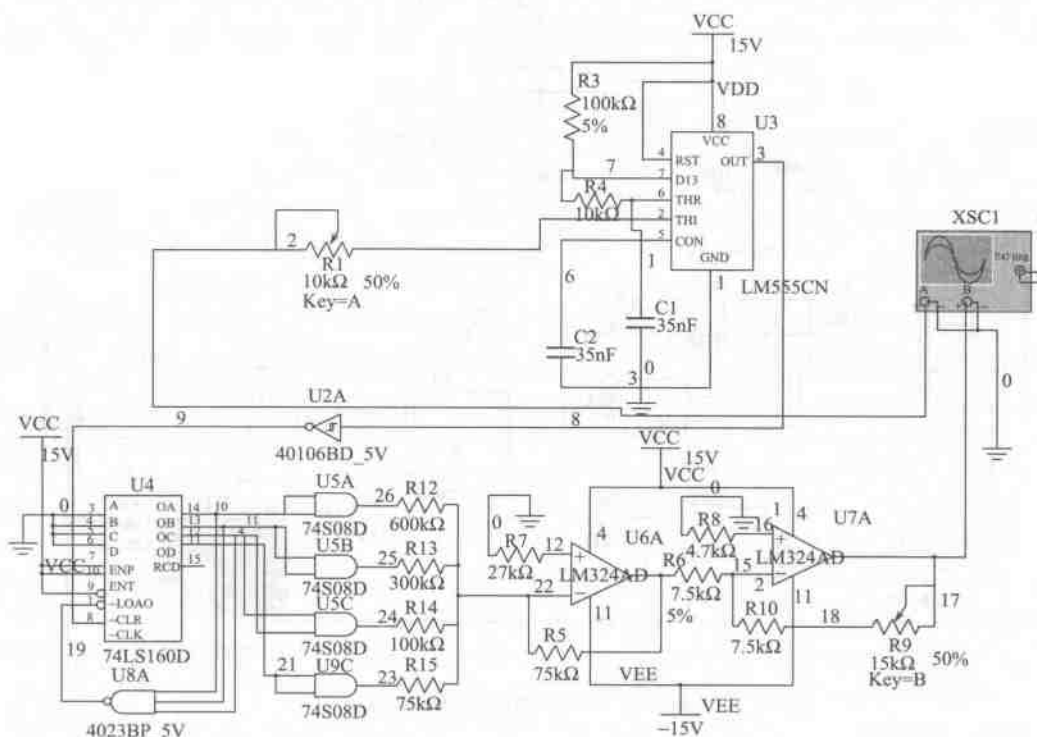


图 8.39 7 个台阶阶梯波电路



图 8.40 7 个台阶阶梯波仿真

8.6.6 7 个台阶阶梯波设计二

此设计与 8.6.5 设计的区别是采用 74LS161 计数器，脉冲端 CLK 接来自运算放大器构成电路的方波发生器输出端的信号，经过缓冲器寄存送给比例运算放大器进行合理的运算分配比例数从而产生需要的

的 7 个台阶数的阶梯波波形。7 阶阶梯波信号发生电路和 7 阶阶梯波输出电压仿真如图 8.41 和 8.42 所示。

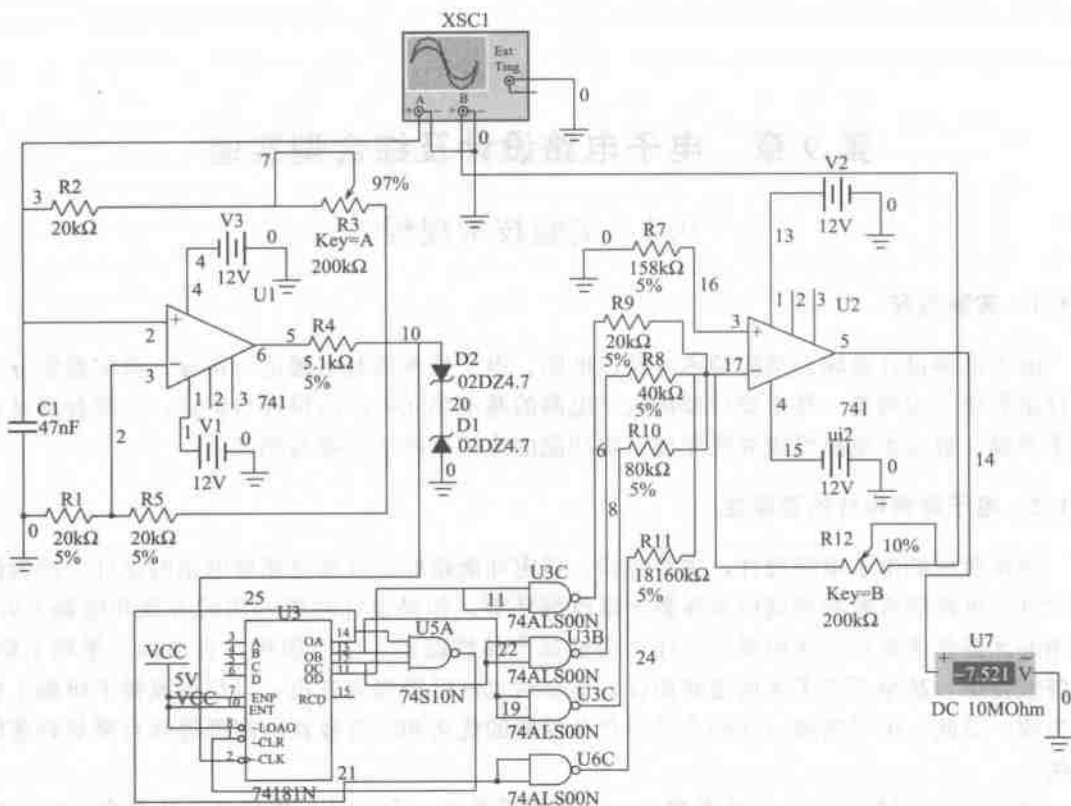


图 8.41 7 个台阶阶梯波电路

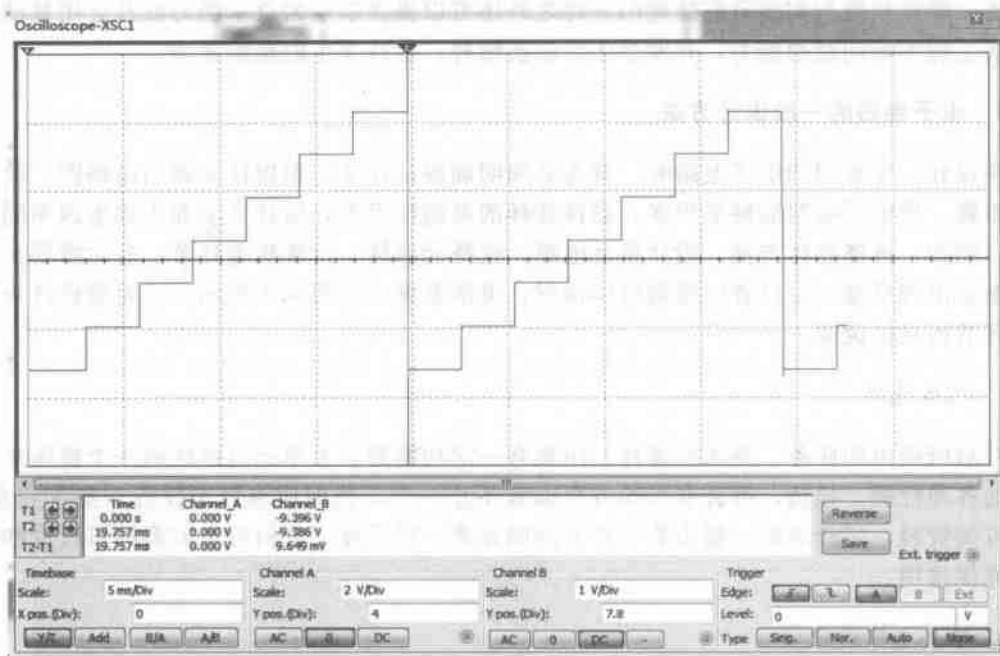


图 8.42 7 个台阶阶梯波仿真波形

第9章 电子电路设计及综合型实验

9.1 实验技术规程

9.1.1 实验内容

电子电路设计及综合型实验内容是以电路、电子技术的基本理论为指导,将实验题分为设计型和综合型两类。其中设计型指电子电路的基本单元电路的设计与调试,而综合型是由若干个模、数基本电路组成并能完成一定功能的应用电路的实验与调试。

9.1.2 电子电路设计的重要性

通常所说的电子电路设计,主要包括:拟定性能指标、各部分原理电路的设计、参数值的计算,电路的实验与调试以及参数的修改等环节。如果设计时所采用的方案和电路不好、选用的元器件太贵或筛选困难等,往往会造成产品性能差,生产困难,成本高,销路不畅,经济效益低,甚至不得不考虑重新设计,但那时也许已经错失良机,以至造成整个研制工作的失败。因此,电子电路设计的质量对产品性能的优劣和经济效益的高低等具有举足轻重的作用。

面向21世纪的电工电子技术教学,应当是重基础、重设计、重创新,为此在“电工电子技术实验课”中增加“设计及综合型实验”的实验教学环节,可使学生受到设计思想、设计技能、调试技能与实验研究技能的训练之外还可以提高学生的自学能力以及运用基础理论去解决工程实际问题的能力,开发学生的创新精神,提高学生的全面素质。

9.1.3 电子电路的一般设计方法

在设计一个常用的电子电路时,首先必须明确设计任务,根据任务画出电路图,设计出步骤步骤。但电子电路的种类很多,器件选择的灵活性很大,设计方法和步骤也因不同情况而异。例如,选择总体方案、设计单元电路、选择元器件、计算机等环节,有时需要交叉进行甚至会出现反复。设计者应根据具体情况,灵活掌握,如图9.1所示。下面就设计步骤的一些环节做具体说明。

1. 总体设计

针对所提出的任务、要求和条件,用具有一定功能的若干单元电路构成一个整体来实现系统的各项性能。显然,符合要求的方案通常不止一个,我们应当针对任务、要求和条件,查阅有关资料,广开思路,提出若干种不同的方案,然后逐一分析每个方案的可行性和优缺点,择优选用。

2. 单元电路的设计

选定整体方案后,便可画出详细框图,设计单元电路,详细拟定各单元电路的性能指

标,注意各单元电路输入信号、输出信号、控制信号之间的关系与相互配合,尽量少用电平转换之内的接口电路。

选择单元电路的结构形式,最简单的办法是从过去的和所了解的电路中选择一个在性能上满足要求的电路,同时最好去查阅各种资料。这样既可以丰富知识,而且能找到更简单、成本更低的电路,也可在与设计要求比较接近的某电路上适当改进等。

3. 元器件的选择

1) 电子电路的设计,从某种意义上来讲就是选择最合适的元器件

元器件的品种规格十分繁多,性能、价格和体积各异,而且新产品不断涌现,要求我们经常关心元器件信息和新动向,多查阅器件手册和有关的科技资料,尤其要熟悉一些常用的元器件型号、性能和价格,这对单元电路和整体电路设计极为有利。选择什么样的元器件更合适,首先应考虑满足单元电路对元器件性能指标的要求,其次是考虑价格、资源和元器件体积等方面的要求。

2) 集成电路与分立元件电路的选择问题

众所周知,由于集成电路具有体积小、功耗低、工作性能好、安装调试方便等一系列的优点而得到了广泛的应用,成为现代电子电路的重要组成部分之一。因此,在电子电路设计中优先选用集成电路已为人们所认可。例如在模拟电子电路中,有大量的模拟信号需要进行处理,如交、直流放大、线性检波、振荡,有源滤波、运算等。相比之下,若改用分立元件来表现这些功能电路,当然要逊色许多。但就有些情况采用分立元件比集成电路好,例如有些功能相当简单的电路,只要用一只三极管或二极管就能解决问题,就不必选用集成电路了。

3) 阻容元件的选择

电阻器和电容器是两种常用的分立元件,它们的种类很多,性能各异。阻值相同、品种不同的两种电阻器或容量相同、品种不同的两种电容器用在同一个电路中的同一个位置可能效果大不一样。

4. 参数计算

计算参数的具体方法在于正确运用分析方法,弄清电路原理和用好计算公式。设计中计算参数与做习题有所不同。习题中通常将大多数参数值作为已知量给出,一般只需求一两个参数值,而且正确答案唯一。而设计电路时,除了对电路性能指标进行要求外,通常没有其他已知参数,几乎全部由设计者自己选择和计算,而且理论上满足要求的参数值通常不唯一,给设计者提供了选择的自由,即可根据价格,体积和货源等具体情况灵活选择。

5. 审图

在画出整体电路图,并计算出全部参数值以后,至少应进行一次全面审查。因为设计过程中难免会出现错误。例如:①没考虑某器件电源电压范围,而电路中信号的输出大于其范围,可能损坏元器件。②通过审图找出不合理的设计。

6. 实验

设计一个解决问题的具体电路，需要解决的问题比较多。既要考虑方案以及用哪些单元电路，各单元电路之间怎样连接，如何配合，还要考虑用哪些器件。它们的性能、货源、价格、体积、功耗各方面。通过实验可以发现问题，遇到问题时要分析原因，找出解决问题的办法和途径。经测试，电路性能全部达到要求后，再画出正式的具体电路图。

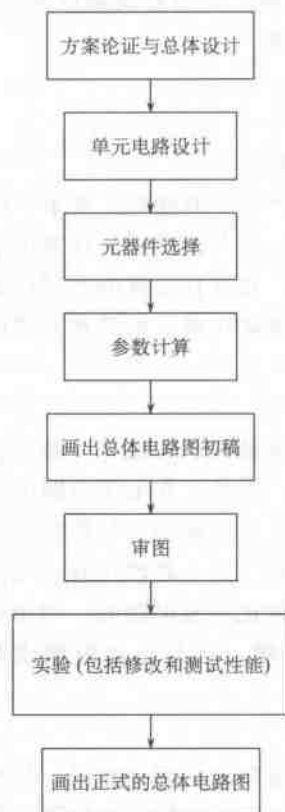


图 9.1 设计流程图

9.1.4 实验报告

(1) 简单介绍电路的设计与调试的全过程，包括功能分析、方案论证、基本构思等。若有自主创新设计思想，要予以重点描述，附上有关资料和图纸。

(2) 详细综述整个实验过程，包括故障的分析排查、电路的修改完善等。

(3) 从功能上简要介绍自己平时注意观察到的电子电路系统。

(4) 实验心得体会以及对每次实验的建议和设想。

9.1.5 注意事项

(1) 实验前应做好充分准备，包括：熟悉实验相关的仪器设备和装置；懂得元器件的功能和使用方法；完成有关电路图的设计等。

(2) 实验过程中，切忌带电接线和拆线。

(3) 实验过程中，如有异常情况出现，应立即切断电源，并

耐心细致分析各个可能的原因，逐个加以排查解决。

9.2 电动机继电器控制系统的设计

9.2.1 实验目的

- (1) 加深对电气控制系统中各种保护、自锁、互锁等环节的理解和运用。
- (2) 掌握继电器控制系统的一般设计方法。
- (3) 学会分析和排除继电器控制线路故障的方法。

9.2.2 设计要求

- (1) 根据以下设计项目，选择 3~5 个进行设计。注意：
 - ①应尽量提出多个设计电路，并比较各电路的特点。
 - ②应充分合理利用给定条件，优化设计方案。
- (2) 通过实验，验证自己设计的电路。若有错误，应认真分析原因，修正错误，并详细

记录整个实验过程,如错误的修正、功能的完善以及问题的解决等等。

(3) 按要求撰写实验报告。

9.2.3 设计提示

(1) 既能点动,又能连动。要求有短路保护和过载保护。

(2) 电动机 A 停止后,电动机 B 才能起动(或用电灯模拟)。

(3) 电动机 A 起动后(或用电灯模拟),电动机 B 才能停止。

(4) 电动机 A 起动后(或用电灯模拟),电动机 B 才能点动。

(5) 电动机 A 运行时,电动机 B 一旦启动便不能停止(或用电灯模拟)。

(6) 电动机 A 起动后,电动机 B 过 10 秒自行起动(或用电灯模拟)。

(7) 电动机 A 起动后,电动机 B 过 10 秒自行起动(或用电灯模拟),电动机 A 随即停止。

(8) 电动机 A 起动后,电动机 B 自行起动(或用电灯模拟),10 秒钟后电动机 A 停止。

(9) 电动机正转 10 秒钟后反转。同时,正转和反转分别用灯显示。

(10) 电动机起动后,10 秒钟正转,10 秒钟反转,循环往复。同时,正转和反转分别用灯显示。

9.2.4 实验条件

实验用具一览表如表 9.1 所示。

表 9.1 实验用具一览表

序号	名称	规格型号	数量	备注
1	三相交流电源	380V	1	
2	三相调压器	380V/0~500V	1	
3	组合开关	三刀双掷	1	
4	三相异步电动机	DJ24	2	
5	复式按钮		6	
6	交流接触器	JZC4-40	6	
7	时间继电器	ST3PA-B	2	通电延时、可调
8	电灯	220V	若干	
9	热继电器	D9305d	2	
10	熔丝	8A	若干	
11	连接导线		若干	
12	万用表		1	

9.3 简易万用表的设计

9.3.1 实验目的

(1) 了解万用表的特点、性能与用途。

- (2) 研究万用表的基本原理, 初步了解万用表电路的设计思路。
- (3) 通过实验, 巩固电路理论知识, 提高综合应用电路知识的能力。

9.3.2 设计要求

- (1) 直流电压表: 满量程 2.5V、10V、100V。
- (2) 直流电流表: 满量程 10mA、50mA、100mA。
- (3) 交流电压表: 满量程 25V、50V、100V。
- (4) 交流电流表: 满量程 10mA。
- (5) 欧姆表: 满量程分别为 $R \times 1$ 、 $R \times 10$ 、 $R \times 100$ 、 $1k\Omega$ 。
- (6) 根据设计任务选择总体方案, 画出设计框图。
- (7) 根据设计框图进行单元电路设计。
- (8) 画出总体电路原理图。
- (9) 列出元器件清单。
- (10) 拟定实验步骤和调试方法。
- (11) 安装调试。
- (12) 按要求写实验报告。

9.3.3 设计提示

在测量中, 电表的接入应不影响被测电路的原工作状态, 这就要求电压表具有无穷大的输入电阻 (内阻), 电流表的内阻应为零。但实际使用中, 万用表表头 (电压表) 的内阻并不是无穷大或者 (电流表) 的内阻并不是为零,

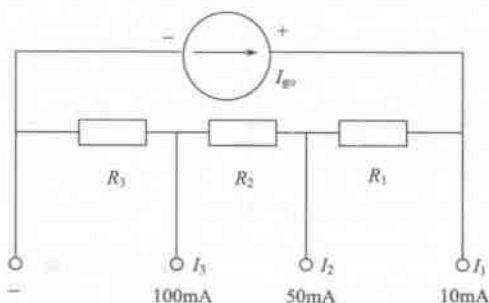


图 9.2 直流电流表的设计

进行交流测量时将影响被测电路, 引起误差。此外, 交流电流表中的整流二极管的压降和非线性特性也会产生误差。如果在万用表中使用运算放大器, 就能大大降低这些误差, 提高测量精度。

例如: 直流电流表的设计

用一只表头固然可以直接测量电流, 但测量范围有限, 很不实用。为了扩大电流的测量范围, 我们常利用分流原理, 由电阻组成分流器, 做成多量程的电流表。电阻的阻值可根据电流的量程确定, 适当选择分流电阻可构成符合设计要求的多量程电流表, 如图 9.2 所示。

电路中, r_1 、 r_2 、 r_3 组成闭路抽头式分流器, 三个量程 $I_3 > I_2 > I_1$, 且 $R_1 = r_1 + r_2 + r_3$, $R_2 = r_2 + r_3$, $R_3 = r_3$ 。

根据分流关系可得

$$R_1 = R_g / (I_1 / I_g - 1)$$

$$R_1 I_1 = R_2 I_2 = R_3 I_3 = R_g I_g$$

已知 R_g 、 I_g 及 I_1 、 I_2 、 I_3 , 可首先计算出 R_1 、 R_2 、 R_3 , 再求出分流电阻 r_1 、 r_2 、 r_3 , 即可与表头组成直流电流测试电路。

9.3.4 实验条件

- (1) 实验表头：灵敏度 $I_g \approx 1\text{mA}$ ，内阻 $R_g \approx 170\Omega$ 。
- (2) 标准微安表一只。
- (3) 标准电阻箱一只。
- (4) 标准交流电压表和标准直流电压表各一只。
- (5) 标准交流电流表和标准直流电流表各一只。
- (6) 电阻、二极管元件若干。

9.3.5 预习要求

复习第2章有关万用表的基本原理。

9.4 单运放差分式放大电路的设计

9.4.1 实验目的

掌握差分式放大电路的工作原理，学会设计能够减小放大器的零点漂移，抑制共模信号，对差模信号具有一定的放大能力的电路。

9.4.2 设计要求

设计一个由集成运算放大器组成的差动输入比例放大电路。参考电路如图9.3所示。

1. 要求该电路满足下列技术指标

差模电压增益：	$ A_{vd} = 50$
差模输入电阻：	$R_{id} > 20\text{k}\Omega$
共模抑制比：	$K_{CMR} > 200$
共模电压输入范围：	$V_{ICM} \leq \pm 9\text{V}$
电源电压：	$V_{CC} = +12\text{V}$ $V_{EE} = -12\text{V}$

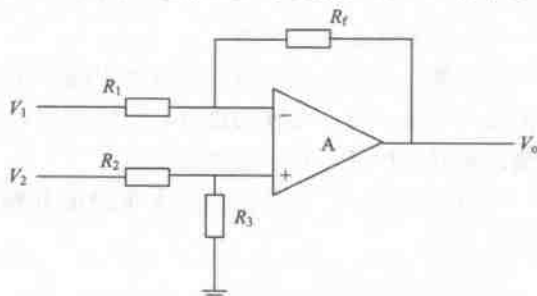


图 9.3 单运放差分式放大电路

2. 要求

- (1) 根据设计要求确定电路方案，计算并选取放大电路的各元件参数。
- (2) 测量放大电路的主要性能指标：差模电压增益 A_{vd} ，共模电压增益 A_{vc} ，差模输入电阻 R_{id} ，并与理论计算值进行比较。
- (3) 按要求撰写实验报告。

9.4.3 设计提示

单运放差分式放大电路如图9.3所示。

(1) 根据运放原理, 在理想条件下, 输出电压与输入电压的关系式为:

$$V_o = \left(1 + \frac{R_f}{R_i}\right) \left(\frac{R_3}{R_2 + R_3}\right) \cdot V_2 - \frac{R_f}{R_1} \cdot V_1 \quad (9.1)$$

$$\text{当 } \frac{R_f}{R_1} = \frac{R_3}{R_2} \text{ 时 } V_o = \frac{R_f}{R_1} (V_2 - V_1) \quad (9.2)$$

理想运算放大器, 共模输出电压等于零。但在实际中, 由于电阻存在误差, 特别是很难控制两个输入端的信号源内阻, 使共模抑制作用受到损害, 因此实际应用中, 通常可根据需要在 R_3 回路中增加用于失配调节的可变电阻 R_{p1} 。其次这种电路的输入电阻 R_{id} 不够高, 因为欲提高 R_{id} , 则必须加大 R_1 , 而 R_1 大, 会使失调误差和漂移误差增大。再次这种电路的电压增益也不可能很高, 因为欲要求有较高的闭环增益, 则要减小 R_1 和 R_2 , 但这样势必会降低输入电阻; 或者是增大 R_f , 但 R_f 若过大 (如大于 $1\text{M}\Omega$), 选配精度和稳定性又难以保证, 而且寄生电容影响大, 频带变窄。

(2) 参数确定与元件选择。

设计差分放大电路时, 应根据设计要求条件选择集成运算放大器和确定外电路的元件参数。

① 确定电阻 R_1 、 R_2 、 R_3 、 R_f 。

选取 R_1 , 由式 (9.2) 求出反馈电阻 R_f , 即

$$R_f = |A_{ud}| \cdot R_1$$

电阻 R_2 、 R_3 可由平衡条件 $\frac{R_3}{R_2} = \frac{R_f}{R_1}$ 确定。

② 选择集成运算放大器。

选用集成运算放大器时, 首先要查阅产品手册, 分析所选用的集成运放的性能指标能否满足设计要求。对一般性的设计; 可以选用 LM741 型通用型运放, 但若用于弱信号的测量电路, 最好选用低漂移型运算放大器。

值得注意的是, 这种差分放大电路的共模电压范围只能限在 $\pm 10\text{V}$ 以内, 否则电路不能正常工作。

③ 选择电阻元件。

电阻的选配原则应注意电阻的精度, 要求 R_1 与 R_2 , R_f 与 R_3 的选配精度应尽可能高, 最好选用高精度电阻, 但这种电阻价格较贵, 或改为选用误差 1% 的金属膜电阻。

(3) 作为扩展内容, 还可采用双运放或多运放组合的差分式放大电路。

9.4.4 实验条件

模拟电路实验箱 (内含集成运算放大器), 电阻 $1\text{k}\Omega$ 、 $10\text{k}\Omega$ 、 $25\text{k}\Omega$ 、 $50\text{k}\Omega$ 若干, 可调电阻 (电位器) $1\text{k}\Omega$ 、 $30\sim 50\text{k}\Omega$ 各 1 只。

9.4.5 预习要求

- (1) 熟悉模电实验箱及实验仪器的使用方法。
- (2) 熟悉集成运算放大器在信号运算方面的应用。

9.5 功率放大器综合型实验

9.5.1 实验目的

- (1) 熟悉半导体三极管电压放大电路的工作原理。
- (2) 熟悉功率放大电路的工作原理。
- (3) 熟悉稳压电源电路的工作原理。
- (4) 了解简单电子系统电路的组成,掌握其测量和调试方法。

9.5.2 实验原理

运用信号产生电路、整流稳压电路、电压放大电路、功率放大电路组合实现一个功率放大电路,该放大电路的原理框图如图9.4所示。

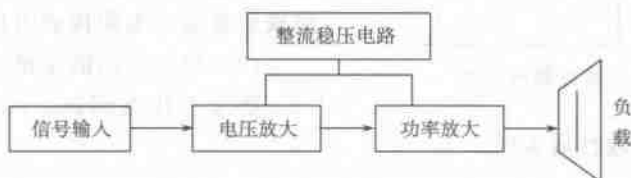


图 9.4 放大电路的原理框图

该系统是一种直接耦合的多级放大电路,它具有频响宽、保真度高及动态特性好等特点。本实验主要采用集成或分立元件电路实现信号的放大,并保证信号不失真。

信号产生电路是利用实验装置中的信号产生电路产生一个电压输入信号。

稳压电源电路能够把交流正弦信号经过整流、稳压等环节变成所需的直流电压信号。

电压放大部分的作用就是为功率放大提供一个比较大的电压信号,无论是电压放大还是功率放大都需要直流稳压电源,这里我们选择了整流稳压电源电路加以实现。

功率放大电路的作用是给负载 R_L 提供一定的输出功率,当 R_L 一定时,希望输出功率尽可能大,输出信号的非线性失真尽可能小,且效率尽可能高。为了获得足够大的输出功率驱动负载工作,故需要有足够高的电压。因此,电路由电压放大和功率放大等部分组成。

9.5.3 实验设备

- (1) 双踪示波器。
- (2) 数字万用表。
- (3) 模拟电路实验箱,包括信号产生电路、整流滤波稳压电路、电压放大电路、功率放大电路。

9.5.4 预习要求

- (1) 熟悉模电实验箱及实验仪器的使用方法。
- (2) 熟悉信号产生电路,整流滤波稳压电路,电压放大电路,功率放大电路的工作原理

及电路组成。

9.5.5 实验内容与步骤

1. 整流滤波稳压电路的调试

根据模电实验箱的电源电路连接出桥式整流电路参考电路图 9.5, 用示波器观察输出电压, 调整电位器使输出电压为放大电路所需的直流电源 +5V 或 +12V。

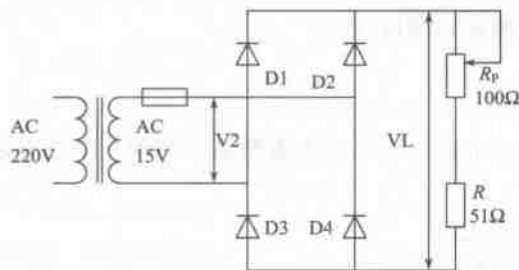


图 9.5 整流滤波稳压电路

2. 电压放大电路的调试

(1) 指标: 输入信号 $V_i \leq 1\text{mV}$; 输入阻抗 $R_i \geq 100\text{k}\Omega$ 。

(2) 放大电路的主要功能是将信号产生电路的输出信号进行电压放大, 可参考 6.4 集成运算放大电路构成电压放大电路。

(3) 放大电路的调试。

静态工作点调试: U_E 选择合适的数值,

确保放大电路工作在线性放大区。

动态调试

输入端加输入电压 U_i (输入正弦电压, 幅值与频率自选), 测量输出电压 U_o , 观测与记录输出电压与输入电压的波形 (幅值, 相位关系), 算出电压放大倍数。注意: 整个测试过程应确保输出波形不失真。

3. 功率放大电路的调试

根据实验箱的集成或分立元件功放电路模块连接出功率放大电路, 参考电路图 9.6。

测试中应注意在输出信号不失真的条件下进行, 因此测试过程中, 必须用示波器监视输出信号。输入 1kHz 或 2kHz 的正弦输入信号, 并逐渐加大输入电压幅值直至输出电压 U 的波形最大 (不失真), 测量此时 R_L 两端输出电压的最大值 U_{om} 或有效值 U 。

4. 系统联调

经过以上对各级电路的局部调试之后, 可以逐步扩大到整个系统的联调。具体如下:

- (1) 令输入信号 $U_i = 0$ (前置级输入对地短路), 测量输出端的直流输出电压。
- (2) 输入 $f = 1\text{kHz}$ 或 2kHz 的正弦信号, 改变 U_i 幅值, 用示波器观察输出电压波形的变化情况, 记录输出电压 U_o 最大不失真幅度所对应的输入电压 U_i 的变化范围。
- (3) 计算总的电压放大倍数 A_v 。

5. 数据整理

自己设计表格, 将实验过程中观察到的波形和实验数据分类记录下来。

9.5.6 实验报告要求

- (1) 整理各项实验数据, 并画出各级输入、输出电压的波形 (标出幅值、相位关系),

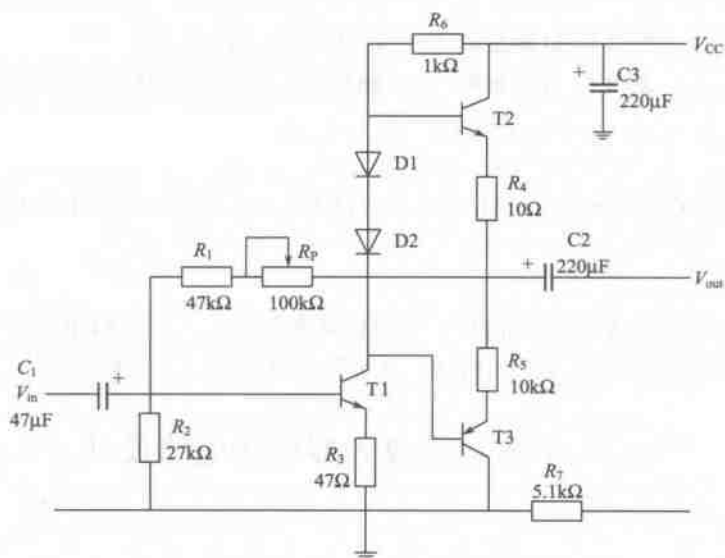


图 9.6 分立元件功放电路

分析实验结果，得出结论。

- (2) 将实验测量值分别与理论计算值进行比较，分析误差原因。
- (3) 整体调试结果分析是否满足设计要求。
- (4) 在整个调试过程中所遇到的问题以及解决的方法。
- (5) 收获体会。

9.6 小时与星期的计数显示设计

9.6.1 实验目的

- (1) 掌握触发器的工作原理及应用。
- (2) 掌握计数、译码、显示电路的工作原理及相互间关系。

9.6.2 设计要求

- (1) 一天 24 小时的时间显示，每 24 小时后显示星期数 1、2、3、4、5、6、8 的电路（循环）。
- (2) 时间数显示用集成计数器、译码显示来实现。
- (3) 星期数显示用触发器、译码显示来实现。
- (4) 按要求撰写实验报告。

9.6.3 设计提示

- (1) 用中规模计数器芯片构成 24 进制的时间显示。
- (2) 用 4 个 D 触发器（JK 触发器）构成 7 进制（1、2、3、4、5、6、8）计数显示

星期。

- (3) 星期显示中, 低 3 位 D 触发器 D 可采用异步二进制实现。
- (4) 星期显示中, 最高位 D 触发器 (JK 触发器), 可采用置位端实现 8 的显示。

9.6.4 实验条件

数字电子实验箱, 74LS290 (74LS390), 74LS112 (74LS74), 74LS20

9.6.5 预习要求

- (1) 星期显示最高位触发器如何接, 才能使星期数显示 8 之后输出为 0。
- (2) 星期显示最低位的触发器如何接, 才能使星期数显示 8 之输出为 1。

9.7 集成运算放大器应用电路设计

9.7.1 实验目的

要求学生灵活运用集成运算放大器的相关知识, 自行设计以集成运算放大器为核心的微电流检测与显示电路并完成电路实验, 通过设计和实验过程, 使学生巩固和加深运算放大器的线性、非线性应用和理想运放的虚地、虚短、虚断等概念和知识, 开拓学生思路, 为在今后实际工作中灵活运用集成运放进行信号处理打下基础。

9.7.2 设计要求

- (1) 用集成运算放大器设计一套微电流检测与显示电路并完成电路实验。
- (2) 提交实验完整的电路原理图、元器件清单、电路参数计算误差分析等。
- (3) 按要求撰写实验报告。

9.7.3 设计提示

1. 电路功能指标

- (1) 测电流范围: $0 \sim 20 \mu\text{A}$ (DC)。
- (2) 输出显示: 两路输出, 一路为电压模拟量输出, 可用电压表显示, 指针式或数字式电压表均可, 表头内阻不限。另一路输出开关量, 用四只发光二极管 (LED) 对应显示电流范围, 分别为: $0 \sim 5 \mu\text{A}$ 、 $5 \sim 10 \mu\text{A}$ 、 $10 \sim 15 \mu\text{A}$ 、 $15 \sim 20 \mu\text{A}$ 。即被测电流从小到大, 发光依次为从一只亮到四只全亮。
- (3) 供电电源电压: $\pm 12\text{V}$ 。
- (4) 信号源: 用直流稳压电源产生微电流。

2. 参考设计框图

如图 9.7 所示。

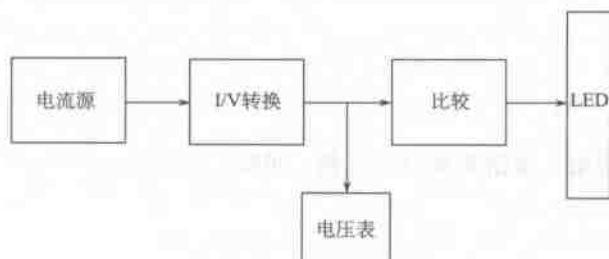


图 9.7 设计框图

3. 可采用单运放和四运放

查阅手册、资料。

9.7.4 实验条件

- (1) 双踪示波器。
- (2) 数字万用表。
- (3) 模拟电路实验箱。

9.7.5 预习要求

集成运算放大器在信号处理方面的应用。

9.8 函数信号发生器的设计

9.8.1 实验目的

- (1) 通过本实验学习用集成运放设计构成正弦波、方波和三角波发生器设计方法。
- (2) 根据不同的选频电路, 实现不同频率的正弦波、方波和三角波发生器设计。
- (3) 学习主要性能指标的测试方法。

9.8.2 设计要求

- (1) 设计一个构成正弦波、方波和三角波发生器。
- (2) 频率范围 $100 \sim 1000\text{Hz}$, $1000 \sim 10000\text{Hz}$ 。
- (3) 输出电压: $V_{pp} \leq 24\text{V}$ 。
- (4) 按要求撰写实验报告。

9.8.3 设计提示

- (1) 用运算放大器构成 RC 正弦波振荡电路。
- (2) 用运算放大器做比较器构成矩形波发生器电路。
- (3) 可用 RC 选频电路。

9.8.4 实验条件

- (1) 双踪示波器。
- (2) 数字万用表。
- (3) 模拟电路实验箱, 包括集成运放电路、电阻、电容等。

9.8.5 预习要求

- (1) 熟悉模电实验箱及实验仪器的使用方法。
- (2) 熟悉集成运算放大器在信号运算方面的应用。

9.9 方波发生器的设计

9.9.1 实验目的

- (1) 通过本实验学习用 555 定时器构成方波发生器的设计方法。
- (2) 根据不同的频率范围, 实现频率的连续可调。
- (3) 学习主要性能指标的测试方法。

9.9.2 设计要求

- (1) 设计一个用 555 集成块构成的方波发生器。
- (2) 频率范围 $f=1000\sim 10000\text{Hz}$, $1000\sim 5000\text{Hz}$ 。
- (3) 输出电压: $V_{p-p}\leq 6\text{V}$ 。
- (4) 按要求撰写实验报告。

9.9.3 设计提示

- (1) 用 555 集成块构成多谐振荡器形成方波发生器电路。
- (2) 通过改变输入端电阻和电容的大小实现频率可调。
- (3) 根据可选的 R 、 C 数据, 可改变电位器 R 或 C 的值实现多组实验数据。

9.9.4 实验条件

- (1) 双踪示波器。
- (2) 数字万用表。
- (3) 数字电路实验箱, 包括 555 集成电路、电阻、电容等。

9.9.5 预习要求

- (1) 熟悉数字实验箱及实验仪器的使用方法。
- (2) 555 工作原理。

第 10 章 GW48 EDA 系统使用说明

10.1 GW48 教学实验系统原理与使用介绍

10.1.1 GW48 系统使用注意事项

- (1) 闲置不用 GW48 EDA 系统时, 关闭电源, 拔下电源插头!
- (2) EDA 软件安装方法可参见光盘中相应目录中的中文 README.TXT; 详细使用方法可参阅本书或《EDA 技术实用教程》、或《VHDL 实用教程》中的相关章节。
- (3) 实验中, 当选中某种模式后, 要按一下右侧的复位键, 以使系统进入该模式工作。
- (4) 换目标芯片时要特别注意, 不要插反或插错, 也不要带电插拔, 确信插对后才能开电源。其他接口都可带电插拔 (当适配板上的 10 芯座处于左上角时, 为正确位置)。
- (5) 系统板上的空插座是为单片机 AT89C2051 准备的, 除非进行单片机与 FPGA/CPLD 的接口实验和开发, 平时在此座上不允许插有任何器件, 以免与系统上的其他电路发生冲突。单片机与系统的连接情况可参阅以下的附图 10.14。该单片机和相应的编程器需自备或另购。
- (6) 对工作电源为 5V 的 CPLD (如 1032E/1048C、95108 或 7128S 等) 下载时, 最好将系统的电路“模式”切换到“b”, 以便使工作电压尽可能接近 5V。
- (7) 最好通过对 PC 机的 CMOS 的设置, 将打印机口的输入输出模式改成“EPP”模式。

10.1.2 GW48 系统主板结构与使用方法

图 10.1A 为 GW48 型 EDA 实验开发系统的主板结构图, 该系统的实验电路结构是可控的。即可通过控制接口键 SW9, 使之改变连接方式以适应不同的实验需要。因而, 从物理结构上看, 实验板的电路结构是固定的, 但其内部的信息流在主控器的控制下, 电路结构将发生变化。这种“电路结构重配置”设计方案的目有 3 个: ①适应更多的实验与开发项目; ②适应更多的 PLD 公司的器件; ③适应更多的不同封装的 FPGA 和 CPLD 器件。系统板面主要部件及其使用方法说明如下 (请参看图 10.1A):

- (1) SW9: 按动该键能使实验板产生 12 种不同的实验电路结构, 这些结构如 10.2 节的 14 张实验电路结构图所示。例如选择了“NO.3”图, 须按动系统板上的 SW9 键, 直至数码管 SWG9 显示“3”, 于是系统即进入了 NO.3 图所示的实验电路结构。
- (2) B2: 这是一块插于主系统板上的目标芯片适配座, 对于不同的目标芯片可配不同的适配座。可用的目标芯片包括目前世界上最大的六家 FPGA/CPLD 厂商几乎所有 CPLD、FPGA 和所有 ispPAC 等模拟 EDA 器件。第 10.3 节的表中已列出多种芯片对系统板引脚的对应关系, 以便在实验时经常查用。
- (3) J3B/J3A: 如果仅是作为教学实验之用, 系统板上的目标芯片适配座无须拔下, 但如果要进行应用系统开发、产品开发、电子设计竞赛等开发实践活动, 在系统板上完

成初步仿真设计后，就有必要将连有目标芯片的适配座拔下插在自己的应用系统上（如 GWDVP 板）进行调试测试。为了避免由于需要更新设计程序和编程下载而反复插拔目标

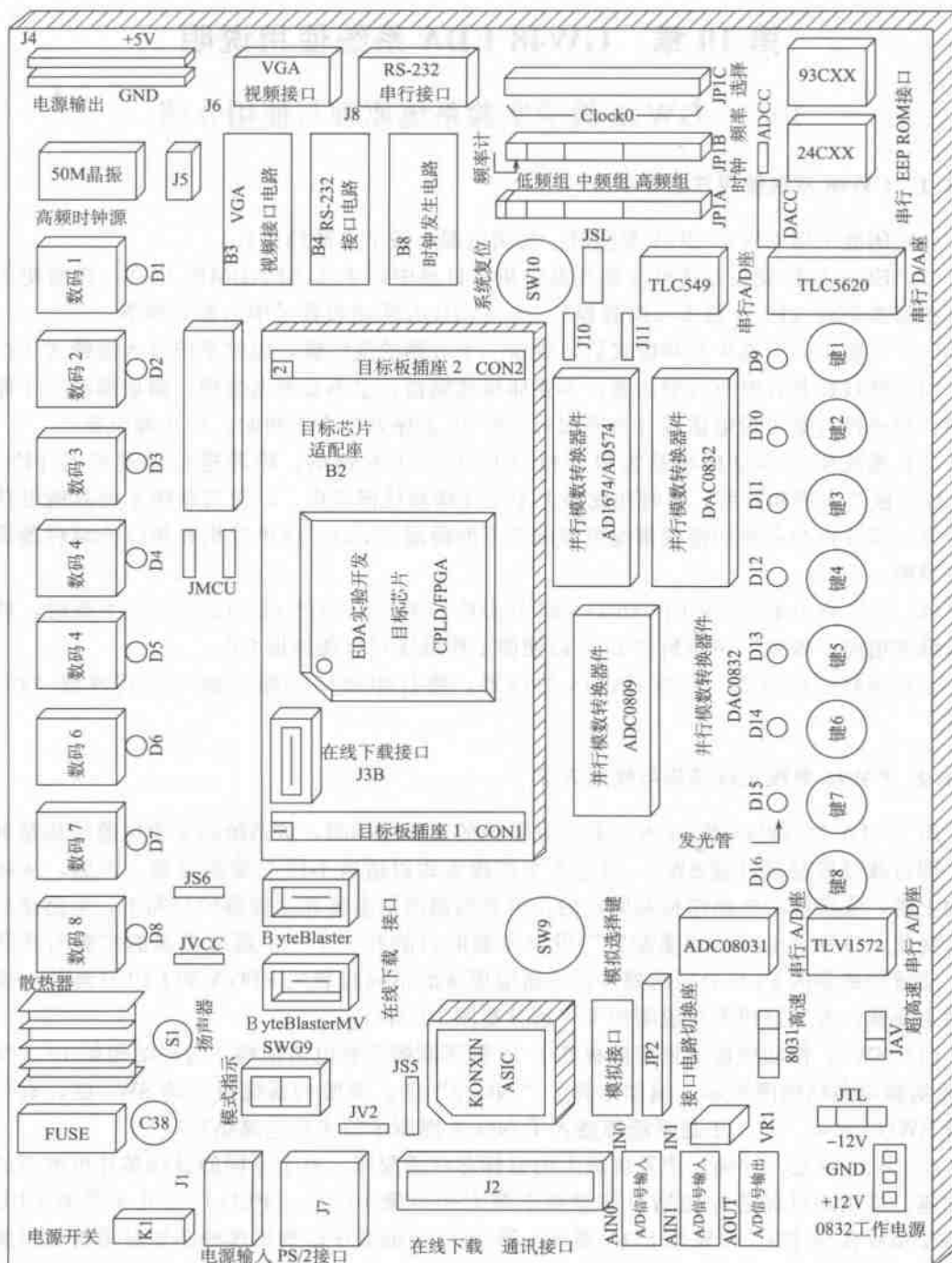


图 10.1A GW48-CK 实验开发系统的板面结构图

芯片适配座, GW48 系统设置了一对在线编程下载接口座: J3A 和 J3B。此接口插座可适用于不同的 FPGA/CPLD (注意: ①此接口仅适用于 5V 工作电源的 FPGA 和 CPLD; ②5V 工作电源必须由被下载系统提供) 的配置和编程下载。对于低压 FPGA/CPLD, (如 EP1K30/50/100、EPF10K30E 等, 都是 2.5V 器件), 下载接口座必须是另一座: ByteBlasterMV。

(4) 混合工作电压使用: 对于低压 FPGA/CPLD 目标器件, 在 GW48 系统上的设计方法与使用方法完全与 5V 器件一致, 只是要对主板的跳线作一选择:

跳线 JV2 对芯核电压 2.5V 或 1.8V 作选择。

跳线 JVCC 对芯片 I/O 电压 3.3V (VCCIO) 或 5V (VCC) 作选择, 对 5V 器件, 必须选“VCC”。例如, 若系统上插的目标器件是 EP1K30/50/100 或 EPF10K30E/50E 等, 要求将主板上的跳线座“JVCC”短路帽插向“VCCIO”一端; 将跳线座“JV2”短路帽插向“+2.5V”一端 (如果是 5V 器件, 跳线应插向“VCC”)。

(5) J2: 此接口通过下载线与微机的打印机口相连, 来自 PC 机的下载控制信号和 CPLD/FPGA 的目标码将通过 J2 口, 完成对 B2 上的目标芯片的编程下载。编程电路模块能自动识别不同的 CPLD/FPGA 芯片, 并作出相应的下载适配操作。

(6) 键 1~键 8: 为实验信号控制键。它在每一张电路图中的功能及其与主系统的连接方式随 SW9 的模式选择而变, 使用中需参照 10.2 节中的电路图。

(7) 数码管 1~8/发光管 D1~D16: 它们的连线形式也需参照 10.2 节的电路图。

(8) JP1A/JP1B/JP1C: 为时钟频率选择模块, 通过短路帽的不同接插方式, 使目标芯片获得不同的时钟频率信号。对于 JP1C, 同时只能插一个短路帽, 以便选择输向“CLOCK0”的一种频率。由于 CLOCK0 可选的频率比较多, 所以比较适合于目标芯片对信号频率或周期测量等设计项目的信号输入端。JP1B 分三个频率源组, 即如系统板所示的“高频组”、“中频组”和“低频组”。它们分别对应三组时钟输入端。例如, 将三个短路帽分别插于 JP1B 座的 2Hz、1024Hz 和 12MHz; 而另三个短路帽分别插于 JP1A 座的 CLOCK4、CLOCK7 和 CLOCK8, 这时, 输向目标芯片的三个引脚: CLOCK4、CLOCK7 和 CLOCK8 分别获得上述三个信号频率。需要特别注意的是, 每一组频率源及其对应时钟输入端, 分别只能插一个短路帽。也就是说, 通过 JP1A/B 的组合频率选择, 最多只能提供三个时钟频率。

(9) S1: 目标芯片的声讯输出, 可以通过在 JP1B 最上端是否插短路帽来选择是否将喇叭接到目标芯片的“SPEAKER”口上, 即 PIO50。通过此口可以进行奏乐或了解信号的频率。

(10) J7: 为 PS/2 接口。通过此接口, 可以将 PC 机的键盘或鼠标与 GW48 系统的目标芯片相连, 从而完成 PS/2 通信与控制方面的接口实验。连接方式参见电路结构“NO. 5B”。

(11) J6: 为 VGA 视频接口。通过它可完成目标芯片对 VGA 显示器的控制。

(12) 单片机接口器件: 它与目标板的连接方式也已标于主系统板上, 连接方式可参见 10.2 节的“实验电路结构 NO. 5B”。注意: 平时不能插单片机, 以防冲突。

(13) J8: 为 RS-232 串行通信接口。此接口电路是为单片机与 PC 机通信准备的, 由此可以使 PC 机、单片机、FPGA/CPLD 三者实现双向通信。当目标板上 FPGA/CPLD 器件需要直接与 PC 机进行串行通信时, 可参见实验电路结构图 NO. 5B, 将标有“JMCU”处的两个插座的短路帽同时向右插, 以使单片机的 P3.0 和 P3.1 分别与目标芯片的 PIO31 和 PIO30 相接。而当需要使 PC 机的 RS232 串行接口与单片机的 P3.0 和 P3.1 口相接时, 则应将标有“JMCU”

处的两个插座的短路帽同时向左插(平时不用时也应保持这个位置)。

(14) AOOUT/JP2: 利用此电路模块, 可以完成 FPGA/CPLD 目标芯片与 D/A 转换器的接口实验或相应的开发。它们之间的连接方式可参阅 10.2 节的“实验电路结构 NO.5C”: D/A 的模拟信号的输出接口是“AOOUT”。JP2 为转换方式和输出方式选择座。如系统板于 JP2 处所示: ①当短路“D/A 锁存”时, 则 D/A 的信号 WR 将受 PIO36 信号的控制, 完成数据锁存的输入方式; ②当短路“D/A 直通”, 则 D/A 的信号 WR 不受 PIO36 信号的控制, 数据将直通输入; ③当短路“0 to +5”时, D/A 的模拟输出幅度处于 0 至 +12V 间; ④当短路“-5 to +5”时, D/A 的模拟输出幅度处于 -12V 至 +12V 间; ⑤当分别短路“滤波 0”与“滤波 1”时, D/A 的模拟输出将获得不同程度的滤波效果。另外须注意, 进行 D/A 接口实验时, 需要接上正负 12 伏工作电源, 插座在主板的左上角, 请注意极性。

(15) ADC0809/AIN0/AIN1: 外界模拟信号可以分别通过系统板左下侧的两个输入端“AIN0”和“AIN1”进入 A/D 转换器 ADC0809 的输入通道 IN0 和 IN1, ADC0809 与目标芯片直接相连。通过适当设计, 目标芯片可以完成对 ADC0809 的工作方式确定、输入端口选择、数据采集与处理等所有控制工作, 并可通过系统板提供的译码显示电路, 将测得的结果显示出来。此项实验首先需参阅 10.2 节的“实验电路结构 NO.5A”有关 0809 与目标芯片的接口方式, 同时了解系统板上的接插方法以及有关 0809 工作时序和引脚信号功能方面的资料。注意: 不用 0809 时, 需将左下角 JP2 的“A/D 禁止”用短路帽短接。

(16) JP2 (左下角座): 若将插座 JP2 的“A/D 使能”短路、“A/D 禁止”开路, 则将 ENABLE (9) 与 PIO35 相接; 若使“A/D 使能”开路、“A/D 禁止”短路, 则使 ENABLE (9) ← 0, 表示禁止 0809 工作, 使它的所有输出端为高阻态。若将插座 JP2 的“转换结束”短路, 则使 EOC (7) ← PIO36, 由此可使目标芯片对 ADC0809 的转换状态进行测控。

(17) VR1/AIN1: VR1 电位器, 通过它可以产生 0V ~ +5V 幅度可调的电压。其输入口是 0809 的 IN1 (与外接口 AIN1 相连, 但当 AIN1 插入外输入插头时, VR1 将与 IN1 自动断开)。若利用 VR1 产生被测电压, 则需使 0809 的 25 脚置高电平, 即选择 IN1 通道。

(18) AD574A: 就一般的工业应用来说, AD574A 属高速高精度 A/D 器件, 应用十分广泛。系统所附的 AD574A 插座已接成双极性输入方式, 信号输入口是 AIN0。AD574A 内置 10V 精密参考电压源, 输入采样电压范围是 -10V ~ +10V, 精度 12 位, 最高位是符号位, 转换速度 20 μ s (AD574) 或 10 μ s (AD1674)。接线方式如表 10.1 所示。使用时, 需将系统板上的两个 3 针座 J10/J11 短路帽靠右插, 以使 PIO33 与 STATUS (PIN28) 及 AD574 的 CE (PIN6) 与 VCC 相接。注意: ①使用 AD574 时要接正负 12V 电压; ②不用 AD574 时应将 J10/J11 的短路帽都靠左插。

表 10.1 GW48CK 系统上 AD574/1674 引脚端口与目标器件引脚连接对照表

AD574 端口	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	DB8
目标芯片引脚	PIO16	PIO17	PIO18	PIO19	PIO20	PIO21	PIO22	PIO23	PIO40
AD574 端口	DB9	DB10	DB11	12/8	CS	A0	R/C	CE	STATUS
目标芯片引脚	PIO41	PIO42	PIO43	PIO34	PIO37	PIO36	PIO35	VCC/GND	PIO33

(19) AIN0 的特殊用法：系统板上设置了一个比较器电路，主要以 LM311 组成。若与 D/A 电路相结合，可以将目标器件设计成逐次比较型 A/D 变换器的控制器件。

(20) SW10：系统复位键。此键是系统板上负责监控的微处理器的复位控制键，同时也与接口单片机 AT89C2051 的复位端相连。因此，可兼作单片机的复位键。

(21) JS5/JS6：系统板硬件升级备用跳线插座，当需要硬件升级时，有关商家会通知接插方式和使用方法。

(22) J4：电源输出插座，输出极性如图 10.1A 所标，供实验之用。

(23) CON1/2：目标芯片适配座 B2 的插座，在目标板的下方。两条插座的 80 个插针的连接信号如图 10.1B 所示，此图为用户对此实验开发系统作二次开发提供了条件。此二座的位置设置方式和各端口的信号定义方式与综合电子设计竞赛开发板 GWDVP 完全兼容！

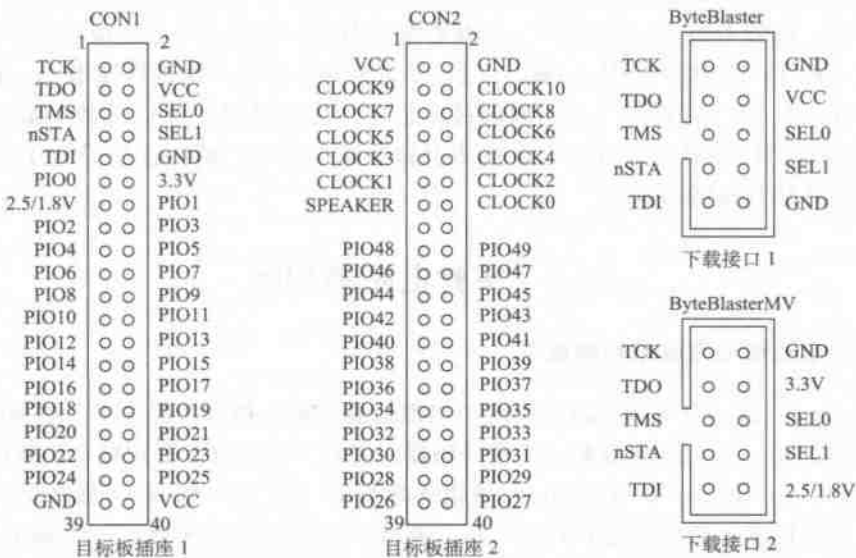


图 10.1B GW48 系统目标板插座引脚信号图

表 10.2 在线编程座各引脚与不同 PLD 公司器件编程下载接口说明

PLD 公司	LATTICE	ALTERA/ATMEL		XILINX		VANTIS
编程座引脚	IspLSI	CPLD	FPGA	CPLD	FPGA	CPLD
TCK (1)	SCLK	TCK	DCLK	TCK	CCLK	TCK
TDO (3)	MODE	TDO	CONF_DONE	TDO	DONE	TMS
TMS (5)	ISPEN	TMS	nCONFIG	TMS	/PROGRAM	ENABLE
nSTA (7)	SDO		nSTATUS			TDO
TDI (9)	SDI	TDI	DATA0	TDI	DIN	TDI
SEL0	GND	VCC*	VCC*	GND	GND	VCC*
SEL1	GND	VCC*	VCC*	VCC*	VCC*	GND

注：VCC 旁的 * 号对混合电压 FPGA/CPLD，应该是 VCCIO

举例说明：若通过键 SW9 选中了“实验电路结构图 NO.1”（图 10.4），这时的 GW48 系统板所具有的接口方式变为：FPGA/CPLD 端口 PI/O31~28、27~24、23~20 和 19~16，共 4 组 4 位二进制 I/O 端口分别通过一个全译码型的 7 段译码器输向系统板的 7 段数码显示器。这样，如果有数据从上述任一组四位输出，就能在数码显示器上显示出相应的数值，其数值对应范围为：

FPGA/CPLD 输出	0000	0001	0010	...	1100	1101	1110	1111
数码管显示	0	1	2	...	C	D	E	F

端口 I/O32~39 分别与 8 个发光二极管 D8~D1 相连，可作输出显示，高电平亮。还可分别通过键 8 和键 7，发出高低电平输出信号进入端口 I/O49 和 48；键控输出的高低电平由键前方的发光二极管 D16 和 D15 显示，高电平输出为亮。此外，可通过按动键 4 至键 1，分别向 FPGA/CPLD 的 PIO0~PIO15 输入 4 位 16 进制码。每按一次键将递增 1，其序列为 1, 2, ..., 9, A, ..., F。注意，对于不同的目标芯片，其引脚的 I/O 标号数一般是同 GW48 系统接口电路的 PIO 标号是一致的，但具体引脚号是不同的。而在逻辑设计中引脚的锁定数必须是该芯片的具体的引脚号。

10.2 实验电路结构图

10.2.1 实验电路信号资源符号图说明

结合图 10.2，以下对实验电路结构图中出现的信号资源符号功能作出一些说明：

(1) 附图 10.2 (a) 是 16 进制 7 段全译码器，它有 7 位输出，分别接 7 段数码管的 7 个显示输入端：a、b、c、d、e、f 和 g；它的输入端为 D、C、B、A，D 为最高位，A 为最低位。例如，若所标输入的线为 PIO19~16，表示 PIO19 接 D、18 接 C、17 接 B、16 接 A。

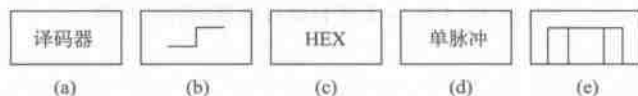


图 10.2 实验电路信号资源符号图

(2) 附图 10.2 (b) 是高低电平发生器，每按键一次，输出电平由高到低、或由低到高变化一次，且输出为高电平时，所按键对应的发光管变亮，反之不亮。

(3) 附图 10.2 (c) 是 16 进制码（8421 码）发生器，由对应的键控制输出 4 位 2 进制构成的 1 位 16 进制码，数的范围是 0000~1111，即 00H 至 0FH。每按键一次，输出递增 1，输出进入目标芯片的 4 位 2 进制数将显示在该键对应的数码管上。

(4) 直接与 7 段数码管相连的连接方式的设置是为了便于对 7 段显示译码器的设计学习。以图 NO.2 为例，如图所标“PIO46-PIO40 接 g、f、e、d、c、b、a”表示 PIO46、PIO45、PIO44、PIO43、PIO42、PIO41、PIO40 分别与数码管的 7 段输入 g、f、e、d、c、b、a 相接。

(5) 附图 10.2 (d) 是单次脉冲发生器。每按一次键，输出一个脉冲，与此键对应的发光管也会闪亮一次，时间 20ms。

(6) 实验电路结构图 NO. 5、NO. 5A、NO. 5B、NO. 5C 和 NO. 5D 是同一种电路结构，只不过是清晰起见，将不同的接口方式分别画出而已。由此可见，它们的接线有一些是重合的，因此只能分别进行实验，而实验电路结构图模式都选“5”。

(7) 附图 10.2 (e) 是琴键式信号发生器，当按下键时，输出为高电平，对应的发光管发亮；当松开键时，输出为低电平，此键的功能可用于手动控制脉冲的宽度。具有琴键式信号发生器的实验结构图是 NO. 3。

10.2.2 各实验电路结构图特点与适用范围简述

1) 实验电路结构图 NO. 0 (图 10.3)

在结构图 NO. 0 中，目标芯片的 PIO16 至 PIO47 共 8 组 4 位 2 进制码输出，经 7 段译码器可显示于实验系统上的 8 个数码管。键 1 和键 2 可分别输出 2 个四位 2 进制码。一方面这四位码输入目标芯片的 PIO11~PIO8 和 PIO15~PIO12，另一方面，可以观察发光管 D1 至 D8 来了解输入的数值。例如，当键 1 控制输入 PIO11~PIO8 的数为“HA”时，则发光管 D4 和 D2 亮，D3 和 D1 灭。电路的键 8 至键 3 分别控制一个高低电平信号发生器向目标芯

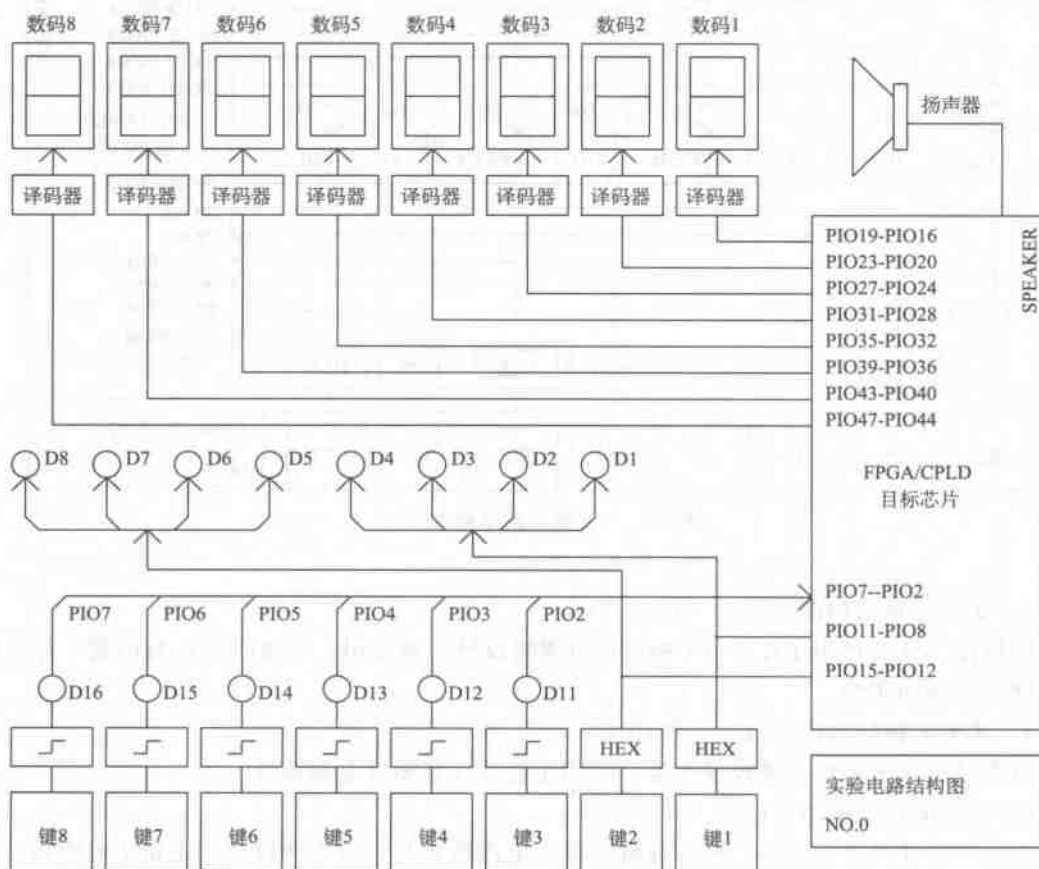


图 10.3 实验电路结构图 NO. 0

片的 PIO7 至 PIO2 输入高电平或低电平, 扬声器接在“SPEAKER”上, 具体接在哪一引脚要看目标芯片的类型, 这需要查 10.3 节的对照表。如目标芯片为 FLEX10K10, 则扬声器接在“3”引脚上。目标芯片的时钟输入未在图上标出, 也需查阅 10.3 节的对照表。例如, 目标芯片为 XC95108, 则输入此芯片的时钟信号有 CLOCK0 至 CLOCK10, 共 11 个可选的输入端, 对应的引脚为 65 至 80。具体的输入频率, 可参阅 10.1.2 节。此电路可用于设计频率计, 周期计, 计数器等。

2) 实验电路结构图 NO.1 (图 10.4)

结构图 NO.1 适用于作加法器、减法器、比较器或乘法器。如欲设计加法器, 可利用键 4 和键 3 输入 8 位加数; 键 2 和键 1 输入 8 位被加数, 输入的加数和被加数将显示于键对应的数码管 4-1, 相加的和显示于数码管 6 和 5; 可令键 8 控制此加法器的最低位进位。

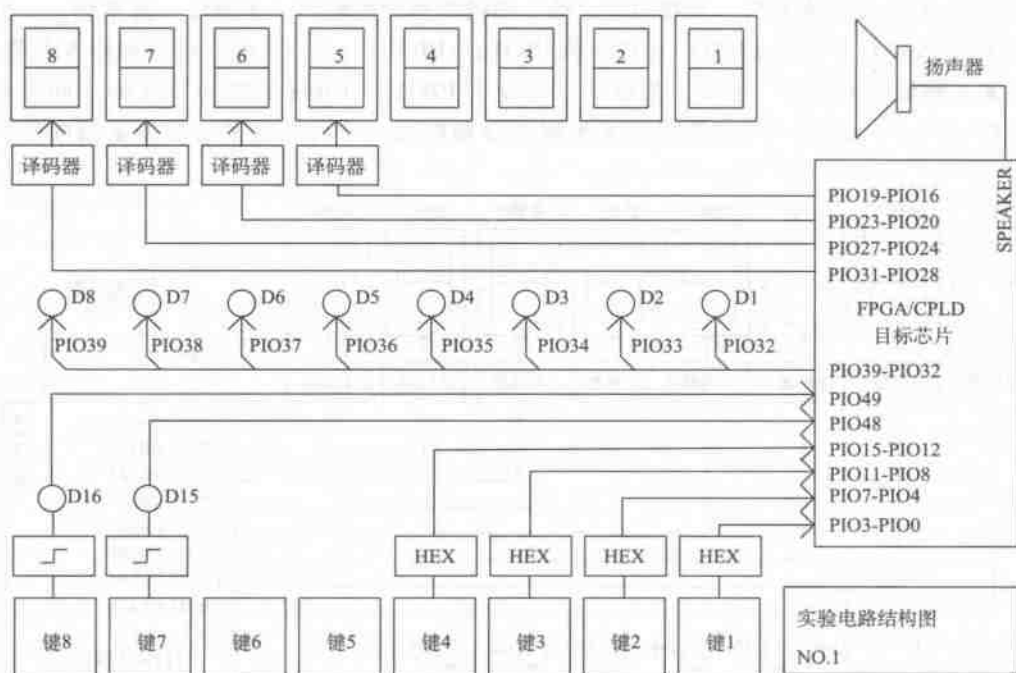


图 10.4 实验电路结构图 NO.1

3) 实验电路结构图 NO.2 (图 10.5)

结构图 NO.2 可用于作 VGA 视频接口逻辑设计, 或使用 4 个数码管 8-数码管 5 作 7 段显示译码方面的实验。

4) 实验电路结构图 NO.3 (图 10.6)

特点是有 8 个琴键式键控发生器, 可用于设计八音琴等电路系统。

5) 实验电路结构图 NO.4 (图 10.7)

适合于设计移位寄存器、环形计数器等。电路特点是: 当在所设计的逻辑中有串行 2 进制数从 PIO10 输出时, 若利用键 7 作为串行输出时钟信号, 则 PIO10 的串行输出数码可以在发光管 D8 至 D1 上逐位显示出来, 这能很直观地看到串出的数值。

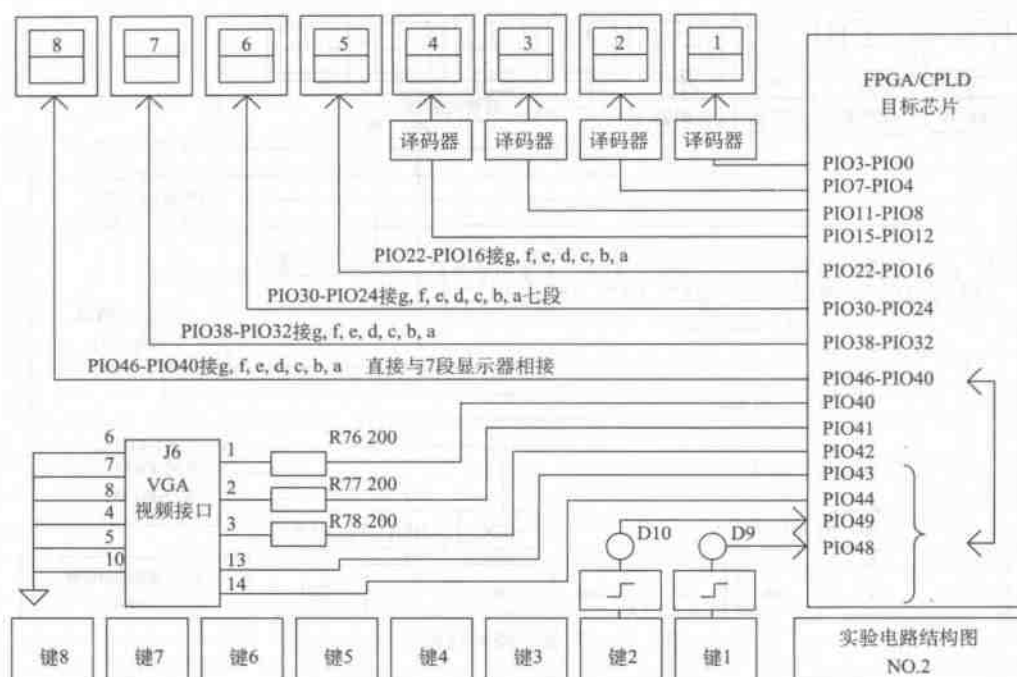


图 10.5 实验电路结构图 NO. 2

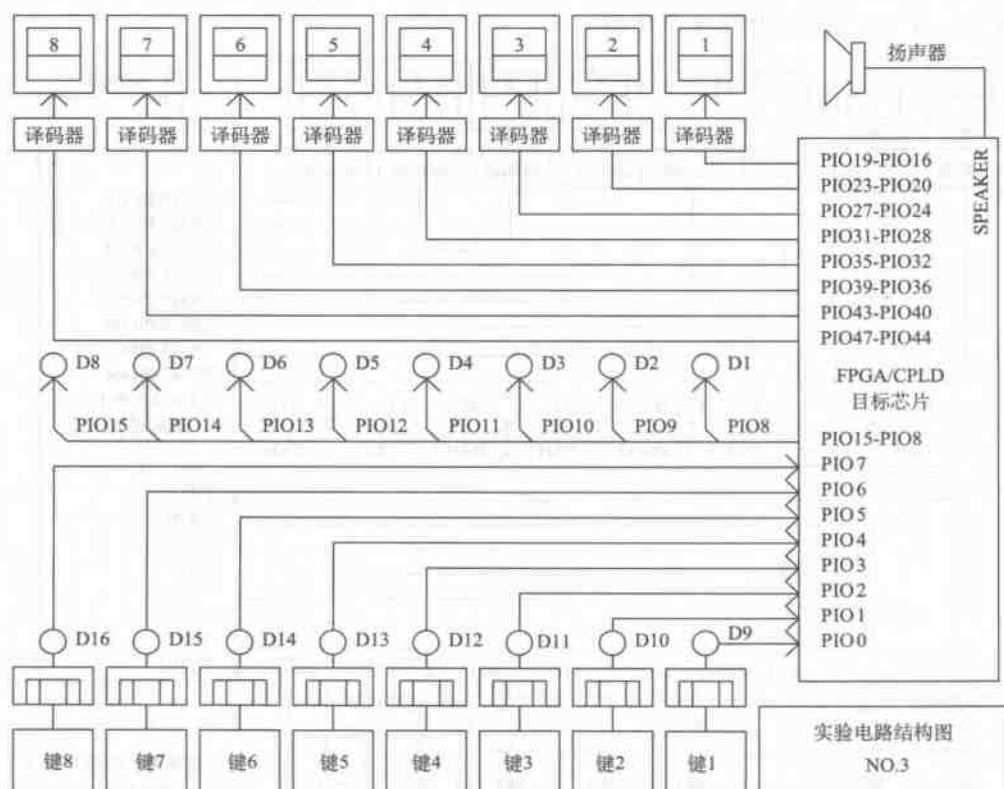


图 10.6 实验电路结构图 NO. 3

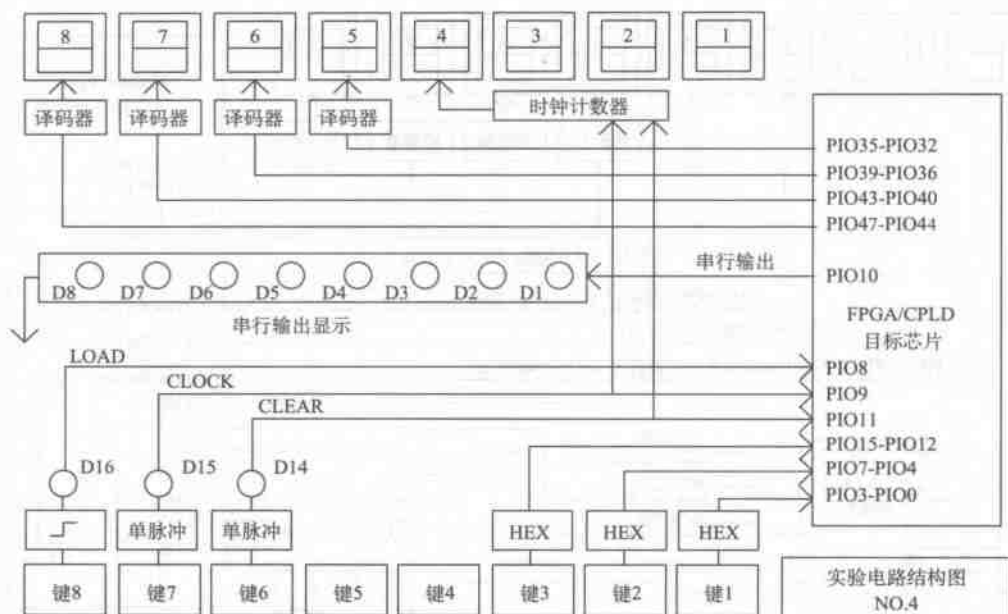


图 10.7 实验电路结构图 NO.4

6) 实验电路结构图 NO.5 (图 10.8)

特点：有 8 个键控高低电平发生器。

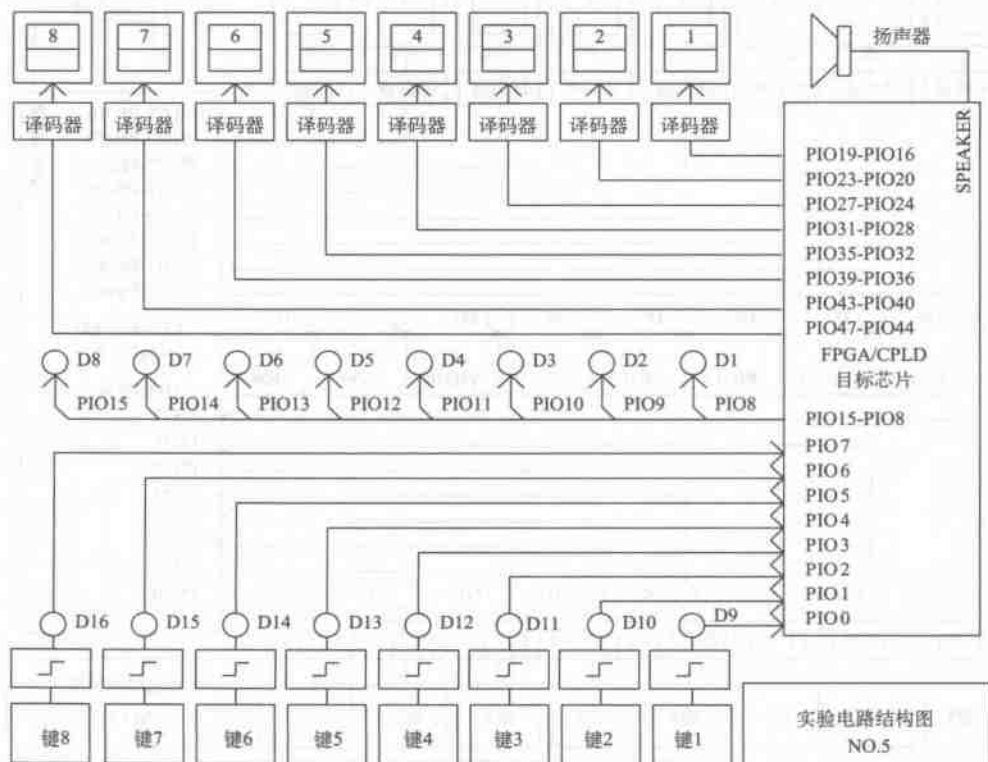


图 10.8 实验电路结构图 NO.5

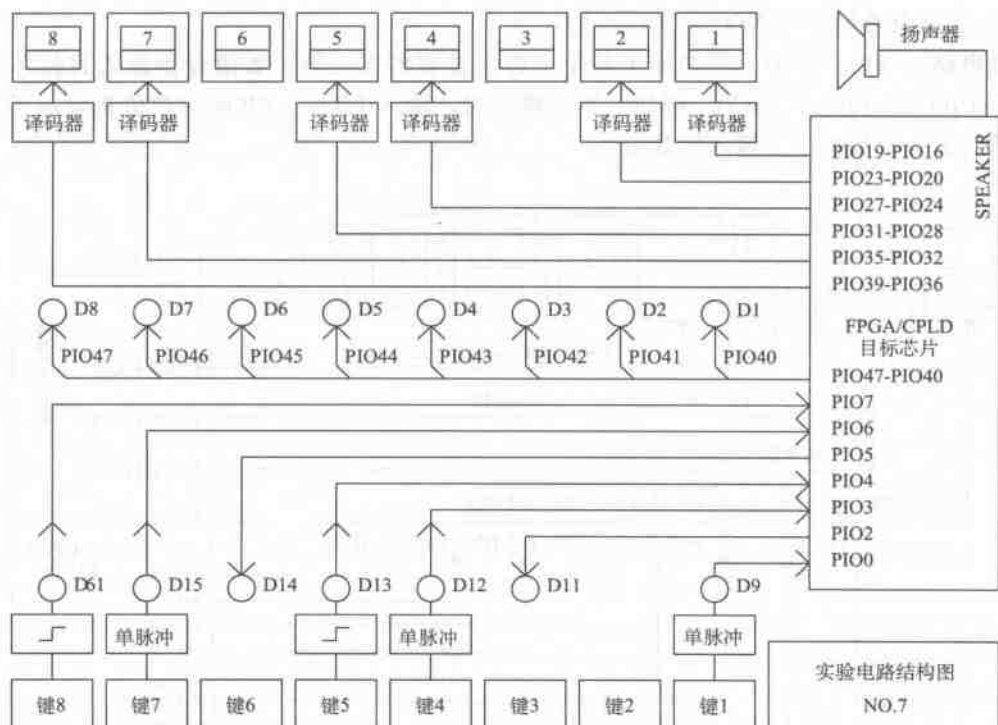


图 10.10 实验电路结构图 NO.7

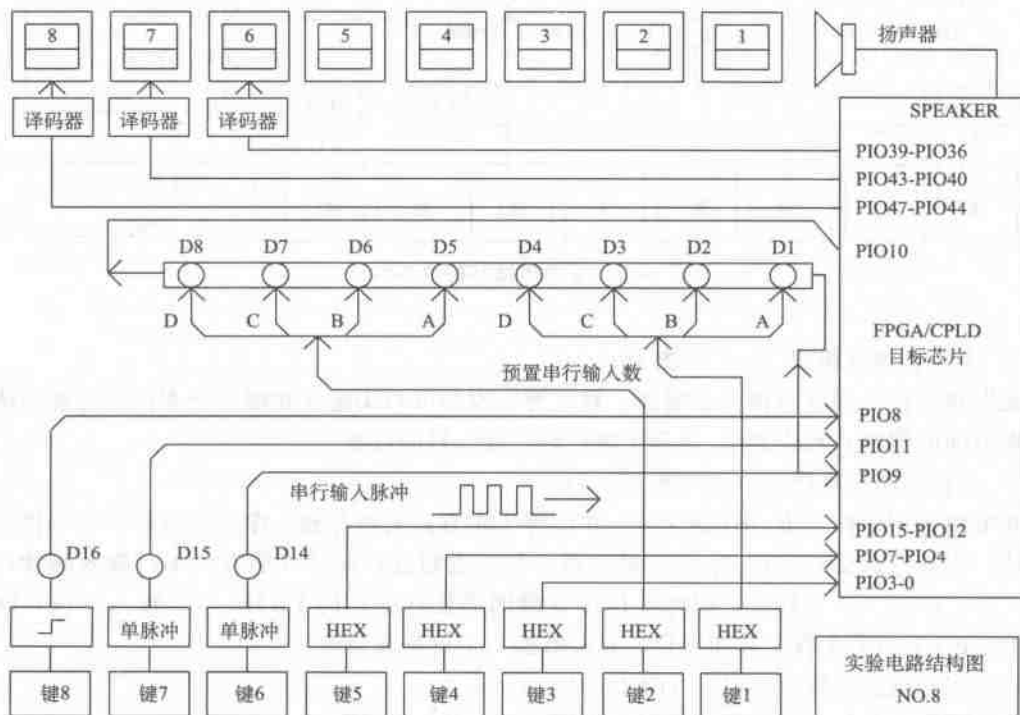


图 10.11 实验电路结构图 NO.8

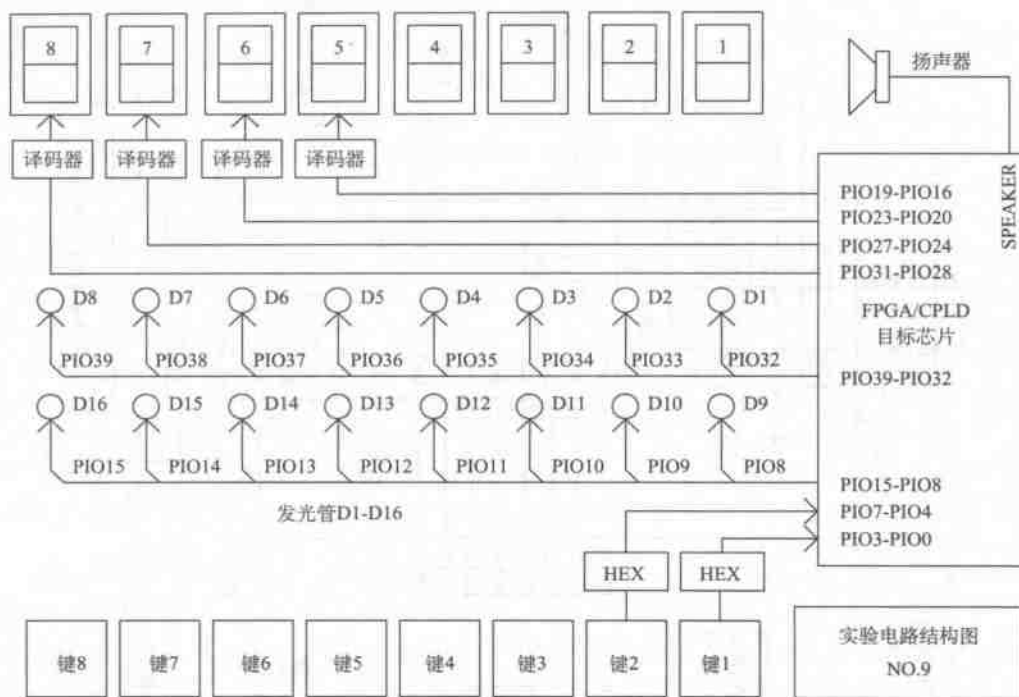


图 10.12 实验电路结构图 NO. 9

11) 实验电路结构图 NO. 5A (图 10.13)

此电路可用于完成 A/D 转换方面的实验。

12) 实验电路结构图 NO. 5B (图 10.14)

此电路可用于单片机接口逻辑方面的设计，以及 PS/2 键盘接口方面的逻辑设计（平时不要把单片机接上，以防口线冲突）。

13) 实验电路结构图 NO. 5C (图 10.15)

此电路可用于 D/A 转换接口实验和比较器 LM311 的控制实验。

14) 实验电路结构图 NO. 5D (图 10.16)

此电路可用于串行 A/D、D/A 及 EEPROM 的接口实验。在系统板上，NO. 图中所列 6 类的器件只提供了对应的接口座，用户可根据具体使用的需要，自行购买插入，但必须注意：这 6 种器件以及系统板上的 AD0809 在与目标 FPGA/CPLD 的接口上有复用，因此不能将它们同时都插在系统板上，应根据需要和接线情况分别插上需要的 A/D 和 D/A 芯片，详细情况可查阅结构图 NO. 5A 和 NO. 5D。

可利用的接口器件有 6 类，它们与系统板上的 FPGA/CPLD 的接口如实验电路结构图 NO. 5D 所示。

- (1) 93CXX 系列串行 EEPROM。
- (2) 24 CXX 系列串行 EEPROM。

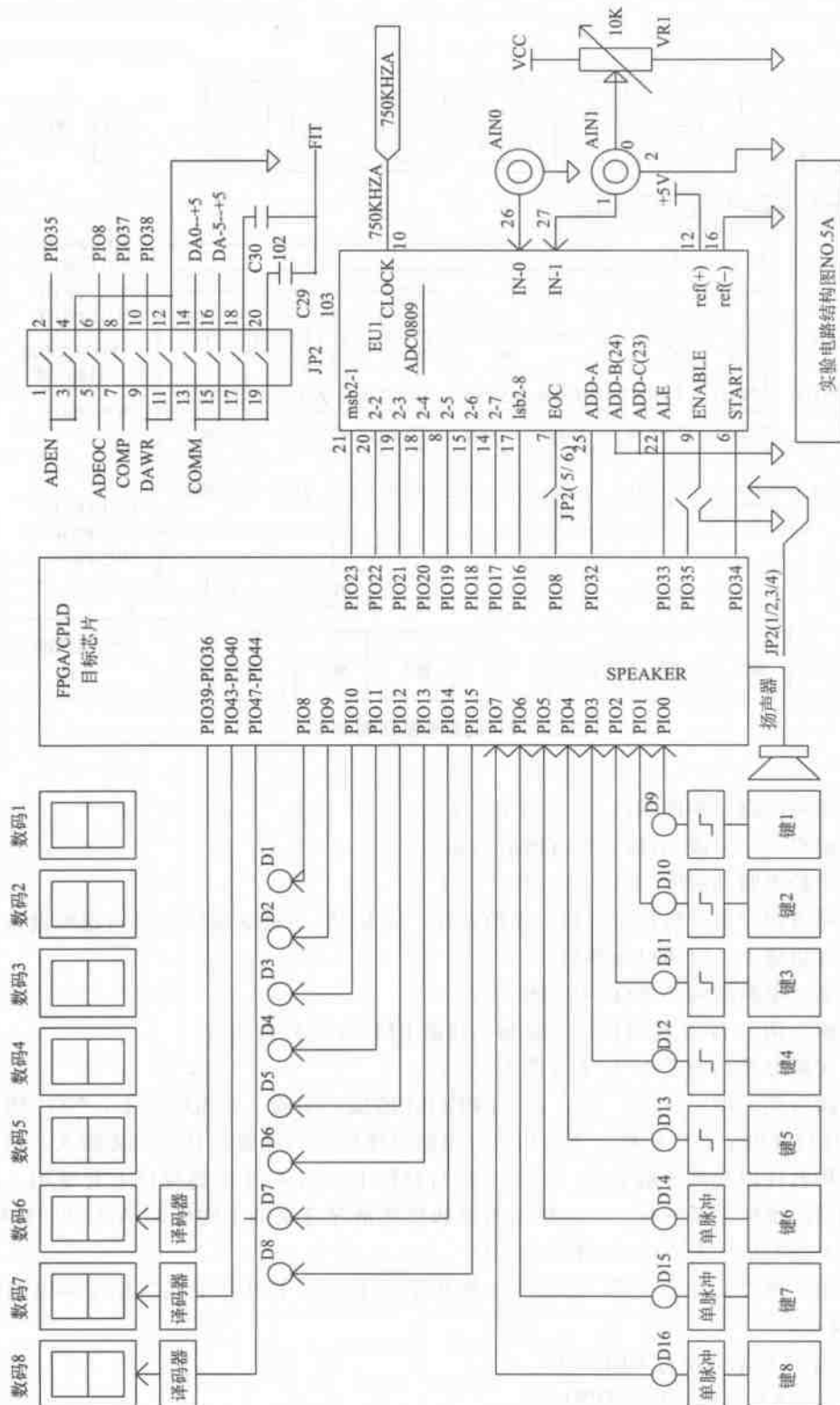


图 10.13 实验电路结构图 NO. 5A



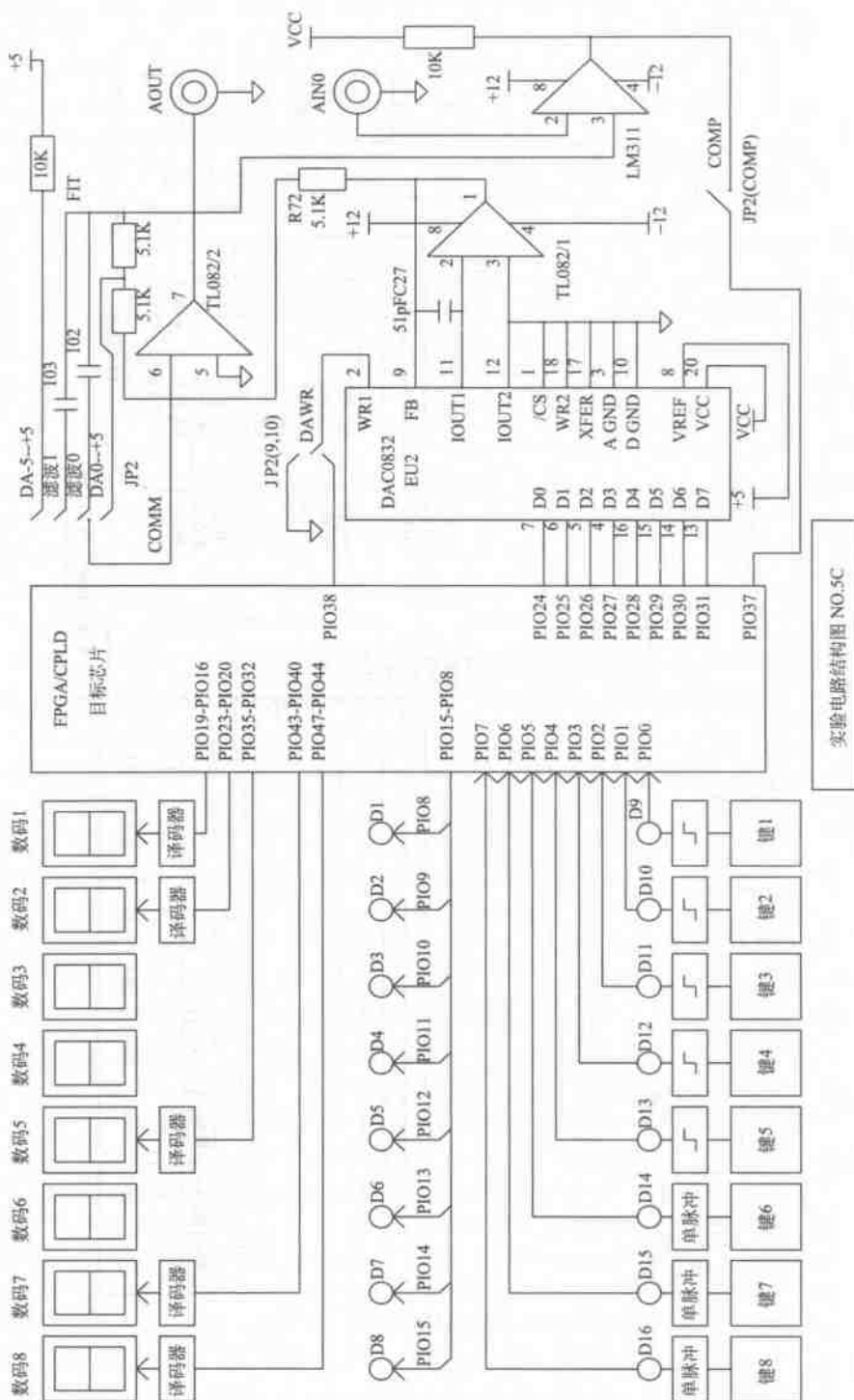


图 10.15 实验电路结构图 NO. 5C

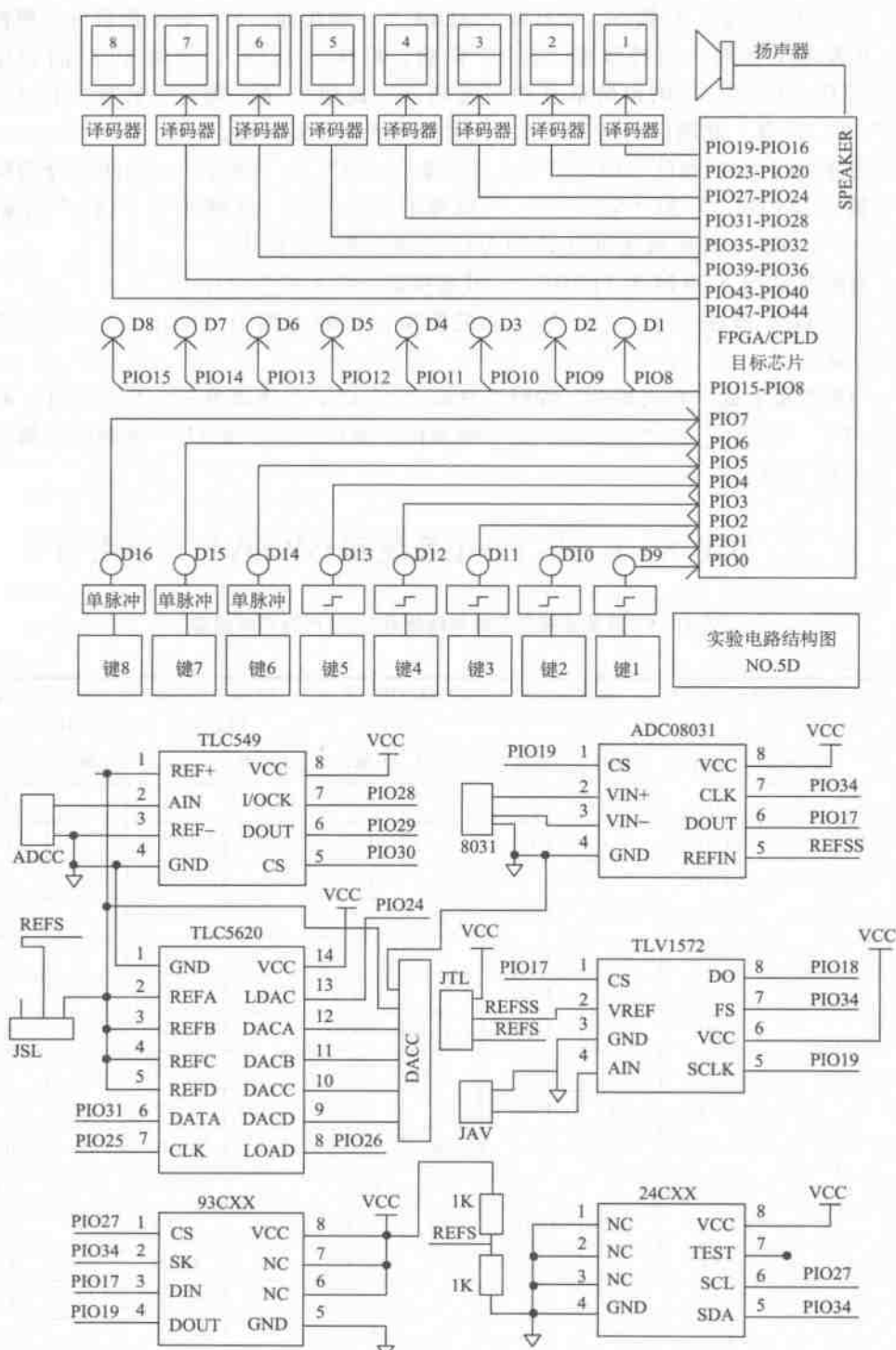


图 10.16 实验电路结构图 NO. 5D

(3) TLC549 串行 A/D 器件, 两针座“ADDC”一端接地, 另一端接此器件的模拟输入“AIN”, 其参考电压输入由跳线座“JSL”控制, 短接“REF1”, 获得 VCC 的分压, 约 2.5V, 若短接“REFO”, 则由外部获得参考电压, 此电压输入端是六针座“DACC”的“REFIN”端。注意, 此端口也是 TLC620 的外部参考电压输入端。

(4) 高速串行 A/D 器件 ADC08031, 三针座“8031”的一端接地, 另两端分别接差分模拟信号输入“VIN+”和“VIN-”。其参考电压输入由三针跳线座“JTL”分别可选 2.5V 和 VCC, 注意, 此跳线座也决定 TLV1572 的参考电压输入。

(5) 超高速串行 A/D 器件 TLV1572, 其模拟信号输入端为“JAV”。

(6) 串行 D/A 器件 TLC5620, 其 4 通道模拟信号输出端为“DACC”, 参考信号与 TLC549 相同。

15) 当系统板上的“模式指示”数码管显示“A”时, 系统将变成一台频率计, 数码管 8 将显示“F”, “数码 6”至“数码 1”显示频率值, 最低位单位是 Hz。测频输入端为系统板右下角的 JP1B 插座。

10.3 GW48 CK/ES EDA 系统和 GWDVP-B 应用板

表 10.3 万能接插口与结构图信号/与芯片引脚对照表

结构图上的 信号名	ispLSI 1032E -PLCC84		ispLSI1048E -PQFP128		FLEX EPF10K10 -PLCC84		XCS05/XCS10 -PLCC84		EPM7128S-PL84 EPM7160S-PL84	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
PIO0	26	I/O0	21	I/O0	5	I/O0	3	I/O0	4	I/O0
PIO1	27	I/O1	22	I/O1	6	I/O1	4	I/O1	5	I/O1
PIO2	28	I/O2	23	I/O2	7	I/O2	5	I/O2	6	I/O2
PIO3	29	I/O3	24	I/O3	8	I/O3	6	I/O3	8	I/O3
PIO4	30	I/O4	25	I/O4	9	I/O4	7	I/O4	9	I/O4
PIO5	31	I/O5	26	I/O5	10	I/O5	8	I/O5	10	I/O5
PIO6	32	I/O6	27	I/O6	11	I/O6	9	I/O6	11	I/O6
PIO7	33	I/O7	28	I/O7	16	I/O7	10	I/O7	12	I/O7
PIO8	34	I/O8	29	I/O8	17	I/O8	13	I/O8	15	I/O8
PIO9	35	I/O9	30	I/O9	18	I/O9	14	I/O9	16	I/O9
PIO10	36	I/O10	31	I/O10	19	I/O10	15	I/O10	17	I/O10
PIO11	37	I/O11	32	I/O11	21	I/O11	16	I/O11	18	I/O11
PIO12	38	I/O12	34	I/O12	22	I/O12	17	I/O12	20	I/O12
PIO13	39	I/O13	35	I/O13	23	I/O13	18	I/O13	21	I/O13
PIO14	40	I/O14	36	I/O14	24	I/O14	19	I/O14	22	I/O14
PIO15	41	I/O15	37	I/O15	25	I/O15	20	I/O15	24	I/O15
PIO16	45	I/O16	38	I/O16	27	I/O16	23	I/O16	25	I/O16

续表

结构图上的 信号名	ispLSI 1032E -PLCC84		ispLSI1048E -PQFP128		FLEX EPF10K10 -PLCC84		XCS05/XCS10 -PLCC84		EPM7128S-PL84 EPM7160S-PL84	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
PIO17	46	I/O17	39	I/O17	28	I/O17	24	I/O17	27	I/O17
PIO18	47	I/O18	40	I/O18	29	I/O18	25	I/O18	28	I/O18
PIO19	48	I/O19	41	I/O19	30	I/O19	26	I/O19	29	I/O19
PIO20	49	I/O20	42	I/O20	35	I/O20	27	I/O20	30	I/O20
PIO21	50	I/O21	43	I/O21	36	I/O21	28	I/O21	31	I/O21
PIO22	51	I/O22	44	I/O22	37	I/O22	29	I/O22	33	I/O22
PIO23	52	I/O23	45	I/O23	38	I/O23	35	I/O23	34	I/O23
PIO24	53	I/O24	52	I/O24	39	I/O24	36	I/O24	35	I/O24
PIO25	54	I/O25	53	I/O25	47	I/O25	37	I/O25	36	I/O25
PIO26	55	I/O26	54	I/O26	48	I/O26	38	I/O26	37	I/O26
PIO27	56	I/O27	55	I/O27	49	I/O27	39	I/O27	39	I/O27
PIO28	57	I/O28	56	I/O28	50	I/O28	40	I/O28	40	I/O28
PIO29	58	I/O29	57	I/O29	51	I/O29	41	I/O29	41	I/O29
PIO30	59	I/O30	58	I/O30	52	I/O30	44	I/O30	44	I/O30
PIO31	60	I/O31	59	I/O31	53	I/O31	45	I/O31	45	I/O31
PIO32	68	I/O32	60	I/O32	54	I/O32	46	I/O32	46	I/O32
PIO33	69	I/O33	61	I/O33	58	I/O33	47	I/O33	48	I/O33
PIO34	70	I/O34	62	I/O34	59	I/O34	48	I/O34	49	I/O34
PIO35	71	I/O35	63	I/O35	60	I/O35	49	I/O35	50	I/O35
PIO36	72	I/O36	66	I/O36	61	I/O36	50	I/O36	51	I/O36
PIO37	73	I/O37	67	I/O37	62	I/O37	51	I/O37	52	I/O37
PIO38	74	I/O38	68	I/O38	64	I/O38	56	I/O38	54	I/O38
PIO39	75	I/O39	69	I/O39	65	I/O39	57	I/O39	55	I/O39
PIO40	76	I/O40	70	I/O40	66	I/O40	58	I/O40	56	I/O40
PIO41	77	I/O41	71	I/O41	67	I/O41	59	I/O41	57	I/O41
PIO42	78	I/O42	72	I/O42	70	I/O42	60	I/O42	58	I/O42
PIO43	79	I/O43	73	I/O43	71	I/O43	61	I/O43	60	I/O43
PIO44	80	I/O44	74	I/O44	72	I/O44	62	I/O44	61	I/O44
PIO45	81	I/O45	75	I/O45	73	I/O45	65	I/O45	63	I/O45
PIO46	82	I/O46	76	I/O46	78	I/O46	66	I/O46	64	I/O46
PIO47	83	I/O47	77	I/O47	79	I/O47	67	I/O47	65	I/O47
PIO48	3	I/O48	85	I/O48	80	I/O48	68	I/O48	67	I/O48
PIO49	4	I/O49	86	I/O49	81	I/O49	69	I/O49	68	I/O49
SPKER	5	I/O50	87	I/O50	3	CLRn	70	I/O50	81	I/O59

续表

结构图上的 信号名	ispLSI 1032E -PLCC84		ispLSI1048E -PQFP128		FLEX EPF10K10 -PLCC84		XCS05/XCS10 -PLCC84		EPM7128S-PL84 EPM7160S-PL84	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
CLOCK0	6	I/O51	88	I/O51	2	IN1	72	I/O52		
CLOCK1	66	Y1	83	Y1	42	IN2	77	I/O53	69	I/O50
CLOCK2	7	I/O52	89	I/O52	43	GCK2	78	I/O54	70	I/O51
CLOCK3	8	I/O53	90	I/O53	44	IN3	79	I/O55	73	I/O52
CLOCK4	9	I/O54	91	I/O54			80	I/O56	74	I/O53
CLOCK5	63	Y2	80	Y2	83	OE	81	I/O57	75	I/O54
CLOCK6	10	I/O55	92	I/O55			82	I/O58	76	I/O55
CLOCK7	11	I/O56	93	I/O56					79	I/O57
CLOCK8	62	Y3	79	Y3	84	IN4	83	I/O59	80	I/O58
CLOCK9	12	I/O57	94	I/O57	1	GCK1	84	I/O60	83	IN1
CLOCK10	13	I/O58	95	I/O58					2	IN4

结构图上的 信号名	XCS30 144-PIN TQFP		XC95108 XC9572 -PLCC84		EPIK100 EPF10K30E/50E 208-PIN P/RQFP		FLEX10K20 EPIK30/50 144-PIN TQFP		ispLSI 3256/A -PQFP160	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
PIO0	138	I/O0	1	I/O0	7	I/O	8	I/O0	2	I/O0
PIO1	139	I/O1	2	I/O1	8	I/O	9	I/O1	3	I/O1
PIO2	140	I/O2	3	I/O2	9	I/O	10	I/O2	4	I/O2
PIO3	141	I/O3	4	I/O3	11	I/O	12	I/O3	5	I/O3
PIO4	142	I/O4	5	I/O4	12	I/O	13	I/O4	6	I/O4
PIO5	3	I/O5	6	I/O5	13	I/O	17	I/O5	7	I/O5
PIO6	4	I/O6	7	I/O6	14	I/O	18	I/O6	8	I/O6
PIO7	5	I/O7	9	I/O7	15	I/O	19	I/O7	9	I/O7
PIO8	9	I/O8	10	I/O8	17	I/O	20	I/O8	11	I/O8
PIO9	10	I/O9	11	I/O9	18	I/O	21	I/O9	13	I/O9
PIO10	12	I/O10	12	I/O10	24	I/O	22	I/O10	14	I/O10
PIO11	13	I/O11	13	I/O11	25	I/O	23	I/O11	15	I/O11
PIO12	14	I/O12	14	I/O12	26	I/O	26	I/O12	16	I/O12
PIO13	15	I/O13	15	I/O13	27	I/O	27	I/O13	17	I/O13
PIO14	16	I/O14	17	I/O14	28	I/O	28	I/O14	25	I/O14
PIO15	19	I/O15	18	I/O15	29	I/O	29	I/O15	26	I/O15
PIO16	20	I/O16	19	I/O16	30	I/O	30	I/O16	28	I/O16
PIO17	21	I/O17	20	I/O17	31	I/O	31	I/O17	29	I/O17

续表

结构图上的 信号名	XCS30 144-PIN TQFP		XC95108 XC9572 -PLCC84		EP1K100 EPF10K30E/50E 208-PIN P/RQFP		FLEX10K20 EP1K30/50 144-PIN TQFP		ispLSI 3256/A -PQFP160	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
PIO18	22	I/O18	21	I/O18	36	I/O	32	I/O18	30	I/O18
PIO19	23	I/O19	23	I/O19	37	I/O	33	I/O19	32	I/O19
PIO20	24	I/O20	24	I/O20	38	I/O	36	I/O20	33	I/O20
PIO21	25	I/O21	25	I/O21	39	I/O	37	I/O21	34	I/O21
PIO22	26	I/O22	26	I/O22	40	I/O	38	I/O22	35	I/O22
PIO23	28	I/O23	31	I/O23	41	I/O	39	I/O23	36	I/O23
PIO24	29	I/O24	32	I/O24	44	I/O	41	I/O24	37	I/O24
PIO25	30	I/O25	33	I/O25	45	I/O	42	I/O25	38	I/O25
PIO26	75	I/O26	34	I/O26	113	I/O	65	I/O26	82	I/O26
PIO27	77	I/O27	35	I/O27	114	I/O	67	I/O27	83	I/O27
PIO28	78	I/O28	36	I/O28	115	I/O	68	I/O28	84	I/O28
PIO29	79	I/O29	37	I/O29	116	I/O	69	I/O29	85	I/O29
PIO30	80	I/O30	39	I/O30	119	I/O	70	I/O30	86	I/O30
PIO31	82	I/O31	40	I/O31	120	I/O	72	I/O31	87	I/O31
PIO32	83	I/O32	41	I/O32	121	I/O	73	I/O32	88	I/O32
PIO33	84	I/O33	43	I/O33	122	I/O	78	I/O33	89	I/O33
PIO34	85	I/O34	44	I/O34	125	I/O	79	I/O34	90	I/O34
PIO35	86	I/O35	45	I/O35	126	I/O	80	I/O35	92	I/O35
PIO36	87	I/O36	46	I/O36	127	I/O	81	I/O36	93	I/O36
PIO37	88	I/O37	47	I/O37	128	I/O	82	I/O37	94	I/O37
PIO38	89	I/O38	48	I/O38	131	I/O	83	I/O38	95	I/O38
PIO39	92	I/O39	50	I/O39	132	I/O	86	I/O39	96	I/O39
PIO40	93	I/O40	51	I/O40	133	I/O	87	I/O40	105	I/O40
PIO41	94	I/O41	52	I/O41	134	I/O	88	I/O41	106	I/O41
PIO42	95	I/O42	53	I/O42	135	I/O	89	I/O42	108	I/O42
PIO43	96	I/O43	54	I/O43	136	I/O	90	I/O43	109	I/O43
PIO44	97	I/O44	55	I/O44	139	I/O	91	I/O44	110	I/O44
PIO45	98	I/O45	56	I/O45	140	I/O	92	I/O45	112	I/O45
PIO46	99	I/O46	57	I/O46	141	I/O	95	I/O46	113	I/O46
PIO47	101	I/O47	58	I/O47	142	I/O	96	I/O47	114	I/O47
PIO48	102	I/O48	61	I/O48	143	I/O	97	I/O48	115	I/O48
PIO49	103	I/O49	62	I/O49	144	I/O	98	I/O49	116	I/O49
SPEAKER	104	I/O	63	I/O50	148	I/O	99	I/O50	117	I/O50

续表

结构图上的 信号名	XCS30 144-PIN TQFP		XC95108 XC9572 -PLCC84		EP1K100 EPF10K30E/50E 208-PIN P/QFP		FLEX10K20 EP1K30/50 144-PIN TQFP		ispLSI 3256/A -PQFP160	
	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
CLOCK0	111		65	I/O51	182	I/O	54	INPUT1	118	I/O
CLOCK1	113		66	I/O52	183	I/O	55	GCLOCK1	119	I/O
CLOCK2	114		67	I/O53	184	I/O	124	INPUT3	120	I/O
CLOCK3	106		68	I/O54	149	I/O	100	I/O51	121	I/O
CLOCK4	112		69	I/O55	150	I/O	101	I/O52	103	Y2
CLOCK5	115		70	I/O56	157	I/O	102	I/O53	122	I/O
CLOCK6	116		71	I/O57	170	I/O	117	I/O61	123	I/O
CLOCK7	76		72	I/O58	112	I/O	118	I/O62	102	Y3
CLOCK8	117		75	I/O60	111	I/O	56	INPUT2	124	I/O
CLOCK9	119		79	I/O63	104	I/O	125	GCLOCK2	126	I/O
CLOCK10	2				103	I/O	119	I/O63	101	Y4

第 11 章 MAX+plus II 原理图输入设计方法

利用 EDA 工具进行原理图输入设计的优点是设计者能利用原有的电路知识迅速入门,完成较大规模的电路系统设计,而不必须具备许多诸如编程技术、硬件语言等新知识。

MAX+plus II 提供了功能强大,直观便捷和操作灵活的原理图输入设计功能,同时还配备了适用于各种需要的元件库,其中包含基本逻辑元件库(如与非门、反向器、D 触发器等)、宏功能元件(包含了几乎所有 74 系列的器件),以及功能强大,性能良好的类似于 IP Core 的巨功能块 LPM 库。但更为重要的是,MAX+plus II 还提供了原理图输入多层次设计功能,使得用户能设计更大规模的电路系统,以及使用方便精度良好的时序仿真器。以传统的数字电路实验相比为例,MAX+plus II 提供原理图输入设计功能具有显著的优势:

- 能进行任意层次的数字系统设计。传统的数字电路实验只能完成单一层次的设计,使得设计者无法了解和实现多层次的硬件数字系统设计。

- 对系统中的任一层次,或任一元件的功能能进行精确的时序仿真,精度达 0.1ns,因此能发现一切对系统可能产生不良影响的竞争冒险现象。

- 通过时序仿真,能对迅速定位电路系统的错误所在,并随时纠正。

- 能对设计方案作随时更改,并储存入档设计过程中所有的电路和测试文件。

- 通过编译和编程下载,能在 FPGA 或 CPLD 上对设计项目随时进行硬件测试验证。

- 如果使用 FPGA 和配置编程方式,将不会有如何器件损坏和损耗。

- 符合现代电子设计技术规范,传统的数字电路实验利用手工连线的方法完成元件连接,容易对学习产生误导,以为只要将元件间的引脚用引线按电路图连上即可,而不必顾及引线的长短、粗细、弯曲方式、可能产生的分布电感和电容效应以及电磁兼容性等等十分重要的问题。

以下将详细介绍原理图输入设计方法,但读者应该更多地关注设计流程,因为除了最初的图形编辑输入外,其他处理流程都与文本(如 VHDL 文件)输入设计完全一致。

11.1 1 位全加器设计向导

1 位全加器可以如图 11.2 那样用两个半加器及一个或门连接而成,因此需要首先完成如图 11.1 所示的半加器的设计,其逻辑功能真值表如表 11.1 所示。以下将给出使用原理图输入的方法进行底层元件设计和层次化设计的完整步骤,其主要流程与数字系统设计的一般流程基本一致。事实上,除了最初的输入方法稍有不同外,应用 VHDL 的文本输入设计方法的流程也基本与此相同。

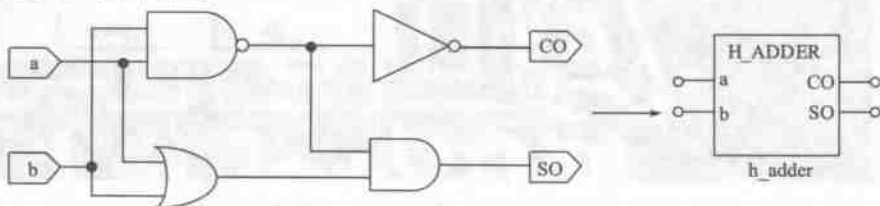


图 11.1 半加器逻辑原理图

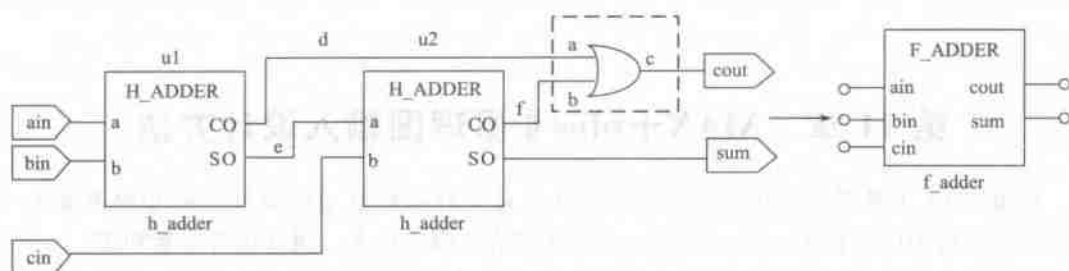


图 11.2 1 位全加器逻辑原理图

表 11.1 半加器 H_ADDER 逻辑功能真值表

a	b	SO	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

11.1.1 设计步骤

步骤 1: 为本项设计建立文件夹

任何一项设计都是一项工程 (Project), 都必须首先为此工程建立一个放置与此工程相关的所有文件的文件夹, 此文件夹将被 EDA 软件默认为工作库 (Work Library)。一般不同的设计项目最好放在不同的文件夹中, 注意, 一个设计项目可包含多个设计文件, 如频率计。

假设本项设计的文件夹取名为 MY_PRJCT, 在 E 盘中, 路径为: E:\MY_PRJCT。文件夹不能用中文。

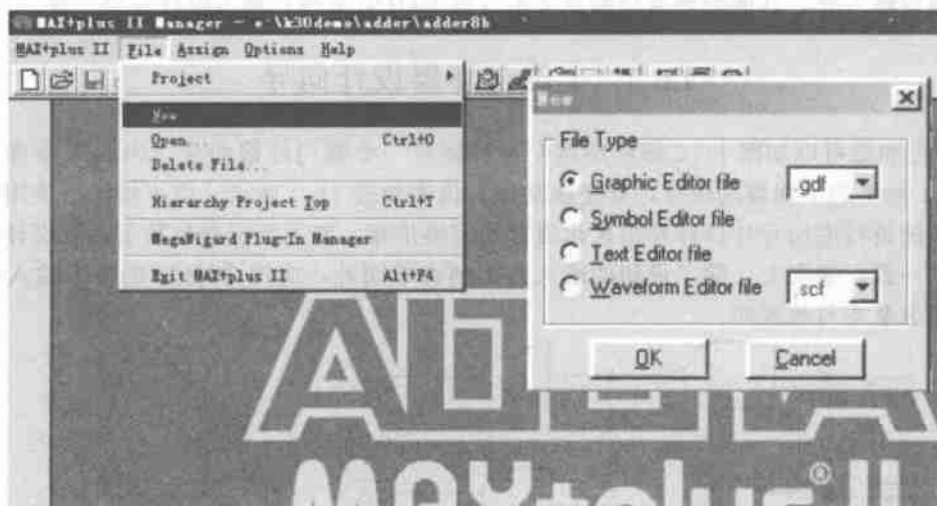


图 11.3 进入 Max+plusII, 建立一个新的设计文件



图 11.4 元件输入选择窗

步骤 2: 输入设计项目和存盘

(1) 打开 Max+plus II, 选菜单 File (New (图 11.3), 在弹出的 File Type 窗中选原理图编辑输入项 Graphic editor File, 按 OK 后将打开原理图编辑窗。

(2) 在原理图编辑窗中的任何一个位置上点鼠标右键, 将跳出一个选择窗, 选择此窗中的输入元件项 Enter Symbol, 于是将跳出如图 11.4 所示的输入元件选择窗。

(3) 用鼠标双击文件库 Symbol Libraries 中的 e:\ maxplu2 \ max2lib \ prim 项, 在 Symbol Files 窗中即可看到基本逻辑元件库 prim 中的所有元件, 但也可以在 Symbol Name 窗中用键盘直接输入所需元件名, 在按 OK 键, 即可将元件调入原理图编辑窗中。如为了设计半加器, 可参考图 11.1, 分别调入元件 and2、not、xnor、input 和 output (图 11.5) 并连接好。然后用鼠标分别在 input 和 output 的 PIN-NAME 上双击使其变黑色, 再用键盘分别输入各引脚名: a、b、co 和 so。

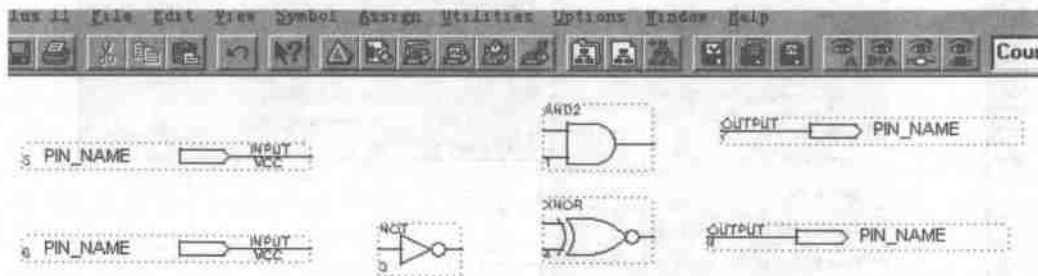


图 11.5 将所需元件全部调入原理图编辑窗

(4) 点击选项 File→“Save As”，选出刚才为自己的工程建立的目录 E:\MY_PRJCT，将已设计好的图文件取名为：h_adder.gdf（注意后缀是 .gdf），并存在此目录内。

注意，原理图的文件名可以用设计者认为合适的任何英文名（VHDL 文本存盘名有特殊要求），如 adder.gdf 等。还应注意，为了将文件存入自己的 E:\MY_PRJCT 目录中，必须在如图 11.6 所示的 Save as 窗中双击 MY_PRJCT 目录，使其打开，然后键入文件名，并按 OK。

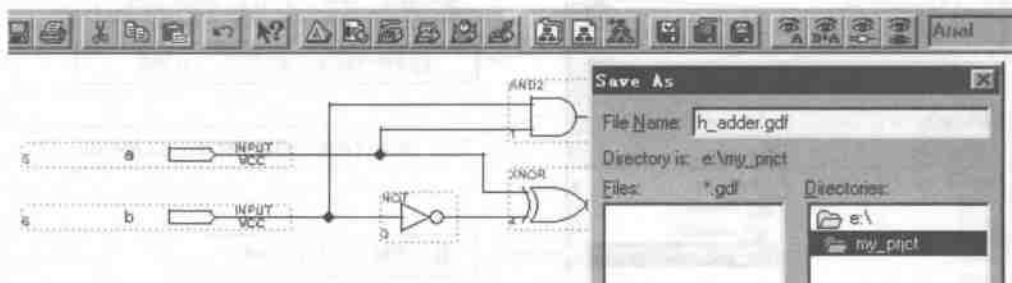


图 11.6 连接好原理图并存盘

步骤 3：将设计项目设置成工程文件（PROJECT）

为了使 Max+plus II 能对输入的设计项目按设计者的要求进行各项处理，必须将设计文件，如半加器 h_adder.gdf，设置成 Project。如果设计项目由多个设计文件组成，则应该将它们的主文件，即顶层文件设置成 Project。如果要对其中某一底层文件进行单独编译、仿真和测试，也必须首先将其设置成 Project。

将设计项目（如 h_adder.gdf）设定为工程文件（Project）有两个途径：

(1) 如图 11.7，选择 File→Project→Set Project to Current File，即将当前设计文件设置成 Project。选择此项后可以看到图 11.7 所示的窗口左上角显示出所设文件的路径。这点特别重要，此后的设计应该特别关注此路径的指向是否正确！

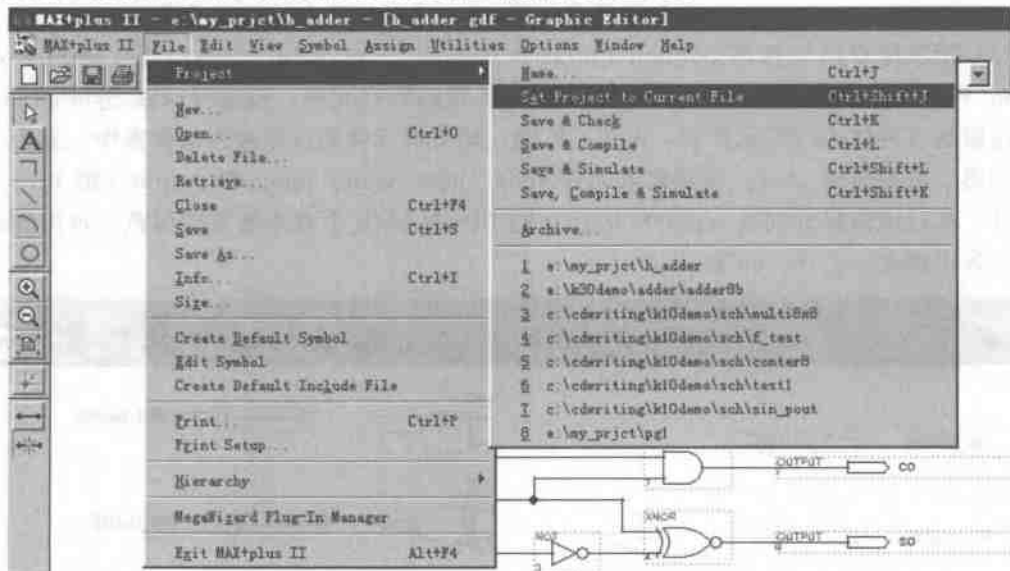


图 11.7 将当前设计文件设置成工程文件

(2) 如果设计文件未打开, 可如图 11.7 所示, 选 File→Project→Name, 然后在跳出的 Project Name 窗中找到 E:\MY_PRJCT 目录, 在其 File 小窗中双击 adder.gdf 文件, 此时即选定此文件为本次设计的工程文件 (即顶层文件) 了。

步骤 4: 选择目标器件并编译

为了获得与目标器件对应的, 精确的时序仿真文件, 在对文件编译前必须选定最后实现本设计项目的目标器件, 在 Max+plus II 环境中主要选 Altera 公司的 FPGA 或 CPLD。

首先在 Assign 选项的下拉菜单中选择器件选择项 Device, 其窗口如图 11.8 所示。此窗口的 Device Family 是器件序列栏, 应该首先在此栏中选定目标器件对应的序列名, 如 EPM7128S 对应的是 MAX7000S 系列; EPF10K10 对应的是 FLEX10K 系列等。为了选择 EPF10K10LC84-4 器件, 应将此栏下方标有 Show only Fastest Speed Grades 的勾消去, 以便显示出所有速度级别的器件。完成器件选择后, 按 OK 键。

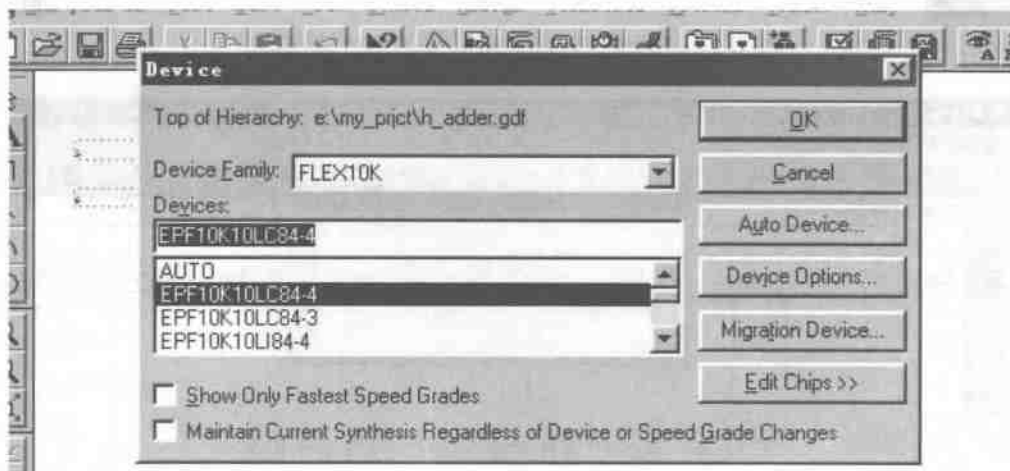


图 11.8 选择最后实现本项设计的目标器件

最后启动编译器, 首先选择左上角的 MAX+plus II 选项, 在其下拉菜单中选择编译器项 Compiler (图 11.9), 此编译器的功能包括网表文件提取、设计文件排错、逻辑综合、逻辑分配、适配 (结构综合)、时序仿真文件提取和编程下载文件装配等。

点击 Start, 开始编译。如果发现错误, 排除错误后再次编译。

步骤 5: 时序仿真

接下来应该测试设计项目的正确性, 即逻辑仿真, 具体步骤如下:

(1) 建立波形文件。按照以上“步骤 2”, 为此设计建立一个波形测试文件。选择 File 项及其 New, 再选择图 11.3 右侧 New 窗中的 Waveform Editor... 项, 打开波形编辑窗。

(2) 输入信号节点。在图 11.10 所示的波形编辑窗的上方选择 Node 项, 在下拉菜单中选择输入信号节点项 Enter Nodes from SNF。在弹出的窗口 (图 11.11) 中首先点击 List 键, 这时左窗口将列出该项设计所有信号节点。由于设计者有时只需要观察其中部分信号的波形, 因此要利用中间的 “=>” 键将需要观察的信号选到右栏中, 然后点击 OK 键即可。

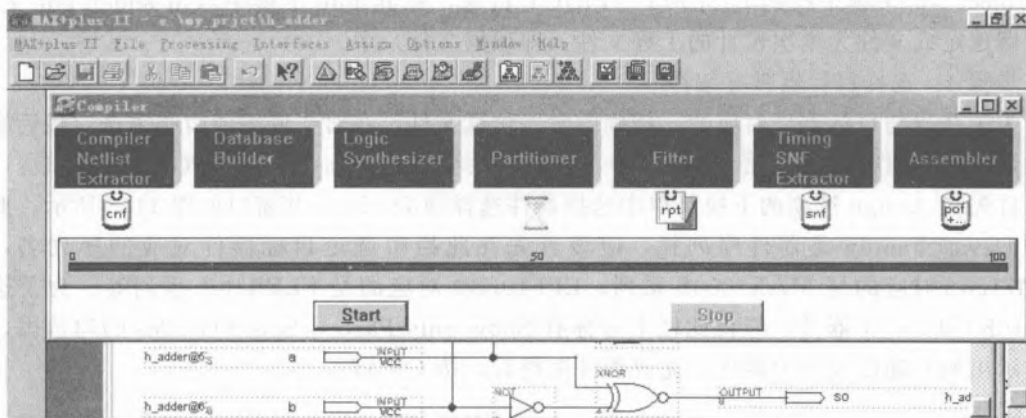


图 11.9 对工程文件进行编译、综合和适配等操作

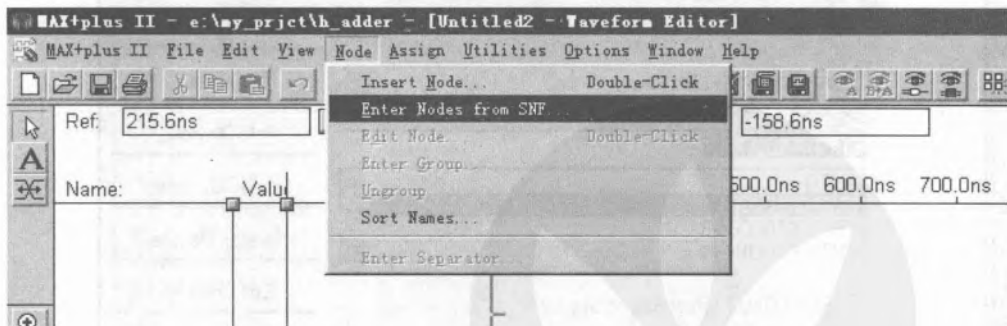


图 11.10 从 SNF 文件中输入设计文件的信号节点

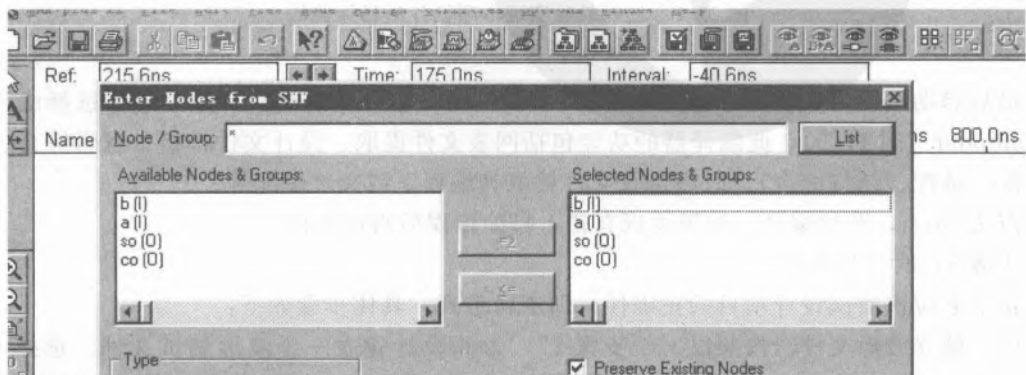


图 11.11 列出并选择需要观察的信号节点

(3) 设置波形参数。图 11.12 所示的波形编辑窗中已经调入了半加器的所有节点信号，在为编辑窗的半加器输入信号 a 和 b 设定必要的测试电平之前，首先设定相关的仿真参数。如图 11.12 所示，在 Options 选项中消去网格对齐 Snap to Grid 的选择（消去勾），以便能够任意设置输入电平位置，或设置输入时钟信号的周期。

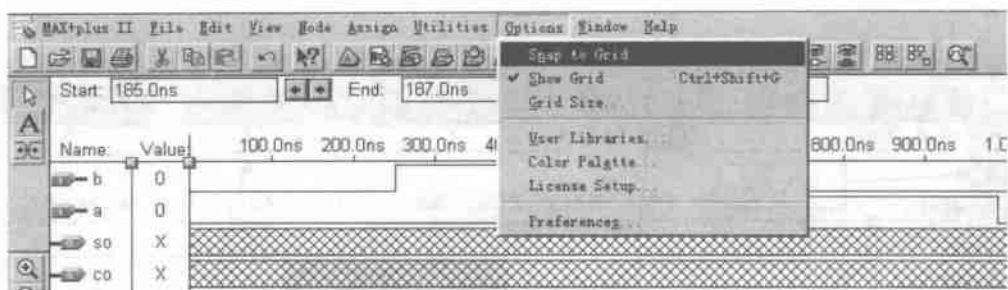


图 11.12 在 Options 选项中消去网格对齐 Snap to Grid 的选择 (消去勾)

(4) 如图 11.13 所示, 设定仿真时间宽度。选择 File 项及其 End time 选项, 在 End time 选择窗中选择适当的仿真时间域, 如可选 34us, 以便有足够长的观察时间。

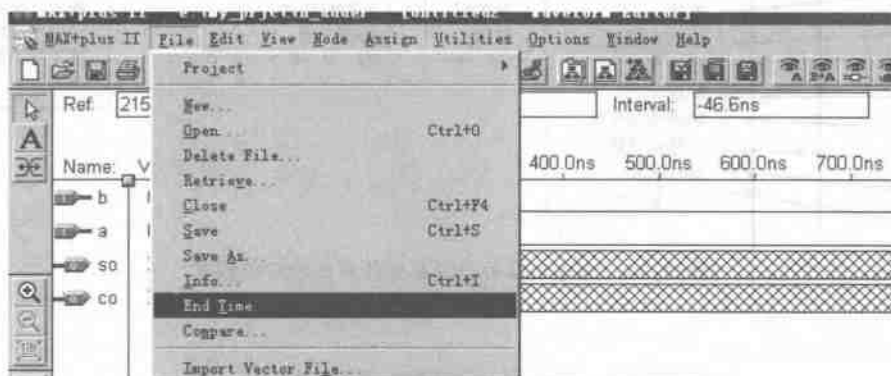


图 11.13 设定仿真时间宽度

(5) 加上输入信号。现在可以为输入信号 a 和 b 设定测试电平了。如图 11.14 标出的那样, 利用必要的功能键为 a 和 b 加上适当的电平, 以便仿真后能测试 so 和 co 输出信号。

(6) 波形文件存盘。选择 File 项及其 Save as 选项, 按 OK 键即可。由于图 11.15 所示的存盘窗中的波形文件名是默认的 (这里是 h_adder.scf), 所以直接存盘即可。

(7) 运行仿真器。选择 MAX+plus II 项及其中的仿真器 Simulator 选项, 点击跳出的仿真器窗口 (图 11.16) 中的 Start 键。图 11.17 是仿真运算完成后的时序波形。注意, 刚进入图 11.17 的窗口时, 应该将最下方的滑标拖向最左侧, 以便可观察到初始波形。

(8) 观察分析波形。对照真值表, 图 11.17 显示的半加器的时序波形是正确的。还可以进一步了解信号的延时情况。图 11.17 右侧的竖线是测试参考线, 它上方标出的 991.0ns 是此线所在的位置, 它与鼠标箭头间的时间差显示在窗口上方的 Interval 小窗中。由图可见输入与输出波形间有一个小的延时量。

为了精确测量半加器输入与输出波形间的延时量, 可打开时序分析器, 方法是选择左上角的 MAX+plus II 项及其中的 Timing Analyzer 选项, 点击跳出的分析器窗口 (图 11.18) 中的 Start 键, 延时信息即刻显示在图表中。其中左排的列表是输入信号, 上排列出输出信号, 中间是对应的延时量, 这个延时量是精确针对 EPF10K10LC84-4 器件的。

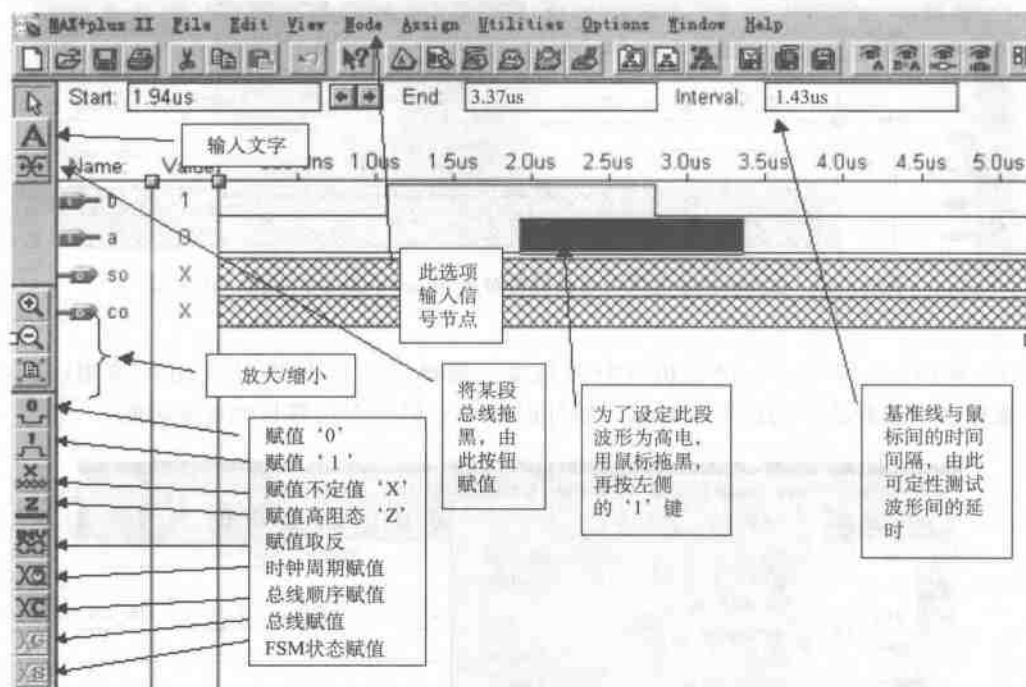


图 11.14 为输入信号设定必要的测试电平或数据

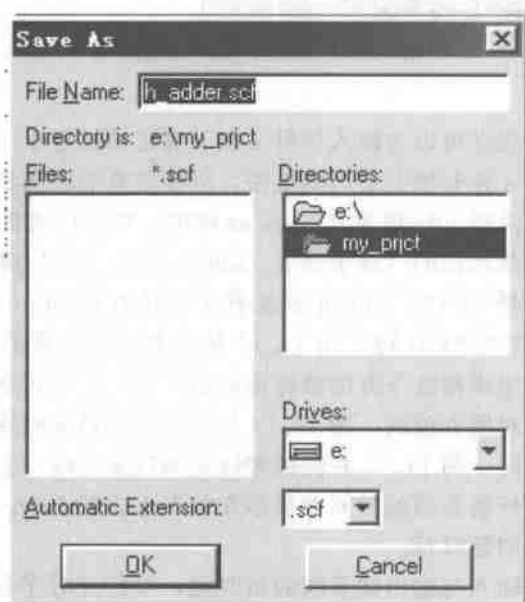


图 11.15 仿真波形文件存盘

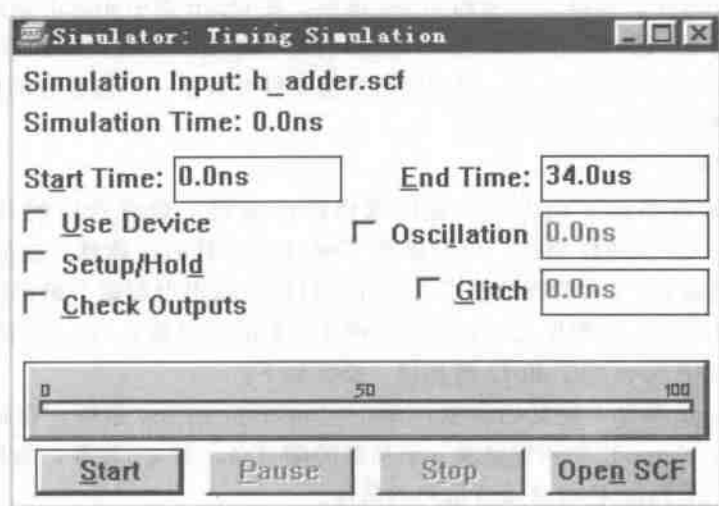


图 11.16 运行仿真器

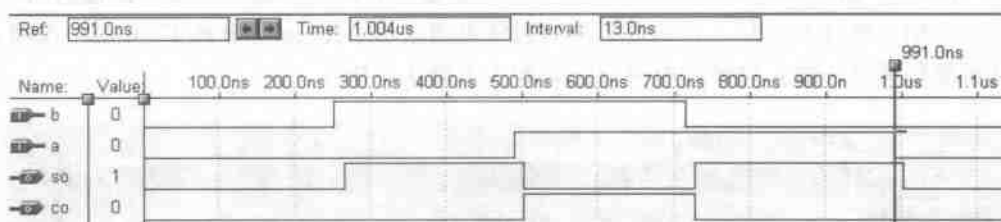


图 11.17 半加器 h_adder.gdf 的仿真波形

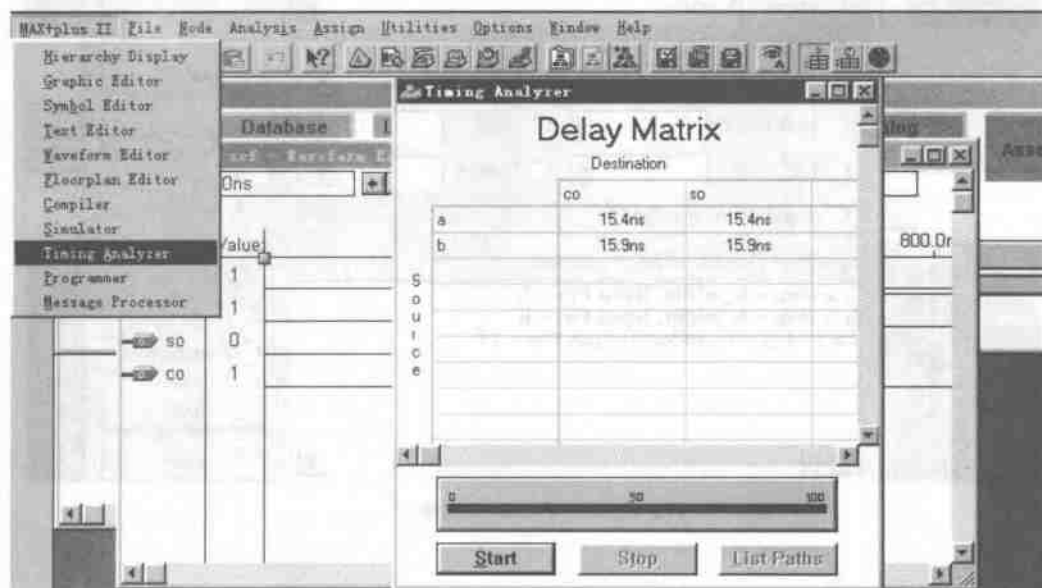


图 11.18 打开延时时序分析窗

(9) 包装元件入库。选择 File 项的 Open 选项, 在 Open 窗中先点击原理图编辑文件项 Graphic Editor Files, 选择 h_adder.gdf, 重新打开半加器设计文件, 然后如图 11.7 选择 File 中的 Create Default Symbol 项, 此时即将当前文件变成了一个包装好的单一元件, 并被放置在工程路径指定的目录中以备后用。

步骤 6: 引脚锁定

如果以上的仿真测试正确无误, 就应该将设计编程下载进选定的目标器件中, 如 EPF10K10, 作进一步的硬件测试, 以便最终了解设计项目的正确性。这就必须根据评估板、开发电路系统或 EDA 实验板的要求对设计项目输入输出引脚赋予确定的引脚, 以便能够对其进行实测。这里假设根据实际需要, 要将半加器的 4 引脚 a、b、co 和 so 分别与目标器件 EPF10K10 的第 5、6、17 和 18 脚相接, 操作如下:

(1) 选择 Assign 项及其中的引脚定位 Pin \ Location \ Chip 选项, 在跳出的窗口 (图 11.19) 中的 Node Name 栏中用键盘输入半加器的端口名, 如 a、b 等。如果输入的端口名正确, 在右侧的 Pin Type 栏将显示该信号的属性。

(2) 在左侧的 Pin 一栏中, 用键盘输入该信号对应的引脚号, 如 5、6、17 等, 然后按下面的 Add 键。如图 11.19 所示分别将 4 个信号锁定在对应的引脚上, 按 OK 键后结束。

(3) 特别需要注意的是, 在锁定引脚后必须再通过 MAX+plus II 的 Compiler 选项, 对文件从新进行编译一次, 以便将引脚信息编入下载文件中。

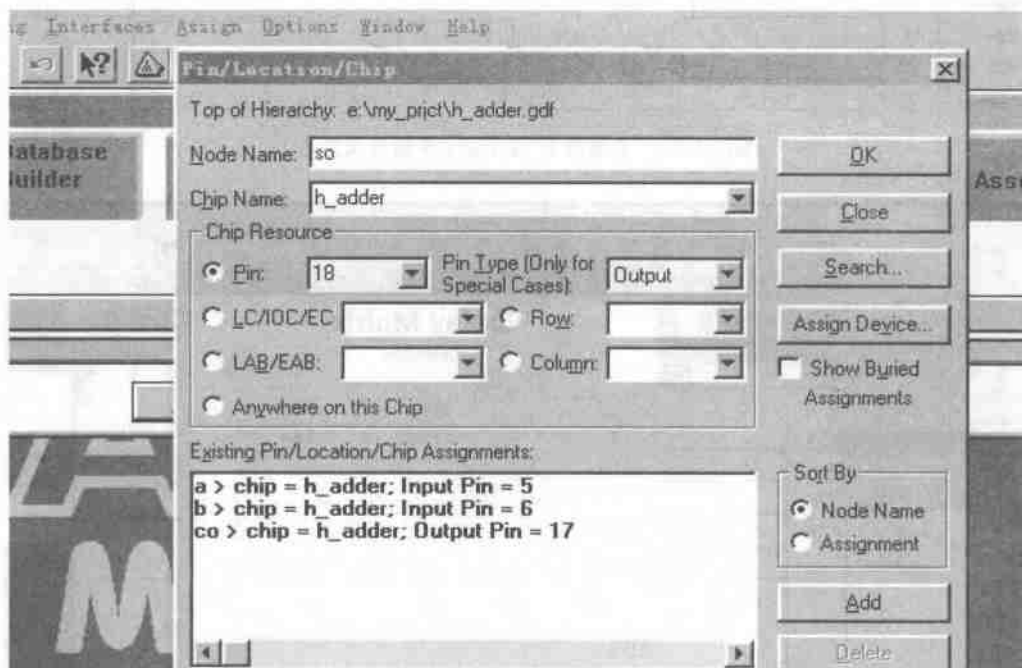


图 11.19 半加器引脚锁定

步骤 7: 编程下载

首先将下载线把计算机的打印机口与目标板 (如开发板或实验板) 连接好, 打开电源:

(1) 下载方式设定。选择 MAX+plus II 项及其中的编程器 Programmer 选项，跳出如图 11.20 左侧所示的编程器窗口，然后选择 Options 项的 Hardware Setup 硬件设置选项，其窗口如图 11.20 右侧所示。在其下拉菜单中选 ByteBlaster (MV) 编程方式。此编程方式对应计算机的并行口下载通道，MV 是混合电压的意思，主要指对 ALTERA 的各类芯核电压（如 5V、3.3V、2.5V 与 1.8V 等）的 FPGA/CPLD 都能由此下载。此项设置只在初次装软件后第一次编程前进行，设置确定后就不必重复此设置了。

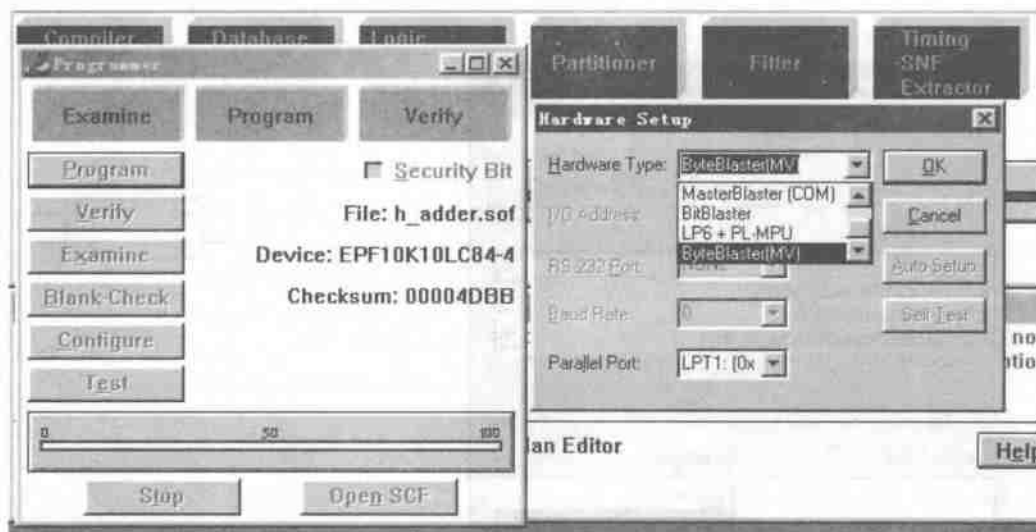


图 11.20 设置编程下载方式

(2) 下载。如图 11.21，点击 Configure 键，向 EPF10K10 下载配置文件，如果连线无误，应出现图 11.21 报告配置完成的信息提示。

到此为止，完整的设计流程已经结束。VHDL 文本输入的设计可参考这一流程。



图 11.21 向 EPF10K10 下载配置文件

步骤 8: 设计顶层文件

可以将前面的工作看成是完成了一个底层元件的设计和检测, 并被包装入库。现在利用已设计好的半加器, 完成顶层项目全加器的设计, 详细步骤可参考以上设计流程:

(1) 仿照前面的“步骤 2”, 打开一个新的原理图编辑窗, 然后在图 11.22 所示的元件输入窗的本工程目录中找到已包装好的半加器元件 h_adder, 并将它调入原理图编辑窗中。这时如果对编辑窗中的半加器元件 h_adder 双击, 即刻弹出此元件内部的原理图。

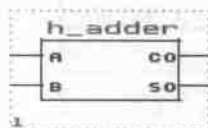
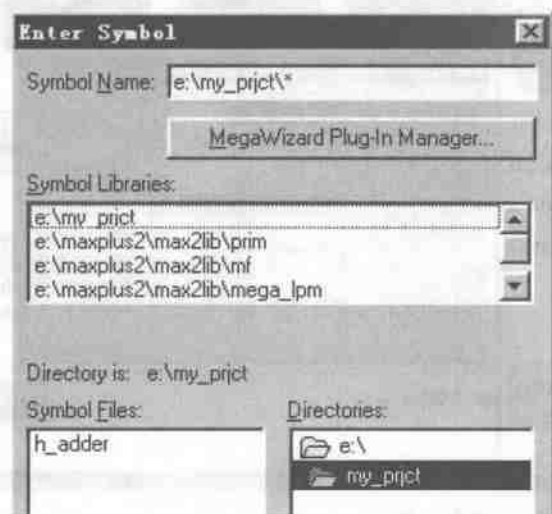


图 11.22 在顶层编辑窗中调出已设计好的半加器元件

- (2) 完成全加器原理图设计 (图 11.23), 并以文件名 f_adder.gdf 存在同一目录中。
- (3) 将当前文件设置成 Project, 并选择目标器件为 EPF10K10LC84-4。
- (4) 编译此顶层文件 f_adder.gdf, 然后建立波形仿真文件。
- (5) 对应 f_adder.gdf 的波形仿真文件如图 11.24 所示, 参考图中输入信号 cin、bin 和 ain 输入信号电平的设置, 启动仿真器 Simulator, 观察输出波形的情况。
- (6) 锁定引脚、编译并编程下载, 硬件实测此全加器的逻辑功能。

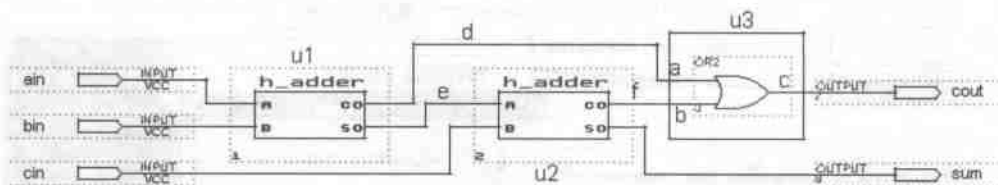


图 11.23 在顶层编辑窗中设计好全加器

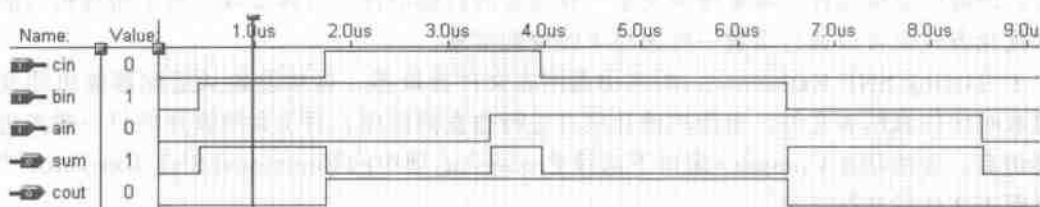


图 11.24 1 位全加器的时序仿真波形

11.1.2 设计流程归纳

图 11.25 所示的是利用 MAX+plus II 进行设计的一般流程，因此对原理图输入设计和文本方式的硬件描述语言设计输入都能适用。

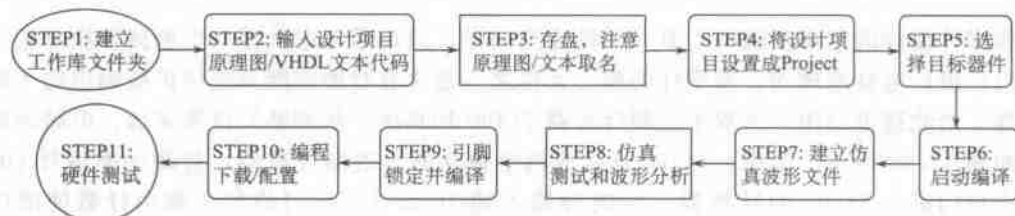


图 11.25 MAX+plus II 一般设计流程

以上的步骤 8 是一个多层次设计示例，其设计流程与图 11.25 所示的单一层次设计完全一样，此时低层次的设计项目只是高层项目（顶层设计）中的某个或某些元件，而当前的顶层设计项目也可成为更高层设计中的一个元件。

11.1.3 补充说明

为了使以上的各设计步骤表达得更为简洁和浅显易懂，一些需要详细说明的内容未能提及，故在此作为补充说明，图 11.9 编译窗各功能项目详述如下：

- Compiler Netlist Extractor：编译器网表文件提取器，该功能块将输入的原理图文件或 HDL 文本文件转化成网表文件并检查其中可能的错误。该模块还负责连接顶层设计中的多层次设计文件；此外还包含一个内置的，用于接受外部标准网表文件的阅读器。

- Database Builder：基本编译文件建立器，该功能块将含有任何层次的设计网表文件转化成一个单一层次的网表文件，以便进行逻辑综合。

- Logic Synthesizer：逻辑综合器，对设计项目进行逻辑化简、逻辑优化和检查逻辑错误。综合后输出的网表文件表达了设计项目中底层逻辑元件最基本的连接方式和逻辑关系。逻辑综合器的工作方式和优化方案可以通过一些选项来实现。

- Partitioner：逻辑分割器，如果选定的目标器件逻辑资源过小，而设计项目较大，该分割器则自动将设计项目进行分割，使得它们能够实现在多个选定的器件中。

- Fitter：适配器，适配器也称结构综合器或布线布局器。它将逻辑综合所得的网表

文件,即底层逻辑元件的基本连接关系,在选定的目标器件中具体实现。对于布线布局的策略和优化方式也可以通过设置一些选项来改变和实现。

- Timing SNF Extractor : 时序仿真网表文件提取器,该功能块从适配器输出的文件中提取时序仿真网表文件,留待对设计项目进行仿真测试用。对于大的设计项目一般先进行功能仿真,方法是在 Compiler 窗口下选择 Processing 项中的 Functional SNF Extractor 功能仿真网表文件提取器选项。

- Assembler : 装配器,该功能块将适配器输出的文件,根据不同的目标器件,不同的配置 ROM 产生多种格式的编程/配置文件,如用于 CPLD 或配置 ROM 用的 POF 编程文件(编程目标文件);用于对 FPGA 直接配置的 SOF 文件(SRAM 目标文件);可用于单片机对 FPGA 配置的 Hex 文件,以及其他 TTFs、Jam、JBC 和 JEDEC 文件等。

11.2 设计有时钟使能的两位十进制计数器

频率计设计的基本步骤与上节介绍的完全一样,只是需考虑从哪一个电路模块开始。

(1) 设计电路原理图,频率计的核心元件之一是含有时钟使能及进位扩展输出的十进制计数器。为此这里拟用一个双十进制计数器 74390 和其他一些辅助元件来完成。电路原理图应该如图 11.26 所示。图中,74390 连接成两个独立的十进制计数器,待测频率信号 clk 通过一个与门进入 74390 的计数器 1 的时钟输入端 1CLKA,与门的另一端由计数使能信号 enb 控制:当 enb = '1' 时允许计数;enb = '0' 时禁止计数。计数器 1 的 4 位输出 q[3]、q[2]、q[1] 和 q[0] 并成总线表达式方式即 q[3..0],由图 11.26 左下角的 OUTPUT 输出口向外输出计数值,同时由一个 4 输入与门和两个反相器构成进位信号进入第 2 个计数器的时钟输入端 2CLKA。

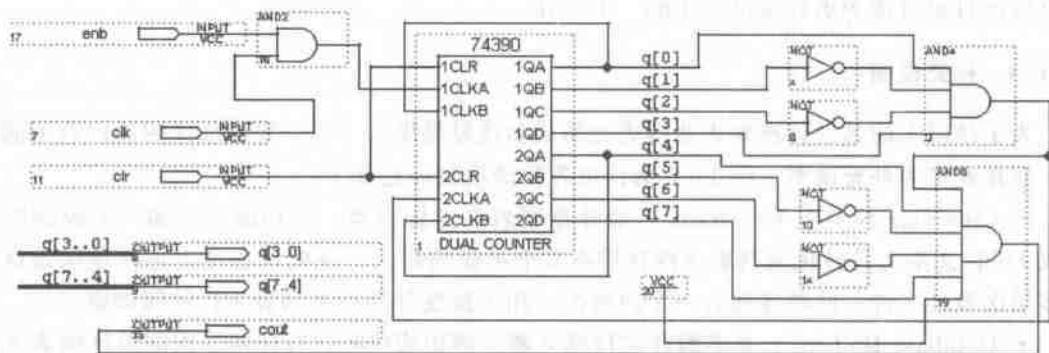


图 11.26 用 74390 设计一个有时钟使能的两位十进制计数器

第 2 个计数器的 4 位计数输出是 q[7]、q[6]、q[5] 和 q[4],总线输出信号是 q[7..4]。这两个计数器的总的进位信号,即可用于扩展输出的进位信号,由一个 6 输入与门和两个反相器产生,由 cout 输出。clr 是计数器的清零信号。

(2) 计数器电路实现,在此首先从实现图 11.26 所示的电路的绘制和测试开始,为此可以在 11.1.1 节的步骤 2 中用鼠标双击“Enter Symbol”窗中 Symbol Libraries 栏的 e:\

maxplus2 \ max2lib \ mf 的宏功能元件库，于是可以在 Symbol Files 栏中看到绝大多数 74 系列的元件（图 11.27）。这些器件的详细功能及它们的逻辑真值表可以通过查阅“Help”选项来获得。为了查阅 74390 的功能，可如图 11.28 所示，在 Help 菜单中选 Old-Style Macrofunctions 项，然后选 Counters 项。

向原理图编辑窗中调入宏功能元件可以如图 11.27 所示，直接在上端的 Symbol Name 栏中键入器件的名称，如 74390 等，然后点击 OK 键即可。如果要了解 74390 内部的情况，可以用鼠标在其上双击。最后根据图 11.26 在原理图编辑窗中完成该电路的全部绘制。绘制过程中应特别注意图形设计规则中信号标号和总线的表达方式：若将一根细线变成以粗线显示的总线，可以先将其点击使其变成红色，再选 Option 选项中的 Line Style；若在某线上加信号标号，也应该在该线某处点击使其变成红色，然后键入标号名称，标有相同标号的线段可视为连接线段，但可不必直接连接。对于以标号方式进行总线连接可以如图 11.26 那样。例如一根 8 位的总线 bus1 [7..0] 欲与另 3 根分别为 1、3、4 位的连线相接，它们的标号可分别表示为 bus1 (0)，bus1 (3..1)，bus1 (7..4)。

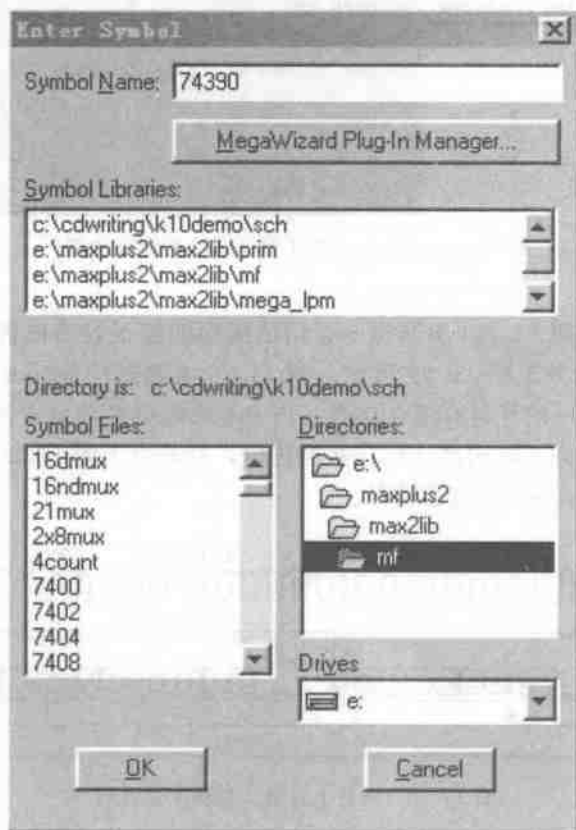


图 11.27 调出元件 74390

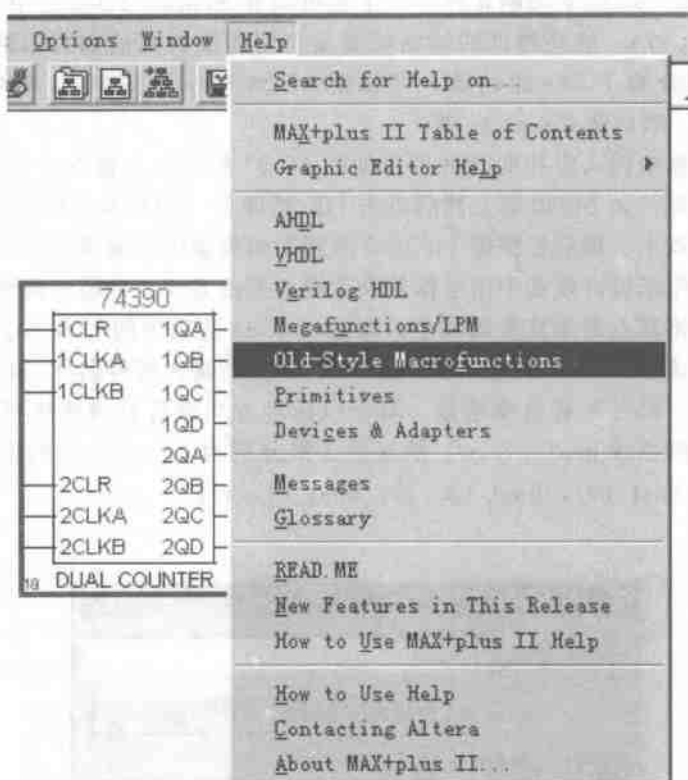


图 11.28 从 Help 中了解 74390 的详细功能

(3) 波形仿真, 按照 11.1.1 节步骤 5 介绍的流程能够很容易地得到图 11.26 电路的仿真波形 (图 11.29)。由波形图 11.29 可见, 图 11.26 电路的功能完全符合原设计要求: 当 clk 输入时钟信号时, clr 信号具有清 0 功能, 当 enb 为高电平时允许计数, 低电平时禁止计数; 当低 4 位计数器计到 9 时向高 4 位计数器进位, 另外由于图 11.29 中没有显示高 4 位计数器计到 9, 故看不到 count 的进位信号。

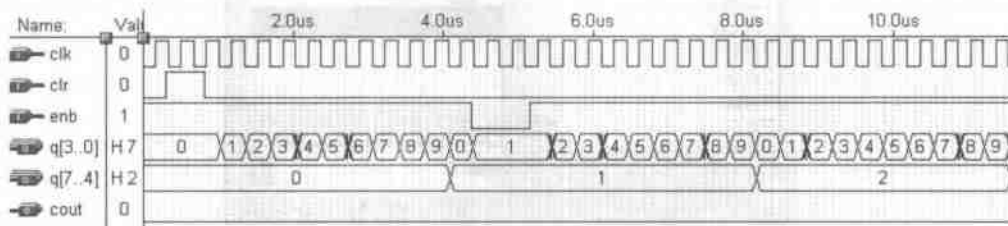


图 11.29 两位十进制计数器工作波形

如果本设计电路的存盘文件名为 conter8.gdf, 则按照 11.1.1 节中步骤 5 的第 9 段介绍的方法, 将此项设计包装成一个元件存入库中以备后用, 该电路对应的元件名是 conter8。

第 12 章 VHDL 设计初步

MAX+PLUS II 的文本输入和编译系统支持 VHDL、Verilog 和 AHDL (Altera 硬件描述语言) 编写的 HDL 设计文件。MAX+PLUS II Compiler 可以对这些语言表达的逻辑进行综合, 并将其映射到 Altera 的器件中。采用语言描述设计的优点是效率较高, 信号观察也很方便, 但语言输入必须依赖综合器, 只有好的综合器才能把语言综合成优化的电路, 本章给出运用 VHDL 语言进行数字系统仿真实验的方法和实例。

12.1 2 选 1 多路选择器的 VHDL 描述

例 12-1 是 2 选 1 多路选择器的 VHDL 完整描述, 即可以直接综合出实现相应功能的逻辑电路及其功能器件。图 12.1 是此描述对应的逻辑图或者器件图, 图中, a 和 b 分别是两个数据输入端的端口名, s 为通道选择控制信号输入端的端口名, y 为输出端的端口名。“mux21a” 是此器件的名称, 这类似于 “74LS138”、“CD4013” 等器件的名称。电路图 12.2 是例 12-1 综合后获得的电路, 因而可以认为是多路选择器 “mux21a” 的内部电路结构。

【例 12-1】

```
ENTITY mux21a IS
    PORT ( a, b : IN BIT;
           s : IN BIT;
           y : OUT BIT );
END ENTITY mux21a;

ARCHITECTURE one OF mux21a IS
BEGIN
    y <= a WHEN s = '0' ELSE
        b;
END ARCHITECTURE one;
```

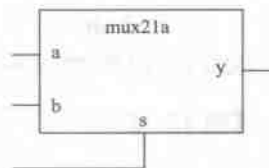


图 12.1 mux21a 实体

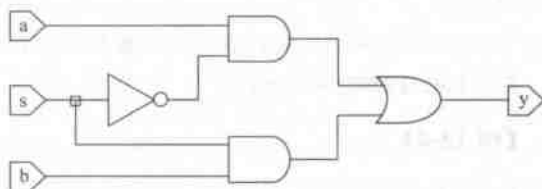


图 12.2 mux21a 结构体

由例 12.1 可见, 此电路的 VHDL 描述由两大部分组成:

(1) 由关键词 ENTITY 引导, 以 END ENTITY mux21a 结尾的语句部分, 称为实体。实体描述电路器件的外部情况及各信号端口的基本性质。图 12.1 可认为是实体的图形表达。

(2) 由关键词 ARCHITECTURE 引导, 以 END ARCHITECTURE one 结尾的语句部分, 称为结构体。结构体描述电路器件的内部逻辑功能或电路结构。图 12.2 是此结构体的原理图表达。

在 VHDL 结构体中用于描述逻辑功能和电路结构的语句分为顺序语句和并行语句两部分, 顺序语句的执行方式十分类似于普通软件语言的程序执行方式, 都是按照语句的前后排列方式顺序执行的。而在结构体中的并行语句, 无论有多少行, 都是同时执行的, 与语句的前后次序无关。

例 12.1 中的逻辑描述是用一句 WHEN _ ELSE 结构的并行语句表达的。它的含义是, 当满足条件 $s='0'$, 即 s 为低电平时 a 输入端的信号传送至 y , 否则, 即 s 为高电平时, b 输入端的信号传送至 y 。

【例 12-2】

```
ENTITY mux21a IS
    PORT ( a, b : IN  BIT;
           s : IN  BIT;
           y : OUT BIT );
END ENTITY mux21a;

ARCHITECTURE one OF mux21a IS
    SIGNAL d, e :  BIT;
BEGIN
    d <= a AND (NOT S) ;
    e <= b AND s ;
    y <= d OR e ;
END ARCHITECTURE one ;
```

【例 12-3】

```
...
ARCHITECTURE one OF mux21a IS
BEGIN
    y <= (a AND (NOT s) ) OR (b AND s);
END ARCHITECTURE one ;
```

【例 12-4】

```
ENTITY mux21a IS
    PORT ( a, b : IN  BIT;
           s : IN  BIT;
           y : OUT BIT );
END ENTITY mux21a;
ARCHITECTURE one OF mux21a IS
BEGIN
    PROCESS (a, b, s)
    BEGIN
```



```

IF s = '0' THEN
    y <= a;
ELSE
    y <= b;
END IF;
END PROCESS;
END ARCHITECTURE one;

```

也可以用其他的语句形式来描述以上相同的逻辑行为。例 12-2 和例 12-3 中的功能描述语句都是并行语句，是用布尔方程的表达式来描述的。其中的“AND”、“OR”、“NOT”分别是逻辑与、或、非的意思。例 12-4 则给出了用顺序语句 IF _ THEN _ ELSE 表达的功能描述。

以上 4 例用不同的语句表达方式描述了相同的逻辑功能，都能被综合成图 12.2 的电路结构。其电路功能可以从图 12.3 的时序波形中看出，分别向 a 和 b 端输入两个不同信号的频率 f_a 和 f_b ($f_a > f_b$)，当 s 为高电平时，y 输出 f_b ，而当 s 为低电平时，y 输出 f_a 。显然，图 12.3 的波形证实了 VHDL 逻辑设计的正确性。

需要指出的是，以上各例的实体和结构体分别是以“END ENTITY xxx”和“END ARCHITECTURE xx”语句结尾的，这是符合 VHDL 的 IEEE STD 1076 _ 1993 版的语法要求的。若根据 VHDL87 版本，IEEE STD 1076 _ 1987 的语法要求，这两条结尾语句只需写成“END ;”和“END xx”。但考虑到目前绝大多数常用的 EDA 工具中的 VHDL 综合器都兼容两种 VHDL 版本的语法规则，且许多最新的 VHDL 方面的资料，仍然使用 VHDL87 版本语言规则。因此，出于实用的目的，对于以后出现的示例，不再特意指出 VHDL 两种版本的语法差异处。但对于不同的 EDA 工具，仍需根据设计程序不同的 VHDL 版本表述，在综合前作相应的设置。

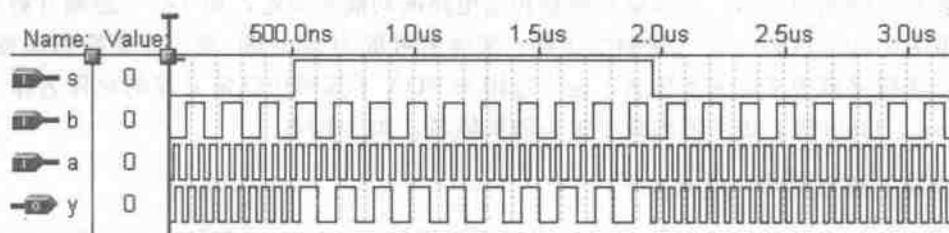


图 12.3 mux21a 功能时序波形

12.1.1 VHDL 语言现象说明

这里将对例 12-1/2/3/4 中出现的语言现象作出说明和归纳：

1. 实体表达

VHDL 完整的，可综合的程序结构，必须完整地表达出一片专用集成电路 ASIC 器件的端口结构和电路功能，无论是一片 74LS138 还是一片 CPU，都必须包含实体和结构体两个

最基本的语言结构,这里将含有完整程序结构(包含实体和结构体)的VHDL表述称为设计实体。如前所述,实体描述的是电路器件的端口构成和信号属性,它的最简表式如下:

【例 12-5】

```
ENTITY e_name IS
    PORT ( p_name : port_m data_type;
          ...
          p_namei; port_mi data_type );
END ENTITY e_name;
或:
```

【例 12-6】

```
ENTITY e_name IS
    PORT ( p_name : port_m data_type;
          ...
          p_namei; port_mi data_type );
END e_name;
```

上下两种表式的唯一区别是IEEE93/87标准不同。前者为IEEE93标准、而后者是IEEE87,一般VHDL综合器都兼容两种不同标准。上式中ENTITY、IS、PORT和END ENTITY都是描述实体的关键词,在实体描述中必须包含这些关键词,编辑中,关键词不分大写和小写。

2. 实体名

例12-5/12-6中的e_name是实体名,具体取名由设计者自定。由于实体名实际上表达的是该设计电路的器件名,所以最好根据相应电路的功能来确定,如4位二进制计数器,实体名可取为counter4b;8位二进制加法器,实体名可取为adder8b等。需要特别注意的是,一般不应用数字或中文定义实体名,也不应用与EDA工具库中已定义好的元件名作为实体名,如or2、latch等,也不能用数字带头的实体名,如74LSX。

3. PORT 语句和端口信号名

描述电路的端口及其端口信号,必须用端口语句PORT()引导,并在语句结尾处加分号“;”例12-5/12-6中的p_name是端口信号名,也由设计者自己确定,如例12-1中的端口信号名分别是a、b、s和y。

4. 端口模式

例12-5/12-6中的port_m表达端口模式,可综合的端口模式有4种,它们分别是IN、OUT、INOUT和BUFFER,用于定义端口上数据的流动方向和方式:

- IN: IN定义的通道为单向只读模式,规定数据只能通过此端口被读入实体中。
- OUT: OUT定义的通道为单向输出模式,规定数据只能通过此端口从实体向外流出,或者说可以将实体中的数据向此端口赋值。

• INOUT : INOUT 定义的通道确定为输入输出双向端口, 即从端口的内部看, 可以对此端口进行赋值, 也可以通过此端口读入外部的数据信息; 而从端口的外部看, 信号既可以从此端口流出, 也可以向此端口输入信号, 如 RAM 的数据端口, 单片机的 I/O 口。在实际电路描述中, INOUT 模式的正确使用还应该考虑其他因素, 详细情况将在后文介绍。

• BUFFER : BUFFER 的功能与 INOUT 类似, 区别在于当需要输入数据时, 只允许内部回读输出的信号, 即允许反馈。如计数器的设计, 可将计数器输出的计数信号回读, 以作下一计数值的初值。与 INOUT 模式相比, BUFFER 回读(输入)的信号不是由外部输入的, 而是由内部产生, 向外输出的信号。BUFFER 的使用示例将在下章介绍。

在例 12-1 中, a、b、s 的端口模式都定义为 IN, y 的端口模式定义为 OUT;

5. 数据类型 BIT

例 12-5/12-6 中的 data_type 是数据类型名。例 12-1 中, 端口信号 a、b、s 和 y 的数据类型都定义为 BIT。VHDL 作为一种强类型语言, 任何一种数据对象(信号、变量、常数)必须严格限定其取值范围, 即对其传输或存储的数据类型作明确的界定。这对于大规模电路描述的排错是十分有益的。在 VHDL 中, 预先定义好的数据类型有多种, 如整数数据类型 INTEGER、布尔数据类型 BOOLEAN、标准逻辑位数据类型 STD_LOGIC 和位数据类型 BIT 等。

BIT 数据类型的信号规定的取值范围是逻辑位 '1' 和 '0'。在 VHDL 中, 逻辑位 0 和 1 的表达必须加单引号", 否则 VHDL 综合器将 0 和 1 解释为整数数据类型 INTEGER。

BIT 数据类型可以参与逻辑运算或算术运算, 其结果仍是位的数据类型。VHDL 综合器用一个二进制位表示 BIT。将例 12-1 中的端口信号 a、b、s 和 y 的数据类型都定义为 BIT, 即表示 a、b、s 和 y 的取值范围, 或者说是数据变化范围被限定在逻辑位 '1' 和 '0' 之间。

BIT 数据类型的定义或者说是解释包含在 VHDL 标准程序包 STANDARD 中, 而程序包 STANDARD 包含于 VHDL 标准库 STD 中。

6. 结构体表达

结构体的一般表达如例 12-7/12-8 所示:

【例 12-7】

```
ARCHITECTURE arch_name OF e_name IS
```

(说明语句)

```
BEGIN
```

(功能描述语句)

```
END ARCHITECTURE arch_name ;
```

或:

【例 12-8】

```
ARCHITECTURE arch_name OF e_name IS
```

(说明语句)

BEGIN

(功能描述语句)

END arch_name ;

和例 12-5, 例 12-6 一样, 上下两种表式的唯一区别是 IEEE93/87 标准不同。前者为 IEEE93 标准、而后者是 IEEE87。上式中 ARCHITECTURE、OF、IS、BEGIN 和 END ARCHITECTURE 都是描述结构体的关键词, 在描述中必须包含, arch_name 是结构体名。

(说明语句) 包括在结构体中需要说明和定义的数据对象、数据类型、元件调用声明等等。(说明语句) 并非是必须的, (功能描述语句) 则不同, 结构体中必须给出相应的电路功能描述语句, 可以是并行语句, 顺序语句或它们的混合。

一般, 一个可综合的完整的 VHDL 程序有比较固定的结构。设计实体中, 一般首先出现的是各类库及其程序包的使用声明, 包括未以显式表达的工作库 WORK 库的使用声明, 然后是实体描述, 然后是结构体描述, 而在结构体中可以含有不同的逻辑表达语句结构。这里对一个相对完整的 VHDL 程序设计构建称为设计实体。

7. 信号传输 (赋值) 符号和数据比较符号

例 12-1 中的表达式 $y \leq a$ 表示输入端口 a 的数据向输出端口 y 传输; 但也可以解释为信号 a 向信号 y 赋值。在 VHDL 仿真中赋值操作 $y \leq a$ 并非立即发生的, 而是要经历一个模拟器的最小分辨时间 δ 后, 才将 a 的值赋予 y 。在此不妨将 δ 看成是实际电路存在的固有延时量。VHDL 要求赋值符 “ \leq ” 两边的信号的数据类型必须一致。

例 12-1 中, 条件判断语句 WHEN _ ELSE 通过测定表式 $s = '0'$ 的比较结果, 以确定由哪一端口向 y 赋值。条件语句 WHEN _ ELSE 的判定依据是表式 $s = '0'$ 输出的结果。表式中的等号 “ $=$ ” 没有赋值的含义, 只是一种数据比较符号。其表式输出结果的数据类型是布尔数据类型 BOOLEAN, 它的取值分别是: true (真) 和 false (伪), 即当 s 为高电平时, 表式 “ $s = '0'$ ” 输出 “false”; 当 s 为低电平时, 表式 “ $s = '0'$ ” 输出 “true”。在 VHDL 综合器或仿真器中分别用 '1' 和 '0' 表达 true 和 false。布尔数据不是数值, 只能用于逻辑操作或条件判断。

用于条件语句的判断表式可以是一个值, 也可以是更复杂的逻辑或运算表达式, 如:

```
IF a THEN...           —— 注意, a 的数据类型必须是 boolean
IF (s1 = '0') AND (s2 = '1') OR (c < b + 1) THEN ...
```

8. 逻辑操作符 AND、OR、NOT

例 12-2 中出现的文字 AND、OR 和 NOT 是逻辑操作符号。VHDL 共有七种基本逻辑操作符, 它们是 AND (与)、OR (或)、NAND (与非)、NOR (或非)、XOR (异或)、XNOR (同或) 和 NOT (取反)。信号在这些操作符的作用下, 可构成组合电路。逻辑操作符所要求的操作数 (操作对象) 的数据类型有三种, 即 BIT、BOOLEAN 和 STD_LOGIC。

与其他硬件描述语言用符号表达逻辑操作符不同, VHDL 中直接用对应的英语文字表达逻辑操作符号, 这更明确显示了 VHDL 作为硬件行为描述语言的特征。

9. IF _ THEN 条件语句

例 12-4 利用 IF _ THEN _ ELSE 表达的 VHDL 顺序语句的方式, 描述了同一多路选择器的电路行为。例 12-4 结构体中的 IF 语句的执行顺序类似于软件语言, 首先判断如果 s 为低电平, 则执行 $y \leq a$ 语句, 否则 (当 s 为高电平), 则执行语句 $y \leq b$ 。

由此可见 VHDL 的顺序语句同样能描述并行运行的组合电路。

IF 语句必须以语句 END IF; 结束。

10. WHEN _ ELSE 条件信号赋值语句

例 12-1 中出现的是条件信号赋值语句, 这是一种并行赋值语句, 其表达方式如下:

赋值目标 \leq 表达式 WHEN 赋值条件 ELSE

表达式 WHEN 赋值条件 ELSE

...

表达式;

在结构体中的条件信号赋值语句的功能与在进程中的 IF 语句相同, 在执行条件信号语句时, 每一“赋值条件”是按书写的先后关系逐项测定的, 一旦发现 (赋值条件 = TRUE), 立即将“表达式”的值赋给“赋值目标”信号。另外应注意, 由于条件测试的顺序性, 条件信号赋值语句中的第一子句具有最高赋值优先级, 第二句其次, 如此类推。例如在以下程序中, 如果当 p1 和 p2 同时为 '1' 时, z 获得的赋值是 a 而不可能是 b。

```
z <= a WHEN p1 = '1' ELSE
```

```
  b WHEN p2 = '1' ELSE
```

```
  c;
```

11. PROCESS 进程语句和顺序语句

从例 12-4 可见, 顺序语句 “IF _ THEN _ ELSE _ END IF;” 是放在由 “PROCESS... END PROCESS” 引导的语句中的, 由 PROCESS 引导的语句称为进程语句。在 VHDL 中, 所有合法的顺序描述的语句都必须放在进程语句中 (并非所有语句都能放在进程语句中)。

PROCESS 旁的 (a, b, s) 称为进程的敏感信号表, 通常要求将进程中所有的输入信号都放在敏感信号表中。例如, 例 12-4 中的输入信号是 a, b 和 s, 所以将它们全部列入敏感信号表中。由于 PROCESS 语句的执行依赖于敏感信号的变化, 当某一敏感信号 (如 a) 从原来的 '1' 跳变到 '0', 或者从原来的 '0' 跳变到 '1' 时, 就将启动此进程语句, 而在执行一遍整个进程的顺序语句后, 便进入等待状态, 直到下一次敏感信号表中某一信号的跳变才再次进入 “启动-运行” 状态。在一个结构体中可以包含任意个进程语句, 所有的进程语句都是并行语句, 而由任一进程 PROCESS 引导的语句结构属于顺序语句。

12.1.2 文件取名和存盘

在文件存盘前, 任一 VHDL 设计程序 (代码) 都必须给予一正确的文件名。一般文件

名可以由设计者任意给定,但具体取名最好与文件实体名相同;文件后缀扩展名必须是“.VHD”,如 ADDER_F.VHD。但考虑到某些 EDA 软件的限制和 VHDL 程序的特点,即在元件(例化语句中的被调用文件)调用中,其元件名与文件名是等同的,因此建议,程序存盘的文件名应该与该程序的实体名一致,如例 12-1 的文件名应该是:

mux21a.vhd

文件名不分大小写

12.2 寄存器描述及其 VHDL 语言现象

与其他硬件描述语言相比,在时序电路的描述上,VHDL 具有许多独特之处,最明显的是 VHDL 主要通过对时序器件功能和逻辑行为的描述,而非结构上的描述即能由计算机综合出符合要求的时序电路,从而充分体现了 VHDL 电路系统行为描述的强大功能。

12.2.1 D 触发器的 VHDL 描述

最简单并最具代表性的时序电路是 D 触发器,它是现代可编程 ASIC 设计中最基本的时序元件和底层元件。D 触发器的描述包含了 VHDL 对时序电路的最基本和典型的表达方式,同时也包含了 VHDL 中许多最具特色的语言现象。

【例 12-9】

```
LIBRARY IEEE ;
USE IEEE.STD_LOGIC_1164.ALL ;
```

```
ENTITY DFF1 IS
    PORT ( clk : IN STD_LOGIC ;
          d : IN STD_LOGIC ;
          q : OUT STD_LOGIC );
END ;
```

```
ARCHITECTURE bhv OF DFF1 IS
```

```
    SIGNAL q1: STD_LOGIC ;
BEGIN
```

```
    PROCESS (clk)
```

```
    BEGIN
```

```
        IF clk'EVENT AND clk = '1'
```

```
        THEN q1 <= d;
```

```
        END IF;
```

```
        q <= q1 ;
```

```
    END PROCESS ;
```

```
END bhv;
```

例 12-9 是对 D 触发器元件图 12.4 的 VHDL 描述。与例 12-4 相比,从 VHDL 的语言现

象上看, 例 12-9 的描述多了 4 个部分:

- (1) 由 LIBRARY 引导的库的说明部分。
- (2) 使用了另一种数据类型 STD_LOGIC。
- (3) 定义了一个内部节点信号 SIGNAL。
- (4) 使用了一种新的条件判断表式。

除此之外, 虽然例 12-4 描述的是组合电路, 而例 12-9 描述的是时序电路, 如果不详细分析其中的表述含义, 二例在语句结构和语言应用上没有明显的差异, 也不存在如其他硬件描述语言 (如 ABEL、AHDL) 那样用于表示时序和组合逻辑的特征语句, 更没有与特定的软件或硬件相关的特征属性语句。这充分表明了 VHDL 电路描述与设计平台和硬件实现对象无关性的优秀特点。

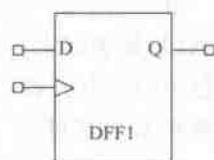


图 12.4 D 触发器

12.2.2 D 触发器 VHDL 描述的语言现象说明

以下对例 12-9 中出现的新的语句语言现象作出说明:

1. 标准逻辑位数据类型 STD_LOGIC

从例 12-9 可见, D 触发器的 3 个信号端口 clk、d 和 q 的数据类型都被定义为 STD_LOGIC。就数字系统设计来说, 类型 STD_LOGIC 比 BIT 包含的内容丰富和完整的多。试比较 STD_LOGIC 和 BIT 两种数据类型的程序包定义表式 (其中 TYPE 是数据类型定义语句):

BIT 数据类型定义: TYPE BIT IS ('0', '1');

STD_LOGIC 数据类型定义: TYPE STD_LOGIC IS ('U', 'X', '0', '1', 'Z', 'W', 'L', 'H', '-');

以上定义的 9 种数据的含义是: 'U': 未初始化的; 'X': 强未知的; '0': 强逻辑 0; '1': 强逻辑 1; 'Z': 高阻态; 'W': 弱未知的; 'L': 弱逻辑 0; 'H': 弱逻辑 1; '-': 忽略。它们较完整地概括了数字系统中所有可能的数据表现形式。所以例 12-9 中的 clk、d 和 q 的比例 12-1 中的 a、b、s 具有更宽的取值范围, 从而实际电路有更好的适应性。

仿真和综合中, 将信号或其他数据对象定义为 STD_LOGIC 数据类型是非常重要的, 它可以使设计者精确地模拟一些未知的和具有高阻态的线路情况。对于综合器, 高阻态 'Z' 和忽略态 '-' (有的综合器对 'X') 可用于三态的描述。但就目前的综合器而言, STD_LOGIC 型数据能够在数字器件中实现的只有其中的四种值, 即 'X' (或 '-'), '0', '1' 和 'Z'。

2. 设计库和标准程序包

如上所述, 定义数据类型 BIT 的函数包含于标准库 STD 的 STANDARD 标准程序包中。为了使用 BIT 数据类型, 应该在如例 12-1 的程序上面增加如下两句说明语句:

```
LIBRARY STD ;
USE STD.STANDARD.ALL ;
```


第一句中的 LIBRARY 是关键词, LIBRARY STD 表示打开 STD 库;第二句的 USE 和 ALL 是关键词, USE STD STANDARD ALL 表示允许使用 STD 库中 STANDARD 程序包中的所有内容,如类型定义、函数、过程、常量等。另一方面,要求 VHDL 设计文件存盘在某一文件夹中,如 D:\MYFILE 中,并被指定为工程 PROJECT 的文件所在的目录, VHDL 工具将此路径指定的文件夹默认为工作库 (WORK LIBRARY),在 VHDL 程序前面还应该增加 “LIBRARY WORK ;” 语句, VHDL 工具才能调用相关的元件和程序包。但是,由于 VHDL 标准中规定标准库 STD 和工作库 WORK 都是默认打开的,因此应该像例 12-1 那样,不必将上述库和程序包的使用语句以显式表达在 VHDL 程序中。除非如例 12-9 那样,需要使用一些特殊的程序包。

使用库和程序包的一般定义表式是:

```
LIBRARY <设计库名>;
USE <设计库名>.<程序包名>.ALL;
```

STD_LOGIC 的类型定义在被称为 STD_LOGIC_1164 的程序包中,此包由 IEEE 定义,而且此程序包所在的程序库的库名也称 IEEE。由于 IEEE 库不属于 VHDL 标准库,所以在使用其库中内容前,必须事先给予声明。例 12-9 最上的两句语句:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
```

正是出于需要定义端口信号的数据类型为 STD_LOGIC (当然也可以定义为 BIT 类型或其他数据类型,但一般应用中推荐定义 STD_LOGIC 类型)。

3. SIGNAL 信号定义和数据对象

例 12-9 中的语句 “SIGNAL q1 : STD_LOGIC;” 表示在描述的器件 DFF1 内部定义标识符 q1 的数据对象为信号 SIGNAL,其数据类型为 STD_LOGIC。由于 q1 被定义为器件的内部接点信号,数据的进出不像端口信号那样受限制,所以不必定义其端口模式 (如 IN、OUT 等)。定义 q1 的目的是为了在今后更大的电路设计中使用由此引入的时序电路的信号,这是一种常用的时序电路设计的方式。但是单就例 12-9 的一个 D 触发器的描述,不作 q1 的定义,其结构体如例 12-10 那样,同样能综合出相同的结果。

【例 12-10】

```
ARCHITECTURE bhv OF DFF1 IS
BEGIN
    PROCESS (clk)
    BEGIN
        IF clk'EVENT AND clk = '1' THEN
            q <= d;
        END IF;
    END PROCESS;
END bhv;
```


语句“`SIGNAL q1 : STD_LOGIC;`”中的 `SIGNAL` 是定义某标识符为信号的关键词。在 VHDL 中, 数据对象 (Data Objects) 类似于一种容器, 它接受不同数据类型的赋值。数据对象有三类, 即信号 (`SIGNAL`)、变量 (`VARIABLE`) 和常量 (`CONSTANT`), 关于数据对象的详细解释将在后文中给出。VHDL 中, 被定义的标识符必须确定为某类数据对象, 同时还必须被定义为某种数据类型, 如例 12-9 中的 `q1`, 对它规定的对象是信号, 数据类型是 `STD_LOGIC` (规定 `q1` 的取值范围), 前者规定了 `q1` 的行为方式和功能特点, 后者限定了 `q1` 的取值范围。根据 VHDL 规定, `q1` 作为信号, 它可以如同一根连线那样在整个结构体中传递信息, 也可以根据程序的功能描述构成一个时序元件; 但 `q1` 传递或存储的数据的类型只能包含在 `STD_LOGIC` 的定义中。需要注意的是, 语句 `SIGNAL q1 : STD_LOGIC;` 仅规定了 `q1` 的属性特征, 而其功能定位, 需要由结构体中的语句描述具体确定。如果将 `q1` 比喻为一瓶葡萄酒, 则其特定形状的酒瓶就是其数据对象, 瓶中的葡萄酒而非其他酒就是其数据类型, 而这瓶酒的功能只能由拥有这酒的人确定, 即结构体中的具体描述。

4. 上升沿检测表式和信号属性函数 `EVENT`

例 12-9 中的条件语句的判断表式“`clk'EVENT AND clk = '1'`”是用于检测时钟信号 `clk` 的上升沿的, 即如果检测到 `clk` 的上升沿, 此表达式将输出“true”。

关键词 `EVENT` 是信号属性, VHDL 通过以下表式来测定该信号的跳变边沿:

<信号名>'EVENT

短语“`clock'EVENT`”就是对 `clock` 标识符的信号在当前的一个极小的时间段 δ 内发生事件的情况进行检测。所谓发生事件, 就是 `clock` 的电平发生变化, 从一种电平方式转变到另一种电平方式。如果 `clock` 的数据类型定义为 `STD_LOGIC`, 则在 δ 时间段内, `clock` 从其数据类型允许的 9 种值中的任何一个值向另一值跳变, 如由 '0' 变成 '1'、由 '1' 变成 '0' 或由 'Z' 变成 '0', 都认为发生了事件, 于是此表式将输出一个布尔值 `TRUE`, 否则为 `FALSE`。

如果将以上短语“`clock'EVENT`”改成语句“`clock'EVENT AND clock='1'`”, 则一旦“`clock'EVENT`”在 δ 时间内测得 `clock` 有一个跳变, 而小时间段 δ 之后又测得 `clock` 为高电平 '1', 从而满足此语句右侧的“`clock='1'`”的条件, 而两者相与 (AND) 后返回 `TRUE`, 由此便可以从当前的“`clock='1'`”推断在此前的 δ 时间段内, `clock` 必为 0 (假设 `clock` 的数据类型为 `BIT`)。因此, 以上的表达式可以用来对信号 `clock` 的上升沿进行检测。

5. 不完整条件语句与时序电路

现在来分析例 12-9 中对 D 触发器功能的描述:

首先当时钟信号 `clk` 发生变化时, `PROCESS` 语句被启动, `IF` 语句将测定条件表式“`clk'EVENT AND clk = '1'`”是否满足条件 (即 `clk` 的上升沿是否到来), 如果为“true”, 则执行语句 `q1<=d`, 即将 `d` 的数据向内部信号 `q1` 赋值, 并结束 `IF` 语句, 最后将 `q1` 的值向端口信号 `q` 输出, 即执行 `q<=q1`。

如果 `clk` 没有发生变化, 或是非上升沿方式的变化, `IF` 语句都不满足条件, 即条件表式

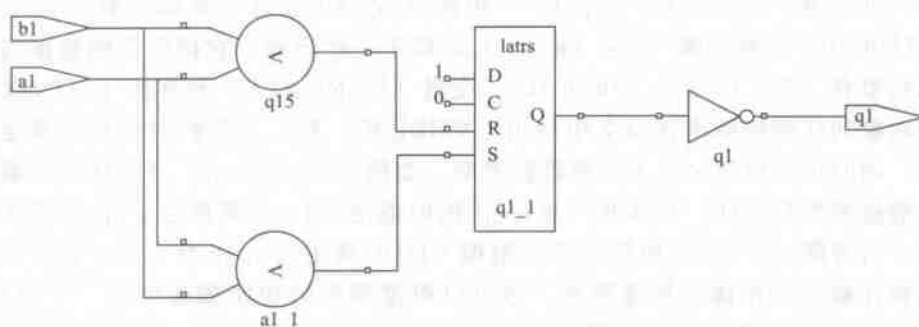


图 12.5 例 12-11 的电路图

给出“false”，于是将跳过赋值表式 $q1 \leq d$ 结束 IF 语句的执行。由于在此 IF 语句中没有利用 ELSE 明确指出当 IF 语句不满足条件时作何操作。显然这是一种不完整的条件语句（即在条件语句中，没有将所有可能发生的条件给出对应的处理方式），对于这种语言现象，VHDL 综合器将“理解”为当不满足条件时，不能执行语句 $q1 \leq d$ ，即应保持 $q1$ 的原值不变。这就意味着必须引进时序元件来保存 $q1$ 中的原值，直到满足 IF 语句的判断条件后才能更新 $q1$ 中的值。

利用这种不完整的条件语句的描述引进寄存器元件，从而构成时序电路的方式是 VHDL 描述时序电路最重要的途径。通常，完整的条件语句只能构成组合逻辑电路，如例 12-4 中，IF_THEN_ELSE 语句指明了 s 为 '1' 和 '0' 全部可能的条件下的赋值操作，从而产生了多路选择器组合电路模块。

然而必须注意的是，虽然在构成时序电路方面，不完整的条件语句具有独特的功能，但在利用条件语句进行纯组合电路设计时，如果没有充分考虑电路中所有可能出现的问题，即没有列全所有的条件，将导致不完整的条件语句的描述，从而产生设计者不希望的组合与时序电路的混合体。在此，不妨比较例 12-11 和例 12-12 的综合结果。例 12-11 的电路图如图 12.5 所示。

【例 12-11】

```

ENTITY COMP_BAD IS
    PORT ( a1 : IN BIT;
           b1 : IN BIT;
           q1 : OUT BIT );
END ;
ARCHITECTURE one OF COMP_BAD IS
BEGIN
    PROCESS (a1, b1)
    BEGIN
        IF a1 > b1 THEN q1 <= '1';
        ELSIF a1 < b1 THEN q1 <= '0';
        END IF;
    
```

```

END PROCESS ;
END ;

【例 12-12】

ENTITY COMP_GOOD IS
PORT ( a1 :    IN BIT;
       b1 :    IN BIT;
       q1 : OUT BIT);
END ;
ARCHITECTURE one OF COMP_GOOD IS
BEGIN
    PROCESS (a1, b1)
    BEGIN
        IF a1 > b1 THEN q1 <= 1';
        ELSE q1 <= '0' ;
        END IF;
    END PROCESS ;
END ;

```

可以认为例 12-11 的原意是要设计一个纯组合电路的比较器，但是由于在条件语句中漏掉了给出当 $a1=b1$ 时 $q1$ 作何操作的表述，结果导致了一个不完整的条件语句。VHDL 综合器将对例 12-11 的条件表述解释为：当条件 $a1=b1$ 时对 $q1$ 不作任何赋值操作，即在此情况下保持 $q1$ 的原值，这意味着必须为 $q1$ 配置一个寄存器，以便保存它的原值。图 12.5 的电路图即为例 12-11 的综合结果。不难发现综合器已为比较结果配置了一个寄存器。通常在仿真时，对这类电路的测试，很难发现在电路中已被插入了不必要的时序元件，但却浪费了逻辑资源，降低了电路的工作速度，影响了电路的可靠性。因此，设计者应该尽量避免此类电路的出现。

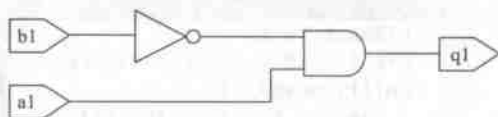


图 12.6 例 12-12 的电路图

例 12-12 是对例 12-11 的改进，其中的“ELSE $q1 \leq '0'$ ”语句即已包括了当 $a1$ 小于等于 $b1$ 情况下， $q1$ 的赋值要求，从而能产生图 12.6 所示的简洁的组合电路。

12.3 VHDL 文本输入设计方法初步

虽然本节介绍的是基于 MAX+plus II 的文本输入设计方法，但其基本设计流程具有一般性，因而，设计的基本方法也完全适合于其他 EDA 工具软件。作为实验准备，本节将介绍利用 MAX+plus II 进行 VHDL 文本输入设计的基本方法和流程（参考图 2.25）。

整个设计流程与第 2 章介绍的原理图输入设计方法基本相同，只是在一开始的原文件创建上稍有不同。以下拟此作简要说明，详细过程可参考第 2 章第 1 节。

12.3.1 编辑输入 VHDL 文件

与原理图设计方法一样，首先应该建立好工作库目录，以便设计工程项目的存储。作为示例，在此设立目录为：E:\muxfile 作为工作库。以便将设计过程中的相关文件存储在此。

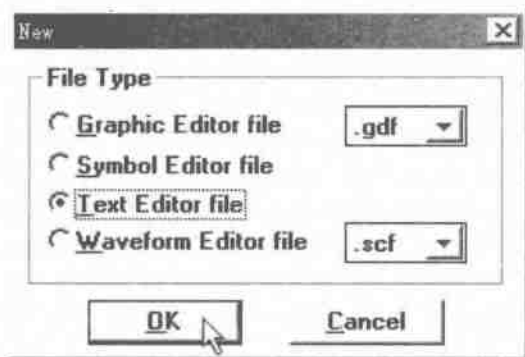


图 12.7 建立文本编辑器对话框

接下去是打开 MAX+plus II，选择菜单 File→New…，出现如图 12.7 所示的对话框，在框中选中 Text Editor file，点击 OK 按钮，即选中了文本编辑方式。在出现的 Untitled - Text Editor 文本编辑窗（图 12.8）中键入图 12.8 的 VHDL 程序，输入完毕后，选择菜单 File→Save，即出现如图 12.8 所示的 Save As 对话框。首先在 Directories 目录框中选择自己已建立好的存放本文件的目录 E:\MUXFILE（用鼠标双击此目录，使其打开），然后在 File Name 框中键

入文件名 MUX21A.VHD，按 OK 按钮，即把输入的文件放在目录 E:\MUXFILE 中了。注意，原理图输入设计方法中，存盘的原理图文件名可以是任意的，但 VHDL 程序文本存盘的文件名必须与文件的实体名一致，如 MUX21A.VHD。

另应注意，文件的后缀将决定使用的语言形式，在 MAX+plus II 中，后缀为 .VHD 表示 VHDL 文件；后缀为 .TDF 表示 AHDL 文件；后缀为 .V 表示 Verilog 文件。如果后缀正确，存盘后对应该语言的文件中的主要关键词都会改变颜色。

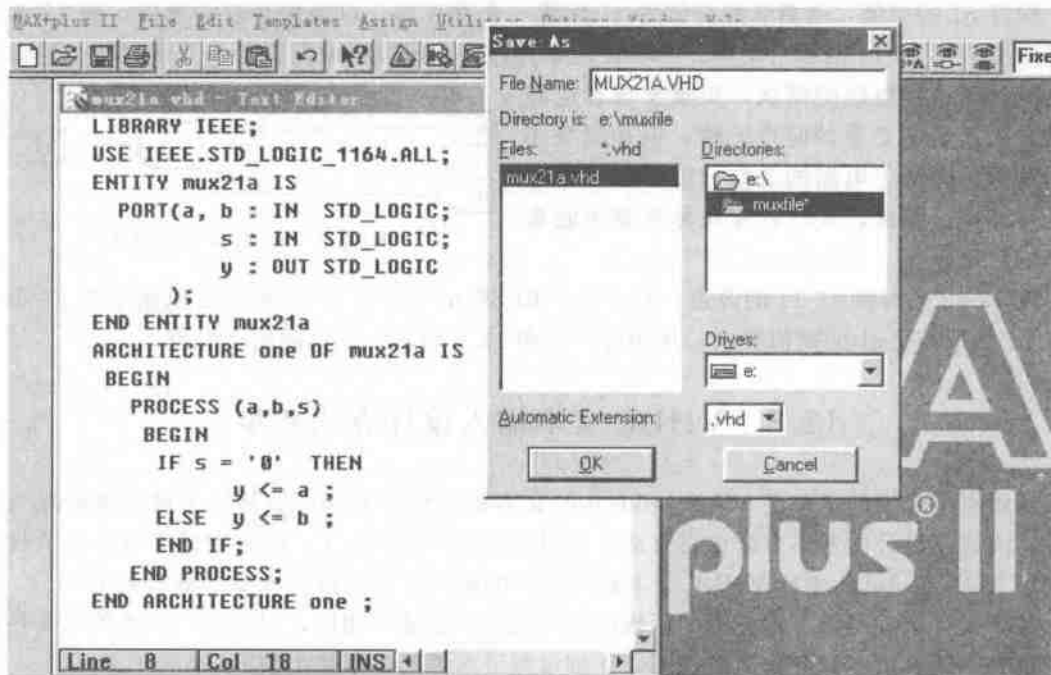


图 12.8 在文本编辑窗中输入 VHDL 文件并存盘

12.3.2 将当前设计设定为工程

需要特别注意的是,在编译/综合 MUX21A.VHD 之前,需要设置此文件为顶层文件(最上层文件),或称工程文件:Project,或者说将此项设计设置成工程。选择菜单 File→Project→Set Project to Current File,当前的设计工程即被指定为 MUX21A。也可以通过选 File→Project→Name,在跳出的“Project Name”窗中指定 E:\MUXFILE 下的 MUX21A.VHD 为当前的工程。设定后可以看见 MAX+plus II 主窗左上方(图 12.9)的工程项目路径指向为 e:\muxfile\mux21a。这个路径指向很重要。

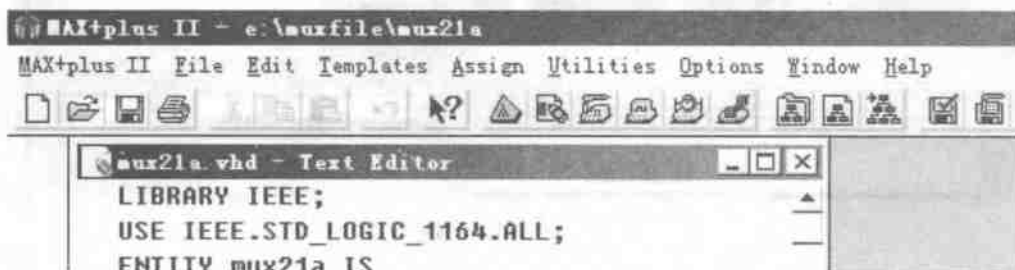


图 12.9 设定当前文件为工程

在设定工程文件后,应该选择用于编程的目标芯片:选择菜单 Assign→Device...,在弹出的对话框中的 Device Family 下拉栏中,例如选择 FLEX10K,然后在 Devices 列表框中选择芯片型号“EPF10K10LC84-3”,按 OK。

在设计中,设定某项 VHDL 设计为工程应该注意以下 3 方面的问题:

(1) 如果设计项目由多个 VHDL 文件组成,如本章给出的全加器,应先对低层次文件,如或门或半加器分别进行编辑、设置成工程、编译、综合、乃至仿真测试,通过后以备后用。

(2) 最后将顶层文件(存在同一目录中)设置为工程,统一处理,这时顶层文件能根据例化语句自动调用底层设计文件。

(3) 在设定顶层文件为工程后,底层设计文件原来设定的元件型号和引脚锁定信息自动失效。元件型号的选定和引脚锁定情况始终以工程文件(顶层文件)的设定为准。同样,仿真结果也是针对工程文件的。所以在对最后的顶层文件处理时,仍然应该对它重新设定元件型号和引脚锁定(引脚锁定只有在最后硬件测试时才是必须的)。如果需要对特定的底层文件(元件)进行仿真,只能将某底层文件(元件)暂时设定为工程,进行功能测试或时序仿真。

12.3.3 选择 VHDL 文本编译版本号和排错

选菜单 MAX+plus II→Compiler 菜单,出现编译窗(图 12.10)后,需要根据自己的输入的 VHDL 文本格式选择 VHDL 文本编译版本号。

选择如图 12.10 所示界面上方的 Interfaces→VHDL Netlist Reader Settings,在弹出的窗口中选 VHDL1987 或 VHDL1993。这样,编译器将支持 1987 或 1993 版本的 VHDL 语

言。这里，文件 MUX21A.VHD 属于 1993 版本的表述。

由于综合器的 VHDL' 1993 版本兼容 VHDL1987 版本的表述，所以如果设计文件含有 VHDL1987 或混合表述，都应该选择“VHDL1993”项。最后点击 START 键，运行编译器。

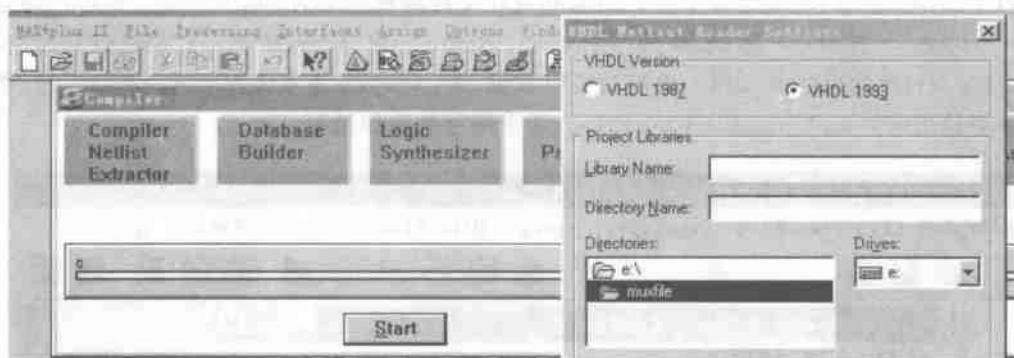


图 12.10 设定 VHDL 编译版本号

如图 12.8 所示，MUX21A.VHD 文件中的实体结束语句没有加分号“;”，在编译时出现了如图 12.11 所示的出错信息指示。有时尽管只有 1、2 个小错，但却会出现大量的出错信息，确定错误所在的最好办法是找到最上一排错误信息指示，用鼠标点成黑色，然后点击如图 12.11 所示窗口左下方的“Locate”错误定位钮，就能发现在出现文本编译窗中闪动的光标附近找到错误所在。纠正后再次编译，直至排除所有错误。

注意闪动的光标指示错误所在只是相对的，有的错误比较复杂，很难用此定位。

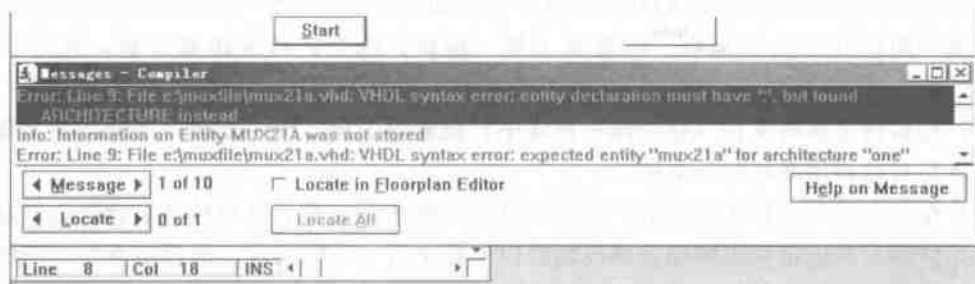


图 12.11 确定设计文件中的错误

VHDL 文本编辑中还可能出现许多其他错误，如：

(1) 错将设计文件存入了根目录，并将其设定成工程，由于没有了工作库，报错信息如下：

Error : Can't open VHDL " WORK"

(2) 错将设计文件的后缀写成 .tdf 而非 .vhd，在设定工程后编译时，报错信息如下：

Error : Line1, File e:\muxfile\mux21a.tdf: TDF syntax error: ...

(3) 未将设计文件名存为其实体名, 如错写为 muxa.vhd, 设定工程编译时, 报错信息如下:

Error : Line1, ...VHDL Design File "muxa.vhd" must contain.....

12.3.4 时序仿真

首先选择菜单 File→New..., 打开图 12.7 所示的对话框, 选择 Waveform Editor, 按“OK”按钮后进入仿真波形编辑窗。接下去选择菜单 Node→Enter Nodes from SNF, 进入仿真文件信号接点输入窗, 点击右上角 List 键后, 将测试信号 s (I)、b (I)、a (I) 和 y (O) 输入仿真波形编辑窗。

选择 Options 项, 将 Snap to Grid 的勾去掉; 选择 File→End Time, 设定仿真时间区域, 如设 30us。给出输入信号后, 选择 MAX+plus II 菜单 Simulator 进行仿真运算, 波形如图 12.12 所示。

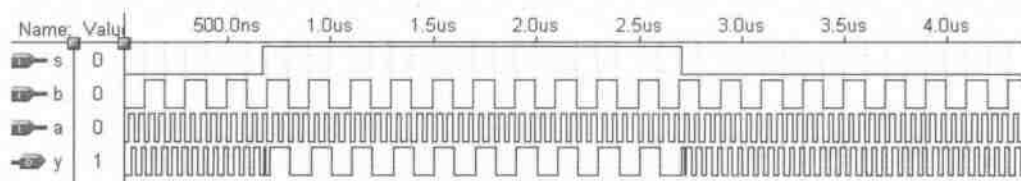


图 12.12 mux21a 仿真波形

在图 12.12 仿真波形中, 多路选择器 mux21a 的输入端口 a 和 b 分别输入时钟周期为 50ns 和 200ns 的时变信号。由图可见, 当控制端 s 为高电平时, y 的输出为 b 的低频率信号, 而当 s 为低电平时, y 的输出为 a 的高频率信号。

12.3.5 硬件测试

在实验系统上验证设计的正确性, 完成硬件测试。如果目标器件是 EPF10K10, 建议选择实验电路模式 5, 用键 1 (PIO0, 引脚号为 5) 控制通道选择信号 s; a 和 b 分别接 clock5 (引脚号为 83) 和 clock0 (引脚号为 2); 输出信号 y 接扬声器 spker (引脚号为 3)。通过短路帽选择 clock0 接 256Hz 信号, clock5 接 1024Hz 信号。

现在根据以上确定的实验模式锁定多路选择器在目标芯片中的具体引脚: 首先通过选择 MAX+plus II→Compiler 菜单, 进入编辑窗, 然后在 Assign 项中选 Pin/Location/Chip 选项, 在跳出的窗口中的 Node Name 项中输入引脚 a, 这时 Pin Type 项会出现 Input 指示字, 表明 a 的引脚性质是输入, 否则将不出现此字。此时在 PIN 项内输入“83”引脚名, 再点击右下方的 Add 项, 此引脚即设定好了; 以同样方法分别设引脚 b、s、y 的引脚名分别为 2、5、3, 再点击上方的 OK。此 4 个引脚的选择方法是根据附录实验电路模式 NO.5 设定的。关闭“Pin/Location/Chip”窗后, 应点击编辑窗的 Start, 将引脚信息编辑进去。

编程下载和硬件测试的步骤如下:

(1) 选 MAX+PLUS II 项中的 Programmer 项, 跳出 Programmer 窗后, 选 Options 项

中的硬件设置项 Hardware Setup, 在此窗的下拉窗中选 ByteBlaster (MV) 项, 点击 OK 即可。

(2) 将实验板连接好, 接好电源, 点击 Configure, 即进行编程下载。

(3) 选实验电路模式 NO.5 后, 用短路帽设定 clock5 和 clock0 的频率分别为 256Hz 和 1024Hz。当用键 1 输入高电平时, 扬声器发出 256Hz 低频声, 当用键 1 输入低电平时, 扬声器发出 1024Hz 高频声。当然也可以用示波器观察输出信号。

第 13 章 VHDL/FPGA 数字系统仿真实验

自顶向下的设计方法是现代数字系统设计采用的基本方法，本章的目的是使读者

(1) 熟悉和掌握 MAX+PLUS II 软件的操作步骤，了解使用 EDA 工具软件进行设计的全过程。

(2) 利用原理图输入法和 VHDL 语言的两种方法进行设计。

(3) 学习在 MAX+PLUS II 环境下对逻辑电路进行功能仿真。

(4) 掌握可编程逻辑器件的编程、配置方法。

(5) 将仿真通过的逻辑电路下载到 EDA 实验系统。

13.1 1 位全加器原理图输入设计

13.1.1 实验目的

(1) 学习 MAX+PLUS II 环境下原理图输入设计方法。

(2) 学习 MAX+PLUS II 的层次化设计方法。

13.1.2 实验要求

(1) 对全加器采用层次化的方法进行设计，要求设计层次清晰、合理；构成整个设计的功能模块采用原理图输入法实现。

(2) 对设计电路进行功能仿真。

(3) 将仿真通过的逻辑电路下载到 EDA 实验系统，对其功能进行验证。

13.1.3 实验原理

计算机中数的操作都是以二进制进位的，最基本的运算就是加法运算。按照进位是否加入，加法器分为半加器和全加器两种。计算机中的异或指令的功能就是求两个操作数各位的半加和。一位半加器有两个输入和两个输出，其电路原理如图 13.1 所示。一位全加器由 2 个半加器组成，其电路原理如图 13.2 所示。

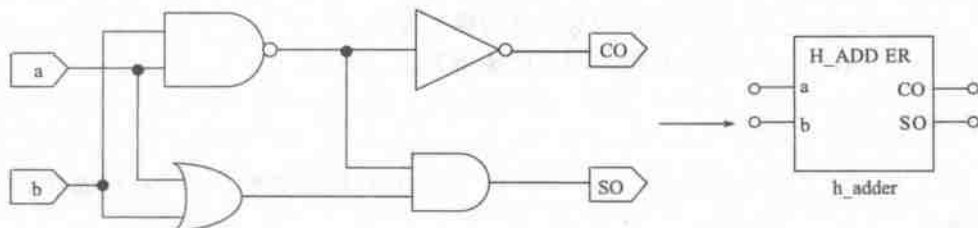


图 13.1 半加器逻辑原理图

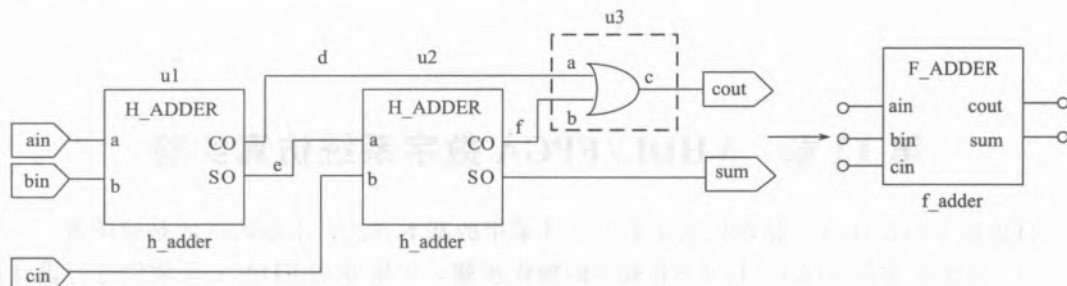


图 13.2 1 位全加器逻辑原理图

13.1.4 实验内容

(1) 设计底层文件，用图形输入法编辑一位半加器原理图，编辑完后，存盘并检查错误，最后进行编译、仿真并生成一个默认符号 h_adder。

(2) 设计顶层文件，用已经生成的半加器符号编辑一个全加器，编辑完后，存盘并检查错误，最后进行编译、仿真并生成一个默认符号 f_adder。

(3) 引脚锁定以及硬件下载测试。综合仿真正确后，将电路下载至 EDA 实验系统的 PLD 器件中。在下载前，先选择合适的实验电路模式，然后指定电路各输入、输出端在下载板上的管脚分配；管脚锁定完毕后，启动 Programmer 选项，进行编程下载。下载结束后，实际操作，检查是否达到设计要求。

13.1.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.1.6 实验报告内容

根据以上的实验内容写出实验报告，包括设计原理、仿真分析、硬件测试和详细实验过程。

13.2 1 位全加器 VHDL 文本输入设计

13.2.1 实验目的

- (1) 学习 VHDL 语言的基本结构及设计的输入方法。
- (2) 学习 VHDL 语言的元件例化语句的使用方法。

13.2.2 实验要求

(1) 对全加器采用层次化的方法进行设计，要求设计层次清晰、合理；构成整个设计的功能模块采用 VHDL 文本输入法实现。

(2) 对设计电路进行功能仿真。

(3) 将仿真通过的逻辑电路下载到 EDA 实验系统，对其功能进行验证。

13.2.3 实验原理

1 位二进制全加器可以由两个 1 位的半加器和一个或门连接而成,如图 13.2 所示。而 1 位半加器可以由若干门电路组成,如图 13.1 所示。半加器也可用真值表来描述,如表 13.1 所示。为此,可以利用图 13.1 或表 13.1 两种方法来进行半加器的 VHDL 描述。然后根据图 13.2 写出全加器的顶层 VHDL 描述。

表 13.1 半加器逻辑真值表

a	b	so	co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

13.2.4 实验内容

1. 根据设计要求完成以下功能模块设计

- (1) 设计 1 位半加器,用 VHDL 文本输入法实现。
- (2) 设计或门电路,用 VHDL 文本输入法实现。
- (3) 按照图 13.2 的连接方式,使用 COMPONENT 语句完成全加器的 VHDL 顶层文件设计。

2. 综合仿真

编译无误后,启动 MAX+PLUS II 软件的功能仿真工具对电路进行功能仿真。观察时序图,检查电路是否达到设计要求。

3. 引脚锁定以及硬件下载测试

综合仿真正确后,将电路下载至 EDA 实验系统的 PLD 器件中。在下载前,先选择合适的实验电路模式,然后指定电路各输入、输出端在下载板上的管脚分配;管脚锁定完毕后,启动 Programmer 选项,进行编程下载。下载结束后,实际操作,检查是否达到设计要求。

13.2.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.2.6 实验报告内容

实验项目原理、VHDL 语言实现功能模块的源程序、编译仿真波形和分析结果,以及硬件测试实验结果写进实验报告。

13.3 异步清 0 和同步时钟使能的 4 位加法计数器

13.3.1 实验目的

学习时序电路的设计、仿真和硬件测试，进一步熟悉 VHDL 设计技术。

13.3.2 实验要求

- (1) 设计一个具有异步清零、同步时钟使能功能的 4 位加法计数器
- (2) 采用 VHDL 文本输入法实现。
- (3) 对设计电路进行功能仿真。
- (4) 将仿真通过的逻辑电路下载到 EDA 实验系统，对其功能进行验证。

13.3.3 实验原理

图 13.3 是一含计数使能、异步复位和计数值并行预置功能 4 位加法计数器，由图 13.3 所示，图中间是 4 位锁存器；rst 是异步清 0 信号，高电平有效；clk 是锁存信号；D [3..0] 是 4 位数据输入端。当 ENA 为 '1' 时，多路选择器将加 1 器的输出值加载于锁存器的数据端；当 ENA 为 '0' 时将 "0000" 加载于锁存器。

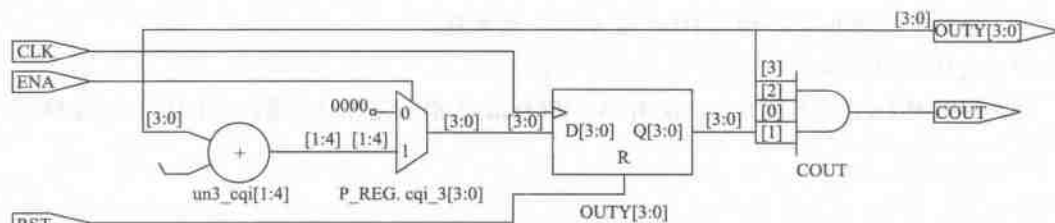


图 13.3 含计数使能、异步复位和计数值并行预置功能 4 位加法计数器

13.3.4 实验内容

- (1) 编写 VHDL 程序，实现含异步清 0 和同步时钟使能的 4 位加法计数器。在 MAX+plus II 上进行编辑、编译、仿真。给出其所有信号的时序仿真波形。

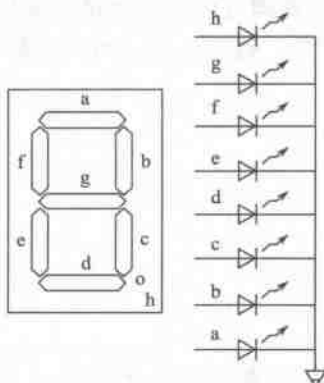


图 13.4 共阴数码管及其电路

- (2) 引脚锁定以及硬件下载测试。若目标器件是 EPF10K10，建议选实验电路模式 5，用键 8 (PIO7) 控制 RST；用键 7 (PIO6) 控制 ENA；计数溢出 COUT 接发光管 D8 (PIO15)；OUTY 是计数输出，接数码 1 (PIO19-PIO16，低位靠右)；时钟 CLK 接 clock2 (引脚号为 43)，通过短路帽选择 4Hz 信号。引脚锁定后进行编译、下载和硬件测试实验。

13.3.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.3.6 实验报告内容

实验项目原理、VHDL 源程序、编译仿真波形和分析结果，以及硬件测试实验结果写进实验报告。

13.4 用状态机实现序列检测器的设计

13.4.1 实验目的

用状态机实现序列检测器的设计，并对其进行仿真和硬件测试。

13.4.2 实验要求

- (1) 利用状态机方式来设计序列检测器。
- (2) 采用 VHDL 文本输入法实现。
- (3) 对设计电路进行功能仿真。
- (4) 将仿真通过的逻辑电路下载到 EDA 实验系统，对其功能进行验证。

13.4.3 实验原理

序列检测器可用于检测一组或多组由二进制码组成的脉冲序列信号，当序列检测器连续收到一组串行二进制码后，如果这组码与检测器中预先设置的码相同，则输出 1，否则输出 0。由于这种检测的关键在于正确码的收到必须是连续的，这就要求检测器必须记住前一次的正确码及正确序列，直到在连续的检测中所收到的每一位码都与预置数的对应码相同。在检测过程中，任何一位不相等都将回到初始状态重新开始检测。鉴于此利用状态机方式来设计序列检测器的逻辑最为方便。例如图 13.5 所示当一串待检测的串行数据进入检测器后若此数在每一位的连续检测中都与预置的密码数相同则输出 A 否则仍然输出 B。

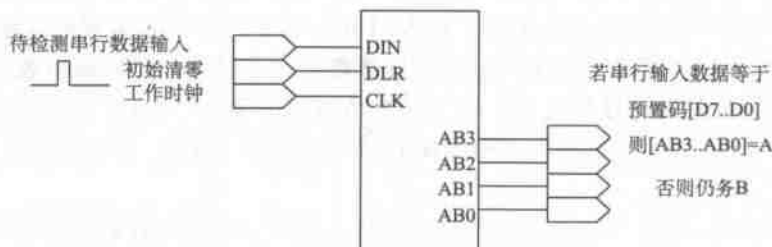


图 13.5 序列检测器逻辑图

13.4.4 实验内容

(1) 编写 VHDL 程序, 实现对序列数“11100101”的检测, 要求是当这一串序列数高位在前(左移)串行进入检测器后, 若此数与预置数相同, 则输出“A”, 否则输出“B”。在 MAX+plus II 上进行文本编辑输入、仿真测试并给出仿真波形。

(2) 引脚锁定并完成硬件测试实验。选择合适的实验电路模式(建议选择实验电路模式 8)进行引脚锁定、编译、下载和硬件测试。

13.4.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.4.6 实验报告内容

根据以上的实验内容写出实验报告, 包括设计原理、程序设计、程序分析、仿真分析、硬件测试和详细实验过程。

13.5 含七段数码显示译码器和 LPM 电路的设计

13.5.1 实验目的

- (1) 进一步学习用 VHDL 语言描述逻辑电路。
- (2) 学习 7 段数码显示译码器设计。
- (3) 学习 MAX+PLUS II 软件中提供的 LPM(可调参数元件)的使用方法。

13.5.2 实验要求

- (1) 采用 VHDL 文本输入法实现。
- (2) 对设计电路进行功能仿真。
- (3) 将仿真通过的逻辑电路下载到 EDA 实验系统, 对其功能进行验证。

13.5.3 实验原理

7 段数码是纯组合电路, 通常的小规模专用 IC, 如 74 或 4000 系列的器件只能作十进制 BCD 码译码, 然而数字系统中的数据处理和运算都是 2 进制的, 所以输出表达都是 16 进制的, 为了满足 16 进制数的译码显示, 最方便的方法就是利用 VHDL 译码程序在 FPGA 或 CPLD 中实现, 如此实现的数码管译码模块的输出可直接与如图 13.4 所示数码管的 7 个段连接。

MAX+PLUS II 中为了增加元件库的灵活性, 提供了参数可设置模块库 LPM, 为一些常用功能模块提供了参数化元件, 这些元件的规模及具体功能可由用户直接指定, 这些元件的使用同其他元件类似, 仅要求用户按需要设置一些具体参数。本次实验中使用了可调参数元件 busmux、lpm_add_sub 和 lpm_counter, 其中 busmux 是参数化总线选择器; lpm

_add_sub 是参数化的加/减法器, 可以实现加法运算或减法运算; lpm_counter 是二进制计数器, 可以实现加、减或加/减计数, 可以选择同步或异步清零/置数功能。对这些可调参数元件的具体操作如下:

(1) 调入参数化元件。

(2) 元件的参数设置。其中在 Ports 区可以选择该元件所需的功能相应的信号端口; 在 Parameters 区对 Name 下的具体参数进行设置。

13.5.4 实验内容

(1) 设计 7 段数码管的译码电路 (可显示 0~F), 用 VHDL 文本输入法实现。在 MAX+plus II 上进行文本编辑输入、仿真测试并给出仿真波形。

(2) 用原理图输入设计如图 13.6 所示的电路, 采用 MAX+PLUS II 软件中提供的 LPM (可调参数元件) busmux 和 lpm_add_sub 进行设计。

(3) 以实验内容 1 和内容 2 的设计结果为底层元件, 完成顶层文件设计; 将图 13.6 所示电路的输出 outy [7..0] 通过设计好的 7 段数码管的译码模块显示在两个数码管上, 用原理图输入法实现。在 MAX+plus II 上进行图形编辑输入、仿真测试并给出仿真波形, 然后进行引脚锁定并完成硬件测试实验 (建议选实验电路模式 6)。

(4) 使用可调参数元件 lpm_counter 设计一个 8 位的带有异步清零的可逆计数器, 计数器的 8 位二进制输出用两个 7 段数码管来显示, 其中 7 段数码管的译码模块就利用实验内容 1 的设计结果。用原理图输入法实现。在 MAX+plus II 上进行图形编辑输入、仿真测试并给出仿真波形, 然后进行引脚锁定并完成硬件测试实验 (建议选实验电路模式 6)。

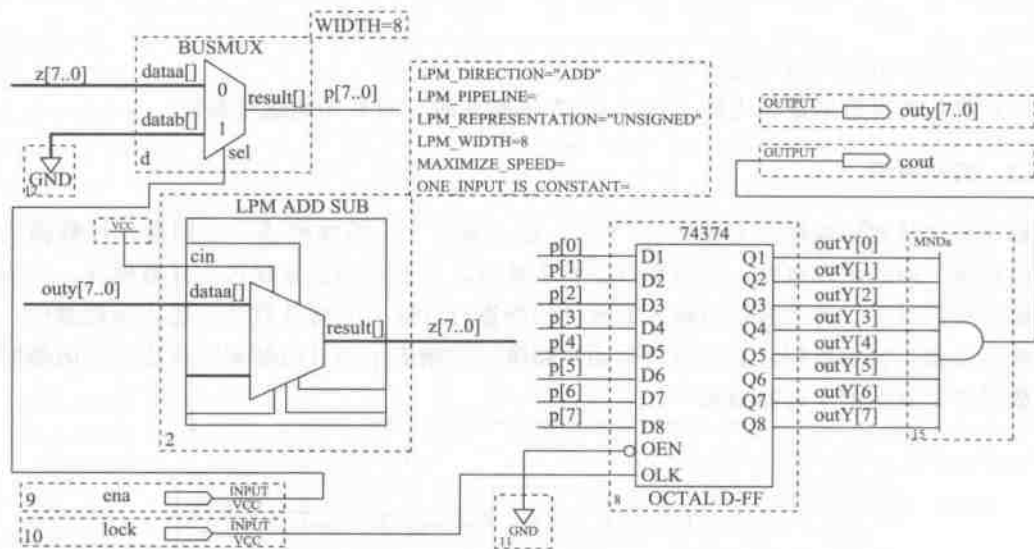


图 13.6

13.5.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.5.6 实验报告内容

- (1) 写出用 VHDL 语言实现的功能模块的源程序。
- (2) 分析图 13.6 所示电路的工作原理、各元件模块的功能以及各端口信号的功能。
- (3) 详细给出各层次的原理图、电路的仿真波形图和波形分析,详述硬件实验过程和实验结果。

13.6 两位十进制频率计原理图输入设计

13.6.1 实验目的

- (1) 学习数字频率计的设计。
- (2) 进一步学习在 MAX+PLUS II 环境下采用层次化的设计方法输入逻辑电路。

13.6.2 实验要求

(1) 设计一个可直接用两位十进制数来显示被测信号频率的频率计。对该设计要采用层次化设计方法,要求设计层次清晰、合理。构成整个设计的功能模块采用原理图输入法实现。

- (3) 对设计电路进行功能仿真。
- (4) 将仿真通过的逻辑电路下载到 EDA 实验系统,对其功能进行验证。

13.6.3 实验原理

数字频率计的原理框图如图 13.7 所示。它主要由 3 个模块组成,分别是:计数模块电路、锁存器、译码驱动电路。当频率计正常工作时,待测脉冲信号被送入计数模块,在测频控制信号的控制下,计数模块对输入的脉冲信号进行计数,并将计数结果送入锁存器中,保证系统可以稳定显示数据,显示译码驱动电路将二进制表示的计数结果转换成相应的能够在七段数码管上显示的十进制结果。

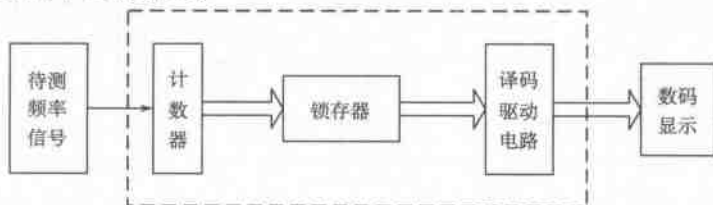


图 13.7 频率计系统原理框图

13.6.4 实验内容

(1) 根据上述频率计的测频原理, 用图形输入法编辑完成如图 13.8 所示的频率计主体结构的电路设计。该电路中, 锁存器选用 74374, 74374 是 8 位锁存器。译码驱动电路选用 74248, 74248 是 7 段 BCD 译码器, 它的 7 位输出可以直接与 7 段共阴数码管相接, 由于设计的是两位的十进制频率计, 因此需要两个 74248, 一个显示个位频率计数值, 另一个显示十位频率计数值。74374 和 74278 都是 74 系列的元器件, 可直接从 MAX+PLUS II 的宏功能元件库 mf 中调用, 具体调入方法可参考 10.2 节的叙述。计数模块电路 conter8 是带有时钟使能的两位十进制计数器, 需自行设计, 其设计方法可参照 10.2 节的叙述。conter8 作为底层元件设计完成后, 要包装入库, 待设计顶层文件频率计时使用。

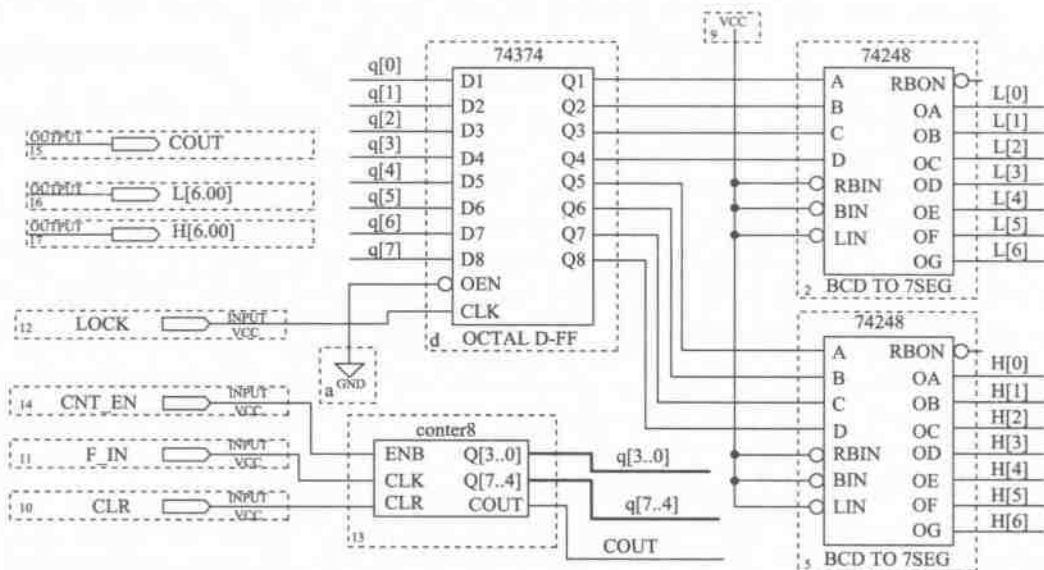


图 13.8 两位十进制频率计顶层设计文件

F_IN 是待测频率信号 (设其频率周期为 410ns); CNT_EN 是对待测频率脉冲计数允许信号 (设其频率周期为 32us), 当 CNT_EN 为高电平时允许 conter8 对 F_IN 计数, 低电平时 conter8 停止计数, 由锁存信号 LOCK 发出的脉冲将 conter8 中的 2 个 4 位十进制数锁存进 74374 中, 并由 74374 分高低位通过总线 H[6..0] 和 L[6..0] 输给 74248 译码输出显示, 这就是测得的频率值。此后由清 0 信号 CLR 对计数器 conter8 清 0, 以备下一周期计数之用。

注意, 由于有锁存器 74374 的存在, 即使在 conter8 被清 0 后, 数码管仍然能稳定显示上一测频周期测得的频率值。另外, 图 13.8 中的进位信号 COUT 是留待频率计扩展用的。在实际测频中, 由于 CNT_EN 是测频控制信号, 如果其频率选定为 0.5Hz, 则其允许计数的脉宽为 1 秒, 这样, 数码管就能直接显示 F_IN 的频率值了。

(2) 引脚锁定以及硬件下载测试。综合仿真正确后, 将电路下载至 EDA 实验系统的 PLD 器件中。在下载前, 先选择合适的实验电路模式 (建议选择实验电路模式 6)。

13.6.5 实验仪器

- (1) PC 机一台
- (2) MAX+PLUS II 软件开发系统一套
- (3) EDA 实验系统一套

13.6.6 实验报告

根据以上实验内容写实验报告,包括设计原理、仿真分析、硬件测试和详细实验过程。

第 14 章 基于虚拟仪器的数据采集系统

14.1 虚拟仪器开发平台

虚拟仪器是通过应用程序将计算机与硬件设备结合起来，完成信号的获取、转换和调理，把计算机强大的运算存储和通信能力与硬件设备的测量和转换能力融为一体，形成一种多功能、高精度、可灵活组合并带有通信功能的测试技术平台。

在电子测量系统中，虚拟仪器可以代替传统的示波器、逻辑分析仪、信号发生器和频谱分析仪等。在工业控制系统中，以计算机为核心的自动化装置也都可以归纳到虚拟仪器的范围内，代替通常安装在控制室中的常规调节器、手操器、指示仪和报警器等。在使用虚拟仪器时，用户可通过显示屏上的友好界面来操作计算机，就像在操作自己定义的一台传统的仪器仪表一样，完成对被测量的采集、分析、判断、调节和存储等功能。

14.1.1 LabVIEW 软件介绍

虚拟仪器的开发必须基于一定的软硬件开发平台。LabVIEW (Laboratory Virtual Instrument Engineering Workbench) 是美国 NI 公司 (National Instrument Company) 推出的一款基于 G 语言 (Graphics Language) 的虚拟仪器开发软件。LabVIEW 使用图形化的编程语言编程，简单直观，极大节省程序开发时间，同时可以提供丰富的库函数和功能模块，完成各种各样的复杂编程任务。

LabVIEW 具有多个图形化的操作模板，用于创建和运行程序，这些操作模板可以在屏幕上随意移动，并放置在屏幕的任一位置。操作模板共有三类，即工具 (Tools) 模板、控制 (Controls) 模板和功能 (Functions) 模板，如图 14.1 所示。

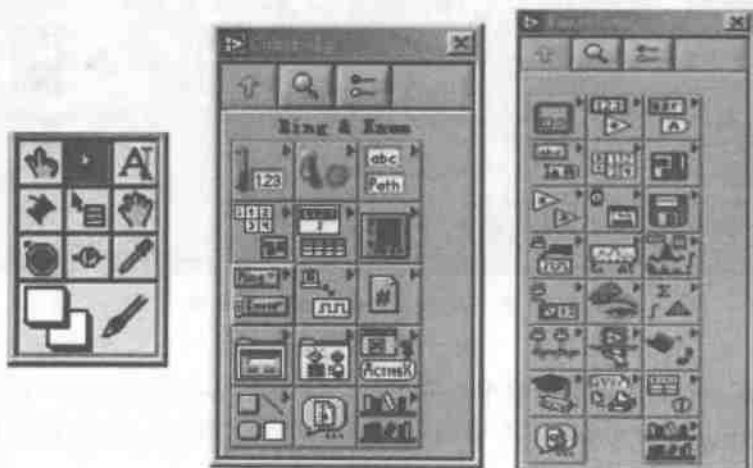


图 14.1 工具、控制和功能模板

使用 LabVIEW 软件编制的程序称为虚拟仪器程序, 简称 VI。VI 包括三个部分: 程序前面板、框图程序和图标/连接器。

程序前面板, 用于设置输入数值和观察输出量, 用于模拟真实仪表的前面板。在程序前面板上, 输入量称为控制 (Controls), 输出量被称为显示 (Indicators)。控制和显示是以各种图标形式出现在前面板上, 如旋钮、开关、按钮、图表等, 这使得前面板直观易懂。

14.1.2 虚拟仪器开发过程

一个简单 LabVIEW 虚拟仪器的开发过程如下:

首先建一新 VI, 在后面板 (框图程序面板) 打开 signal processing 子模板中的 waveform generation 子模板, 如图 14.2 所示。

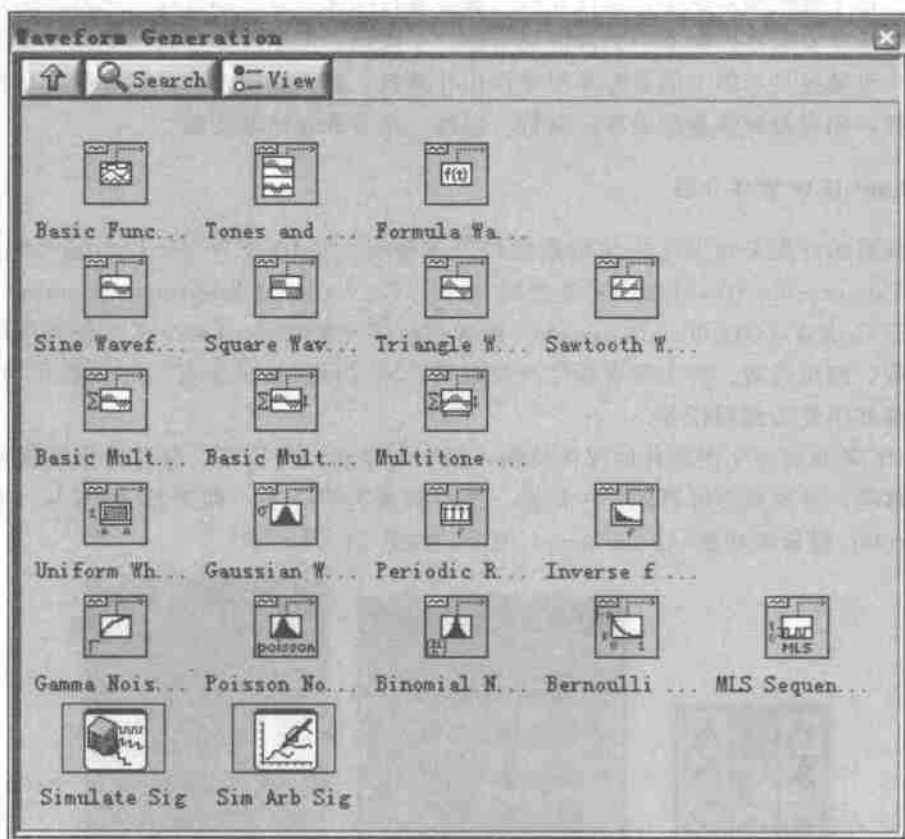


图 14.2 waveform generation 子模板

从 waveform generation 子模板中选取 basic function generation. vi, 在其 signal type、frequency、Amplitude 和 phase 四个数据端口分别建立控制量, 形成数据源, 如图 14.3 所示。

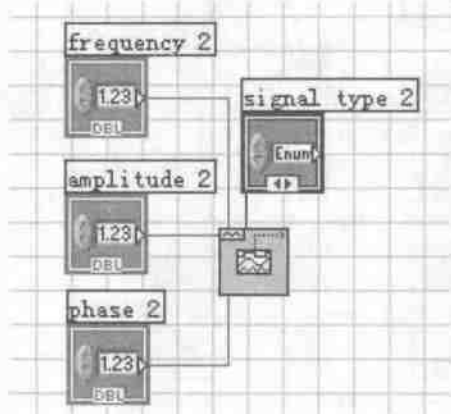


图 14.3 数据源

对信号进行分析处理的函数 vis 和 express vis 主要位于函数模板中的 wave conditioning 子模板和 waveform measurements 子模板, 分别如图 14.4 和图 14.5 所示。

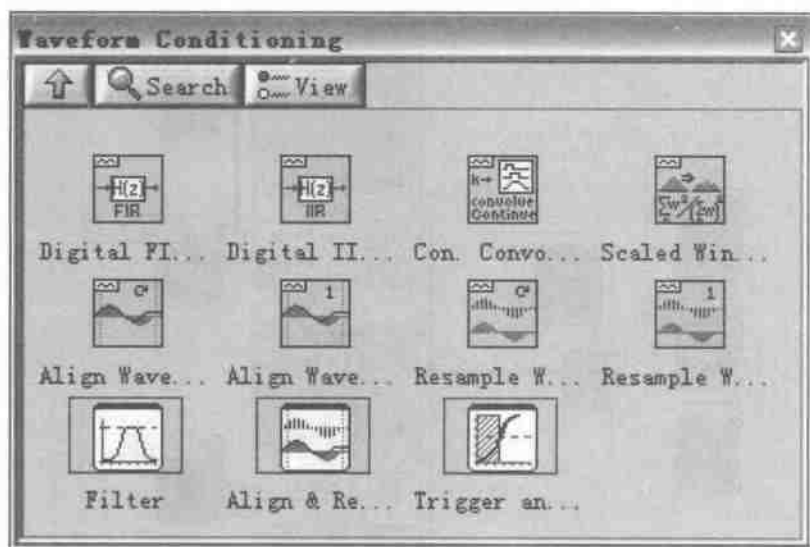


图 14.4 wave conditioning 子模板

从 waveform measurements 子模板中选取 Amplitude and level Measurements Express VI Special VI Timing and Transition Measurements Express VI 三个 Express VI, 可以分别分析信号的一些参数诸如幅值等, 做信号的频谱分析、信号的时域和瞬态测量。

分别将三个 Express VI 的 Signal Out 输出数据口相连, 进行相应的处理分析。后面板的程序框图如图 14.6 所示, 程序的运行结果如截图 14.7 所示。

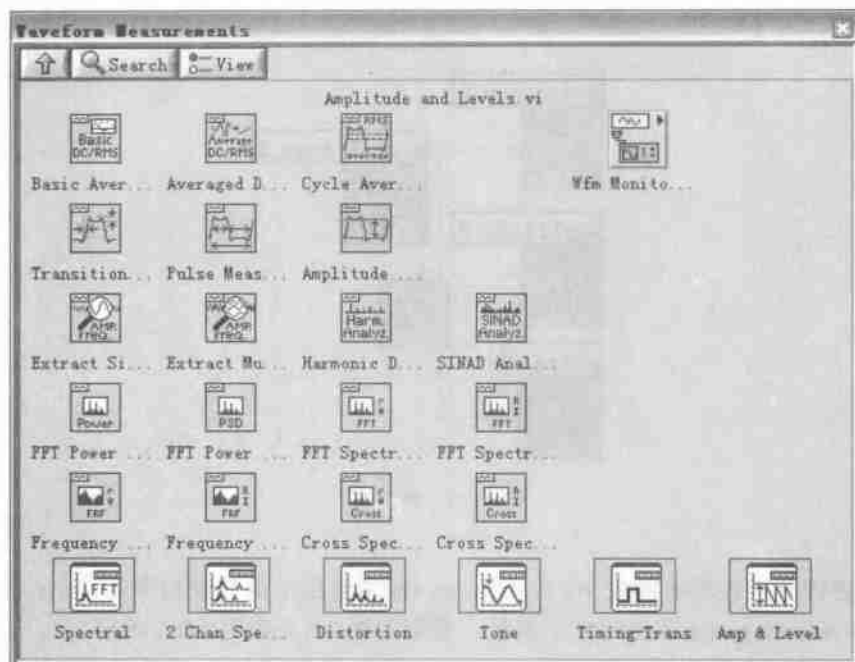


图 14.5 waveform measurements 子模板

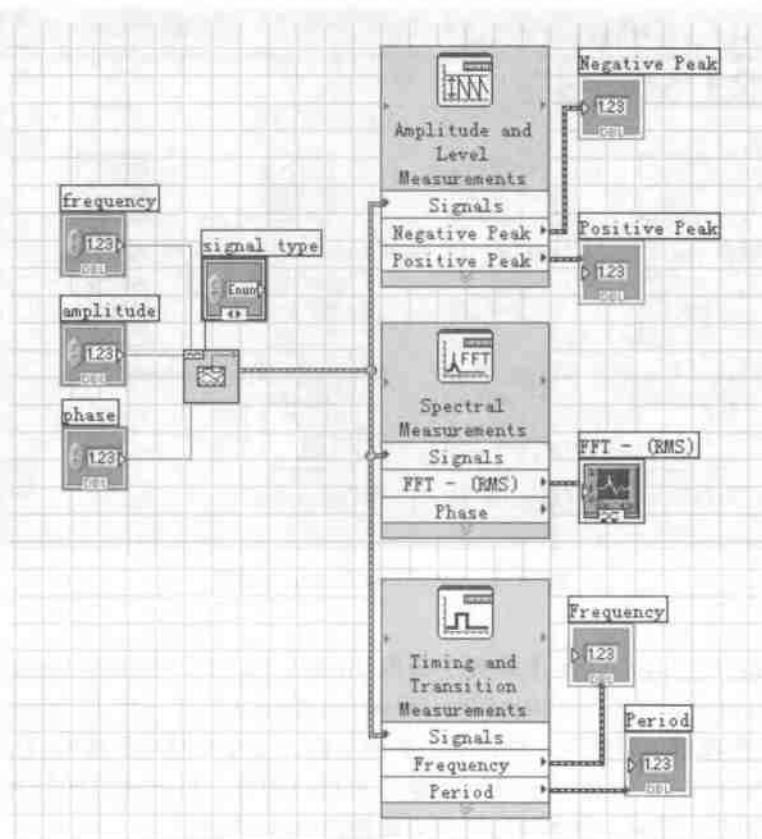


图 14.6 后面板程序框图

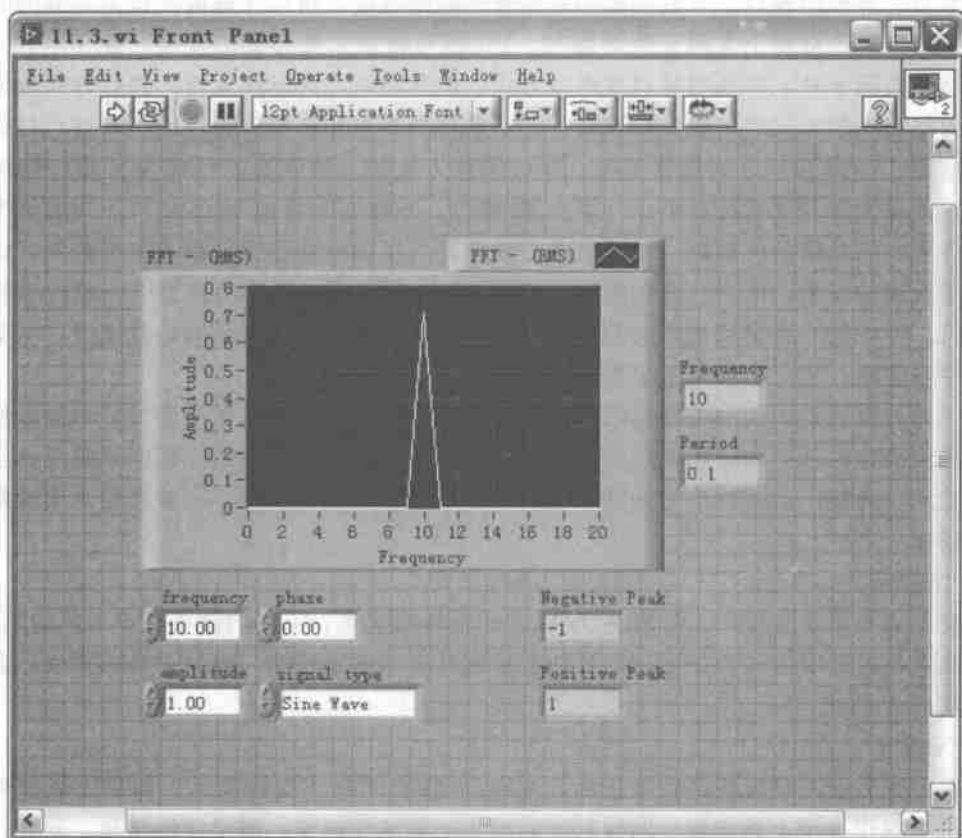


图 14.7 程序运行结果

14.1.3 虚拟仪器硬件平台

硬件平台是虚拟仪器的物理基础，所以为了完成虚拟仪器的设计，首先必须要选择合适的硬件平台。数据采集系统的硬件平台主要由两部分组成：数据采集卡（DAQ）、PC 机，其结构如图 14.8 所示。

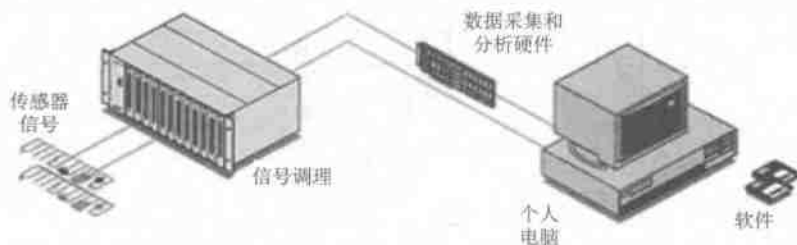


图 14.8 基于 PC 的典型数据采集 (DAQ) 系统

数据采集卡的主要任务是把模拟信号转换成数字信号,形成计算机能够处理的数组。数据采集卡与计算机的接口方式直接影响着数据传输的速度,所以在选取数据采集卡的时候要充分考虑接口方式对整个虚拟仪器的影响。PC 机与数据采集部分的连接,除了利用 PC 机内各种总线的插卡外,多采用并口及串口方式。但是串口方式速度太慢;并口方式较快,但不足之处是在中断方式时,优先级较低,影响系统的实时和在线采集性能,而且和打印机不能同时使用。USB 接口方式克服了串、并口采集方式的上述缺点,已成为目前计算机的标准配置,并且大部分计算机有不只一个 USB 接口,不会影响其他 USB 接口部件的使用。

硬件平台的载体是计算机,计算机的合理选择直接影响着整个仪器系统的性能。计算机技术日新月异的发展,使得计算机的性能不断提高,所以在 PC 机的选用中一般可以使用台式计算机。考虑到工程现场测试的需求,仪器系统的计算机即要有高的运算速度,又要易于携带、便于使用,也可以使用笔记本式计算机。

由于计算机所能识别的信号是数字信号,振动、温度、湿度等信号经过传感器和放大器可以输出为模拟电信号,必须经过离散化和数字化才能被计算机识别。数据采集设备实现这一转换功能,为整个后续对信号处理中起到了承前启后的关键作用。一般数据采集设备有两个主要指标:

1) 采样率

对数据采集设备来说,采样率是 A/D 芯片转换的速率,不同的设备具有不同的采样率,进行测试系统设计时应该根据测试信号的类型选择适当的采样率,盲目提高采样率,会增加测试系统的成本。

2) 分辨率

分辨率是数据采集设备的精度指标,用 A/D 转换的数字位数表示。如果把数据采集设备的分辨率看作尺子上的刻度,同样长度的尺子上刻度线越多,测量就越精确。同样,数据采集设备 A/D 转换的位数越多,把模拟信号划分得就越细,可以检测到的信号变化量也就越小。在图 14.9 中,用一个 3 位的 A/D 转换芯片去转换振幅为 5V 的正弦信号,它将峰—峰值为 10V 的电压分成 $2^3 = 8$ 段,则每次采样的模拟信号转换为其中的一个数字段,用 000 ~ 111 之间的码来表示。而用它得到正弦波的数字图像是非常粗糙的。若改用 16 位的 A/D 转换芯片,则将 10V 电压分成 $2^{16} = 65536$ 段,经过 A/D 转换之后的数字图像是相当精细,完全能反映出原始的模拟信号。

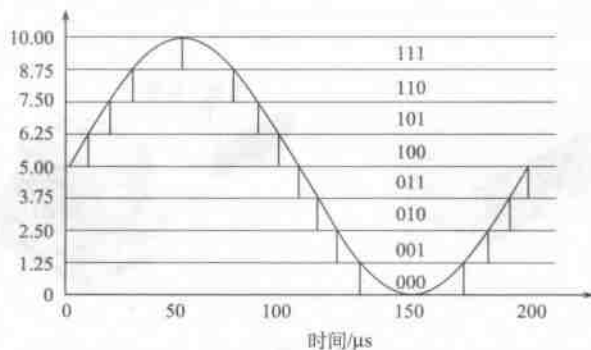


图 14.9 A/D 芯片的位数对反映原始信号的影响

目前工程上常用的数据采集卡分辨率为 12 位,可以满足一般应用的要求。对于有较高要求的场合,可以使用 16 位或 24 位的数据采集卡。选择高分辨率的数据采集卡无疑是增加了测试成本,但可以通过对 A/D 芯片位数的充分利用可以在不增加投资的情况下达到预期要求。合理使用数据采集卡的途径有两个:

1) 合理设置设备的量程范围

设备的量程范围是 A/D 芯片可以数字量化的最大和最小模拟信号的电压值。数据采集卡的性能指标给出的分辨率是满量程状态时的参数。如果实际上被测信号的电压幅值达不到满量程的范围,可以通过设置使设备的实际量程范围与模拟信号的电压范围相匹配,这样就充分利用了设备现有的分辨率。

2) 合理进行信号极限设置

有些设备的范围不允许用户设置,还有时同时监测几个信号,它们的电压范围差别非常大。在设备无能为力的时候,通过信号的极限设置能很好地解决问题。信号的极限设置实际上就是单独确定每一个通道被检测的模拟信号的最大值和最小值,而且合理的极限设置可以让 A/D 转换时更多地划分信号,使数字图像能完好地反映出原始信号。

实际测量中经常需要同时对多个信号进行采集,这时可以采用多通道的数据采集卡来实现。多通道的数据采集卡通常有两种方案:

(1) 共用一个 A/D 转换器的模拟多路开关。

(2) 多个独立 A/D 转换器的数字多路开关。

这两种方式各有其优缺点:

(1) 共用一个 A/D 转换器的模拟多路开关的优点是成本低、结构简单,但各通道间有时间差,采样频率低一些。

(2) 多个独立 A/D 转换器的数字多路开关的优点是采样频率高,各通道可以同时采集与转换,各通道间没有时间差,但是成本比较高。

数据采集卡一般都有自己的驱动程序,控制采集卡的硬件操作。驱动程序是由采集卡的供应商提供,用户一般无须通过低层才能与采集卡硬件打交道。

14.2 数据采集原理

数据采集(DAQ)是指从传感器和其他待测设备等模拟或数字被测单元中自动采集信息的过程。一个完整的 DAQ 系统包括传感器或交换器、信号调理设备、数据采集和分析硬件、计算机、驱动程序和应用软件等。很多设备制造商已经把传感器、信号调理甚至 DAQ 卡即成为标准的设备,这种情况下用户不再需要考虑传感器、信号调理和 DAQ 卡,而只需要考虑如何与硬件设备通信以及如何开发上层应用程序。

14.2.1 基本原理

假设对一个模拟信号 $x(t)$ 每隔 Δt 时间采样一次。时间间隔 Δt 被称为采样间隔或者采样周期。它的倒数 $1/\Delta t$ 被称为采样频率,单位是采样数/每秒。 $t=0, \Delta t, 2\Delta t, 3\Delta t, \dots$, $x(t)$ 的数值就被称为采样值。所有 $x(0), x(\Delta t), x(2\Delta t)$ 都是采样值。这样信号 $x(t)$ 可以用一组分散的采样值来表示:

$$\{x(0), x(\Delta t), x(2\Delta t), x(3\Delta t), \dots, x(k\Delta t), \dots\}$$

图 14.10 显示了一个模拟信号和它采样后的采样值。采样间隔是 Δt ，注意，采样点在时域上是分散的。

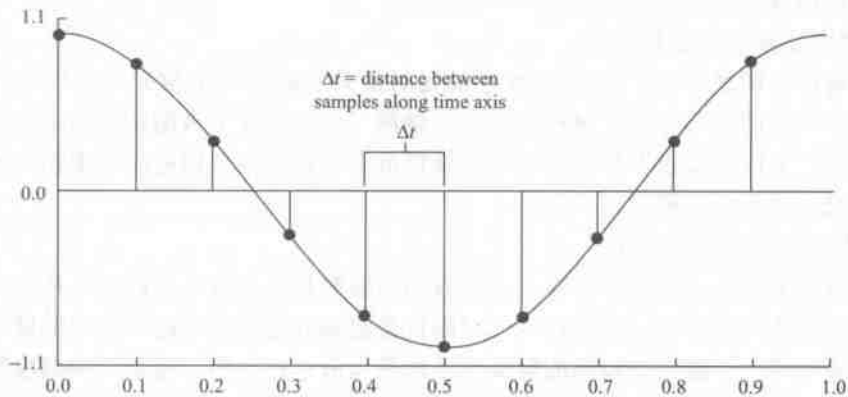


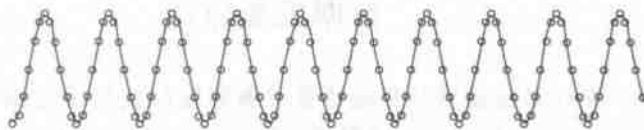
图 14.10 模拟信号和采样显示

如果对信号 $x(t)$ 采集 N 个采样点，那么 $x(t_-)$ 就可以用下面这个数列表示：

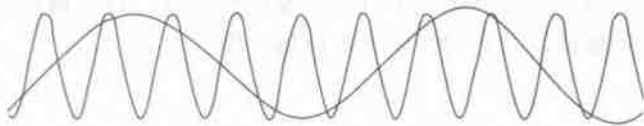
$$X = \{x[0], x[1], x[2], x[3], \dots, x[n-1]\}$$

这个数列被称为信号 $x(t)$ 的数字化显示或者采样显示。注意这个数列中仅仅用下标变量编制索引，而不含有任何关于采样率（或 Δt ）的信息。所以如果只知道该信号的采样值，并不能知道它的采样率，缺少了时间尺度，也不可能知道信号 $x(t)$ 的频率。

根据采样定理，最低采样频率必须是信号频率的两倍。反过来说，如果给定了采样频率，那么能够正确显示信号而不发生畸变的最大频率叫做奈奎斯特频率，它是采样频率的一半。如果信号中包含频率高于奈奎斯特频率的成分，信号将在直流和奈奎斯特频率之间畸变。图 14.11 显示了一个信号分别用合适的采样率和过低的采样率进行采样的结果。



(a) 足够的采样率下的采样结果



(b) 过低采样率下的采样结果

图 14.11 不同采样率的采样结果

采样率过低的结果是还原的信号频率看上去与原始信号不同。这种信号畸变叫做混叠(alias)。出现的混频偏差(alias frequency)是输入信号的频率和最靠近的采样率整数倍的差的绝对值。

图 14.12 给出一个例子。假设采样频率 f_s 是 100Hz, 信号中含有 25、70、160、和 510 Hz 的成分。采样的结果将会是低于奈奎斯特频率($f_s/2=50$ Hz)的信号可以被正确采样。而频率高于 50Hz 的信号成分采样时会发生畸变, 分别产生了 30、40 和 10 Hz 的畸变频率 F2、F3 和 F4。

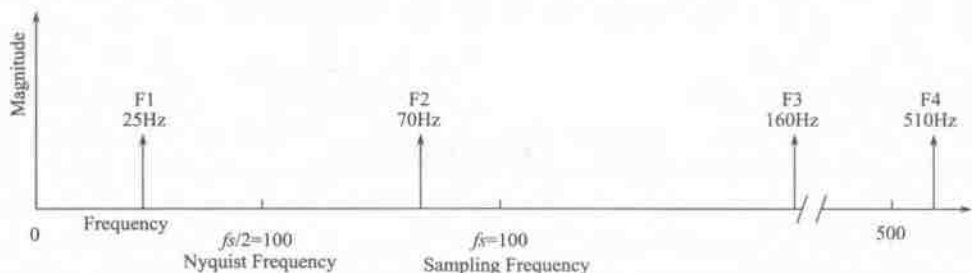


图 14.12 说明混叠的例子

计算混频偏差的公式是:

混频偏差 = ABS (采样频率的最近整数倍 - 输入频率)

其中 ABS 表示“绝对值”, 例如:

$$\text{混频偏差 F2} = |100 - 70| = 30 \text{ Hz}$$

$$\text{混频偏差 F3} = |(2) 100 - 160| = 40 \text{ Hz}$$

$$\text{混频偏差 F4} = |(5) 100 - 510| = 10 \text{ Hz}$$

为了避免这种情况的发生, 通常在信号被采集 (A/D) 之前, 经过一个低通滤波器, 将信号中高于奈奎斯特频率的信号成分滤去, 这个滤波器的截止频率自然是 25Hz。设置采样频率时, 人们可能会首先考虑用采集卡支持的最大频率, 但是较长时间使用很高的采样率可能会导致没有足够的内存或者硬盘存储数据太慢。理论上设置采样频率为被采集信号最高频率成分的 2 倍即可, 实际上工程中选用 5~10 倍。

通常, 信号采集后都要去做适当的信号处理, 例如 FFT 等。这里对样本数又有一个要求, 一般不能只提供一个信号周期的数据样本, 希望有 5~10 个周期, 甚至更多的样本, 并且希望所提供的样本总数是整周期个数的。有时并不知道或不确切知道被采信号的频率, 不但采样率不一定是信号频率的整倍数, 也不能保证提供整周期数的样本, 这是一个时间序列的离散的函数 $x(n)$ 和采样频率就成了测量与分析的唯一依据。

14.2.2 数据采集系统结构

图 14.13 表示了数据采集系统的结构。在数据采集之前, 程序将对采集板卡初始化, 板卡上和内存中的 Buffer 是数据采集存储的中间环节。需要注意的两个问题是:

- (1) 是否使用 Buffer。
- (2) 以及是否使用外触发启动、停止或同步一个操作。

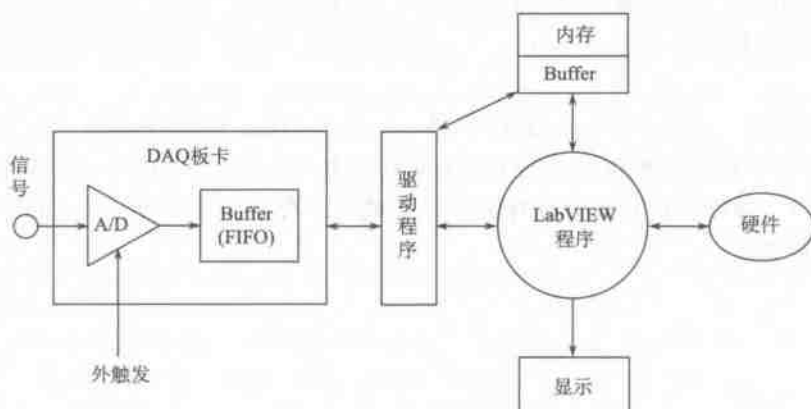


图 14.13 数据采集系统结构

1. 缓冲 (Buffers)

缓冲指的是 PC 内存的一个区域（不是数据采集卡上的 FIFO 缓冲），它用来临时存放数据。例如，你需要采集每秒采集几千个数据，在一秒内显示或图形化所有数据是困难的。但是将采集卡的数据先送到 Buffer，你就可以先将它们快速存储起来，稍后再重新找回它们显示或分析。需要注意的是 Buffer 与采集操作的速度及容量有关。如果你的卡有 DMA 性能，模拟输入操作就有一个通向计算机内存的高速硬件通道，这就意味着所采集的数据可以直接送到计算机的内存。

不使用 Buffer 意味着对所采集的每一个数据你都必须及时处理（图形化、分析等），因为这里没有一个场合可以保持你着手处理的数据之前的若干数据点。

下列情况需要使用 Buffer I/O：

- 需要采集或产生许多样本，其速率超过了实际显示、存储到硬件，或实时分析的速度。
- 需要连续采集或产生 AC 数据（>10 样本/秒），并且要同时分析或显示某些数据。
- 采样周期必须准确、均匀地通过数据样本。

下列情况可以不使用 Buffer I/O：

- 数据组短小，例如每秒只从两个通道之一采集一个数据点。
- 需要缩减存储器的开支。

2. 触发 (Triggering)

触发涉及初始化、终止或同步采集事件的任何方法。触发器通常是一个数字或模拟信号，其状态可确定动作的发生。软件触发最容易，你可以直接用软件，例如使用布尔面板控制去启动/停止数据采集。硬件触发让板卡上的电路管理触发器，控制了采集事件的时间分配，有很高的精确度。硬件触发可进一步分为外部触发和内部触发。当某一模拟输入通道发生一个指定的电压电平时，让卡输出一个数字脉冲，这是内部触发。采集卡等待一个外部仪器发出的数字脉冲到来后初始化采集卡，这是外部触发。

下列情况使用软件触发：

- 用户需要对所有采集操作有明确的控制。
- 事件定时不需要非常准确。

下列情况使用硬件触发：

- 采集事件定时需要非常准确。
- 用户需要削减软件开支。
- 采集事件需要与外部装置同步。

14.2.3 模拟输入信号

因为不同信号的测量方式和对采集系统的要求是不同的，数据采集前必须对所采集的信号的特性有所了解，才能选择合适的测量方式和采集系统配置。

任意一个信号是随时间而改变的物理量。一般情况下，信号所运载信息是很广泛的，比如：状态 (state)、速率 (rate)、电平 (level)、形状 (shape)、频率成分 (frequency content)。根据信号运载信息方式的不同，可以将信号分为模拟或数字信号。数字 (二进制) 信号分为开关信号和脉冲信号。模拟信号可分为直流、时域、频域信号，如图 14.14 所示。

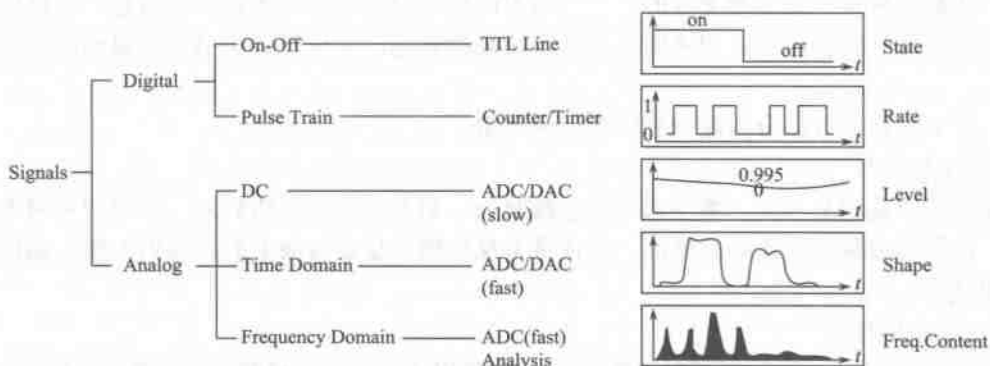


图 14.14 信号分类

1. 数字信号

第一类数字信号是开-关信号。一个开-关信号运载的信息与信号的瞬间状态有关。TTL 信号就是一个开-关信号，一个 TTL 信号如果在 2.0 到 5.0V 之间，就定义它为逻辑高电平，如果在 0 到 0.8V 之间，就定义为逻辑低电平。

第二类数字信号是脉冲信号。这种信号包括一系列的状态转换，信息就包含在状态转化发生的数目、转换速率、一个转换间隔或多个转换间隔的时间里。有些装置需要数字输入，比如一个步进电机就需要一系列的数字脉冲作为输入来控制位置和速度。

2. 模拟直流信号

模拟直流信号是静止的或变化非常缓慢的模拟信号。直流信号最重要的信息是它在给定区间内运载的信息的幅度，常见的直流信号有温度、流速、压力、应变等。采集系统在采集模拟直流信号时，需要有足够的精度以正确测量信号电平，由于直流信号变化缓慢，用软件计时就够了，不需要使用硬件计时。

3. 模拟时域信号

模拟时域信号在运载信息时不仅有信号的电平, 还有电平随时间的变化。在测量时域信号时, 需要关注一些有关波形形状的特性, 如斜度、峰值等。用于测量时域信号的采集系统包括一个 A/D、一个采样时钟和一个触发器。A/D 的分辨率要足够高, 保证采集数据的精度, 带宽要足够高, 用于高速率采样; 精确的采样时钟, 用于以精确的时间间隔采样; 触发器使测量在恰当的时间开始。现实中存在许多不同的时域信号, 比如心脏跳动信号、视频信号等, 测量它们通常是因为对波形的某些方面特性感兴趣。

4. 模拟频域信号

从模拟频域信号中提取的信息是基于信号的频域内容, 而不是波形的形状, 也不是随时间变化的特性。用于测量一个频域信号的系统必须有一个 A/D、一个简单时钟和一个用于精确捕捉波形的触发器。为了实现这样的数字信号处理, 可以使用应用软件或特殊的 DSP 硬件来迅速而有效地分析信号。模拟频域信号也很多, 比如声音信号、地球物理信号、传输信号等。

上述信号分类不是互相排斥的。一个特定的信号可能运载有不只一种信息, 可以用几种方式来定义信号并测量它, 用不同类型的系统来测量同一个信号, 从信号中取出需要的各种信息。

一个电压信号可以分为接地和浮动两种类型:

1) 接地信号

接地信号是将信号的一端与系统地连接起来, 如大地或建筑物的地。因为信号用的是系统地, 所以与数据采集卡是共地的。接地最常见的例子是通过墙上的接地引出线, 如信号发生器和电源。

2) 浮动信号

一个不与任何地(如大地或建筑物的地)连接的电压信号称为浮动信号, 浮动信号的每个端口都与系统地独立。一些常见的浮动信号的例子有电池、热电偶、变压器和隔离放大器。

测量系统可以分为差分(Differential)、参考地单端(RSE)、无参考地单端(NRSE)三种类型:

1) 差分测量系统

差分测量系统中, 信号输入端分别与一个模拟输入通道相连接。具有放大器的数据采集卡可配置成差分测量系统。图 14.15 描述了一个 8 通道的差分测量系统, 用一个放大器通过模拟多路转换器进行通道间的转换。标有 AIGND(模拟输入地)的管脚就是测量系统的地。

2) 参考地单端测量系统(RSE)

一个 RSE 测量系统, 也叫做接地测量系统, 被测信号一端接模拟输入通道, 另一端接系统地 AIGND。图 14.16 描绘了一个 16 通道的 RSE 测量系统。

3) 无参考地单端测量系统(NRSE)

在 NRSE 测量系统中, 信号的一端接模拟输入通道, 另一端接一个公用参考端, 但这个参考端电压相对于测量系统的地来说是不断变化的。图 14.17 说明了一个 NRSE 测量系统, 其中 AISENSE 是测量的公共参考端, AIGND 是系统的地。

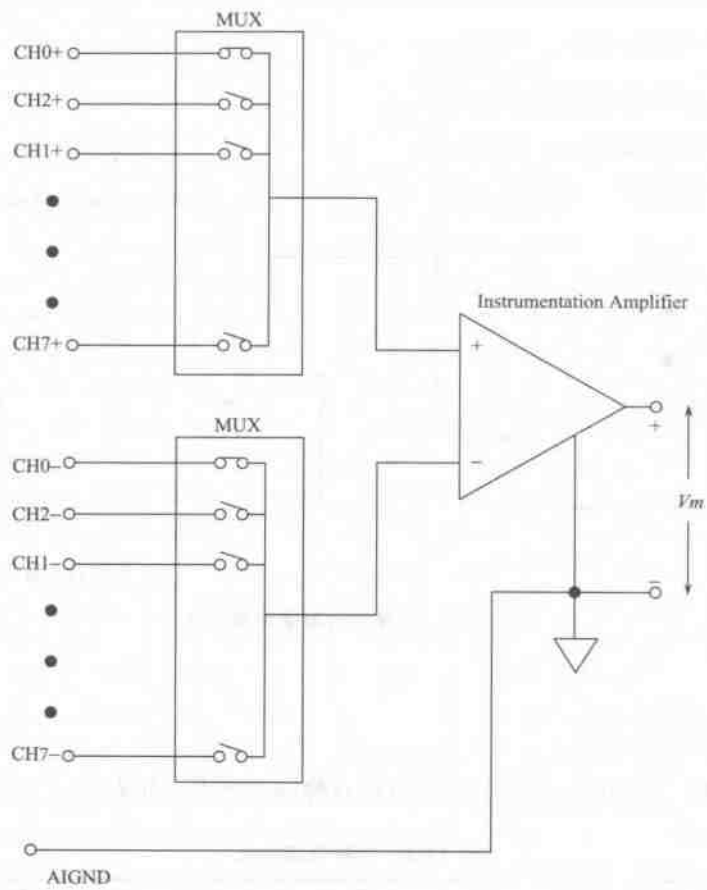


图 14.15 差分测量系统

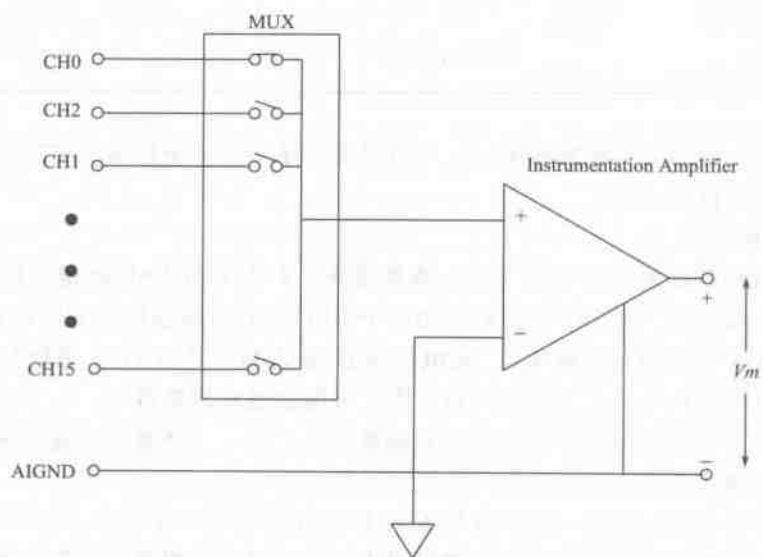


图 14.16 参考地单端测量系统

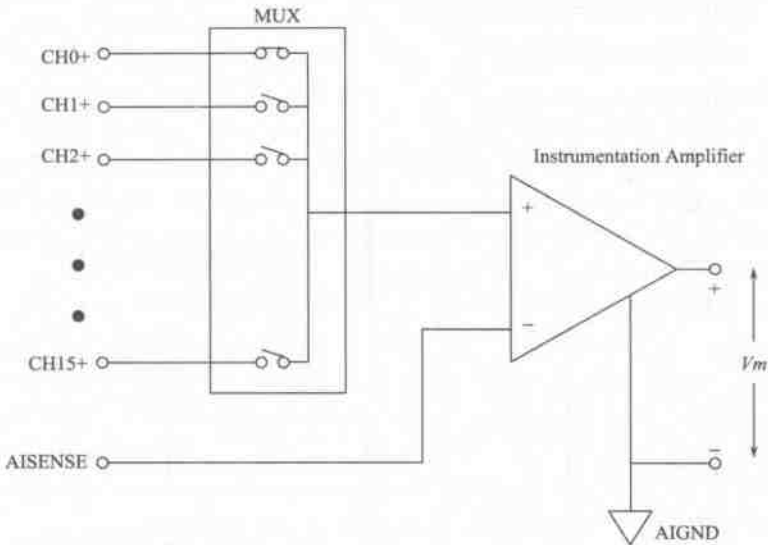


图 14.17 无参考地单端测量系统

5. 选择合适的测量系统

两种信号源和三种测量系统一共可以组成六种连接方式，如表 14.1 所示。

表 14.1 六种连接方式

	接地信号	浮动信号
DEF	*	*
RSE		**
NRSE	*	*

其中，不带 * 号的方式不推荐使用。一般说来，浮动信号和差动连接方式可能较好，但实际测量时还要看情况而定。

1) 测量接地信号

测量接地信号最好采用差分或 NRSE 测量系统。如果采用 RSE 测量系统时，将会给测量结果带来较大的误差。图 14.18 展示了用一个 RSE 测量系统测量接地信号源的弊端。

测量电压 V_m 是测量信号电压 V_s 和电位差 DV_g 之和，其中 DV_g 是信号地和测量地之间的电位差，这个电位差来自于接地回路电阻，可能会造成数据错误。一个接地回路通常会在测量数据中引入频率为电源频率的交流和偏置直流干扰。一种避免接地回路形成的办法就是在测量信号前使用隔离方法，测量隔离之后的信号。

如果信号电压很高并且信号源和数据采集卡之间的连接阻抗很小，也可以采用 RSE 系统，此时接地回路电压相对于信号电压来说很小，信号源电压的测量值受接地回路的影响可以忽略。

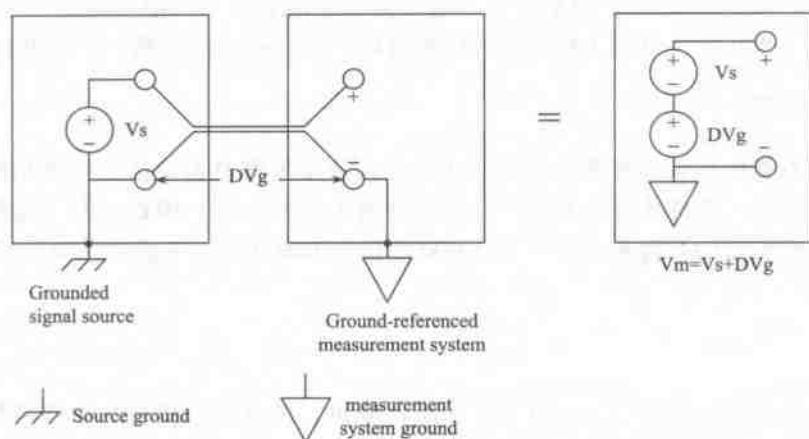


图 14.18 RSE 测量系统引入接地回路电压

2) 测量浮动信号

可以用差分、RSE、NRSE 方式测量浮动信号。在差分测量系统中，应该保证相对于测量地的信号的共模电压在测量系统设备允许的范围之内。如果采用差分或 NRSE 测量系统，放大器输入偏置电流会导致浮动信号电压偏离数据采集卡的有效范围。为了稳住信号电压，需要在每个测量端与测量地之间连接偏置电阻，如图 14.19 所示。

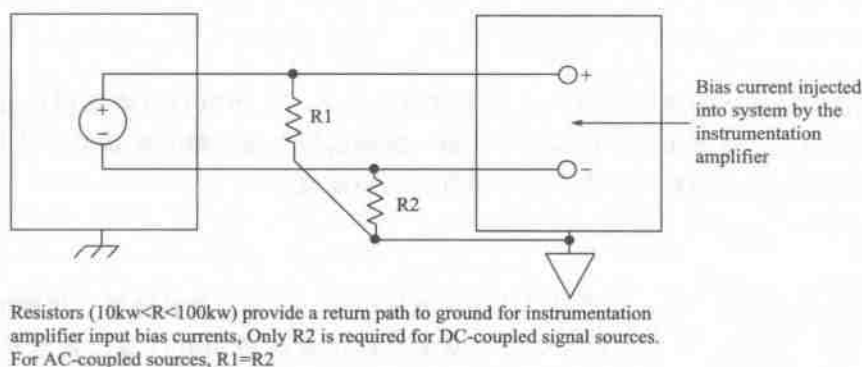


图 14.19 增加偏置电阻

偏置电阻的阻值应该足够大，使得信号源可以相对于测量地浮动。如果输入信号是直流，就只需要用一个电阻将（-）端与测量系统的地连接起来。如果信号源的阻抗相对较高，从免除干扰的角度而言，这种连接方式会导致系统不平衡。在信号源的阻抗足够高的时候，应该选取两个等值电阻，一个连接信号高电平（+）到地，一个连接信号低电平（-）到地。如果输入信号是交流，就需要两个偏置电阻，以达到放大器的直流偏置通路的要求。

无论测接地还是浮动信号，差分测量系统都是很好的选择，因为它不但避免了接地回路干扰，还避免了环境干扰。相反，RSE 系统却允许两种干扰的存在，在所有输入信号都满

足以下指标时,可以采用 RSE 测量方式:输入信号是高电平(一般要超过 1V);连线比较短(一般小于 5 米)并且环境干扰很小或屏蔽良好;所有输入信号都与信号源共地。

14.2.4 信号调理

从传感器得到的信号大多要经过调理才能进入数据采集设备,信号调理功能包括放大、隔离、滤波、激励、线性化等。由于不同传感器有不同的特性,因此,除了这些通用功能,还要根据具体传感器的特性和要求来设计特殊的信号调理功能。下面仅介绍信号调理的通用功能。

1. 放大

微弱信号都要进行放大以提高分辨率和降低噪声,使调理后信号的电压范围和 A/D 的电压范围相匹配。信号调理模块应尽可能靠近信号源或传感器,使得信号在受到传输信号的环境噪声影响之前已被放大,使信噪比得到改善。

2. 隔离

隔离是指使用变压器、光或电容耦合等方法在被测系统和测试系统之间传递信号,避免直接的电连接。使用隔离的原因由两个:一是从安全的角度考虑;另一个原因是隔离可使从数据采集卡读出来的数据不受地电位和输入模式的影响。如果数据采集卡的地与信号地之间有电位差,而又不进行隔离,那么就有可能形成接地回路,引起误差。

3. 滤波

滤波的目的是从所测量的信号中除去不需要的成分。大多数信号调理模块有低通滤波器,用来滤除噪声。通常还需要抗混叠滤波器,滤除信号中感兴趣的最高频率以上的所有频率的信号。某些高性能的数据采集卡自身带有抗混叠滤波器。

4. 激励

信号调理也能够为某些传感器提供所需的激励信号,比如应变传感器、热敏电阻等需要外界电源或电流激励信号。很多信号调理模块都提供电流源和电压源以便给传感器提供激励。

5. 线性化

许多传感器对被测量的响应是非线性的,因而需要对其输出信号进行线性化,以补偿传感器带来的误差。但目前的趋势是,数据采集系统可以利用软件来解决这一问题。

6. 数字信号调理

即使传感器直接输出数字信号,有时也有进行调理的必要。其作用是将传感器输出的数字信号进行必要的整形或电平调整。大多数数字信号调理模块还提供其他一些电路模块,使得用户可以通过数据采集卡的数字 I/O 直接控制电磁阀、电灯、电动机等外部设备。

14.3 虚拟仪器数据采集的实现

LabVIEW 作为著名的虚拟仪器和开发平台,数据的采集、信号的分析与处理是其强项和优势。LabVIEW 的功能强大灵活,可以广泛应用于自动测量系统、工业过程自动化、实验室仿真等各个领域。

14.3.1 模拟输入模块

LabVIEW 中对于数据采集模块按照难易程度做了分类,图 14.20 以模拟输入为例表明了工具栏中各种类型的模拟输入模块。

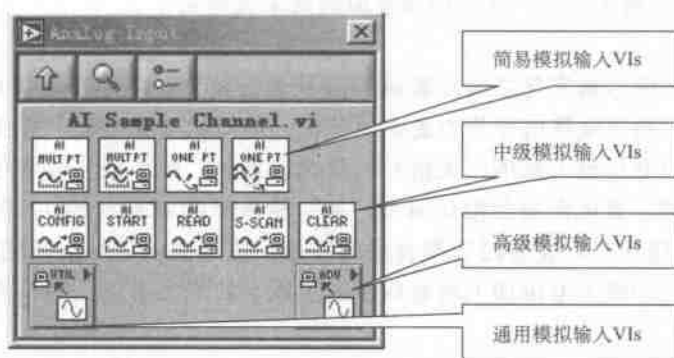


图 14.20 模拟输入的各种模块

简易模拟输入 VIs (Ease Analog VIs)

该行的四个模块执行简单的模拟输入操作。它们可以作为单独的 VI, 也可以作为 subVI 来使用。这些模块可以自动发出错误警告信息, 在对话框中你可以选择中断运行或忽略。但是比较复杂的应用需要使用下面的类型。

中级模拟输入 VIs (Intermediate Analog Input VIs)

中级模拟输入包含在下面讨论的通用模拟输入 VIs 中。与简易模拟输入不同的是, 在那里的一个操作 AI Input, 这里细分为 AI Config, AI Start, AI Read, AI Single Scan 以及 AI Clear。它可以描述更加细致、复杂的操作。

通用模拟输入 VIs (Analog Input Utility VIs)

这里提供了三个常用的 Vis, AI Read One Scan, AI Waveform Scan, 及 AI Continuous Scan。使用一个 VI 就可以解决一个普通的模拟输入问题, 方便但缺乏灵活性。这三个 Vis 是由中级模拟输入构成的。

高级模拟输入 VIs (Advanced Analog Input VIs)

这些 Vis 是 NI-DAQ 数据采集软件的界面, 是上面三种类型 Vis 的基础。一般情况下, 用户不需要直接使用这个功能。

为了更好地理解模拟输入, 需要了解信号数字化过程中分辨率、范围、增益等参数对采集信号质量的影响。

分辨率 (Resolution)

分辨率就是用来进行模数转换的位数, A/D 的位数越多, 分辨率就越高, 可区分的最小电压就越小。分辨率要足够高, 数字化信号才能有足够的电压分辨能力, 才能比较好的恢复原始信号。目前分辨率为 8 的采集卡属于较低的, 12 位属中档, 16 位的卡就比较高了。他们可以分别将模拟输入电压量化为 256、4096、65536 份。

电压范围 (Range)

电压范围由 A/D 能数字化的模拟信号的最高和最低的电压决定。一般情况下, 采集卡的电压范围是可调的, 所以可选择和信号电压变化范围相匹配的电压范围以充分利用分辨率范围, 得到更高的精度。比如, 对于一个 3 位的 A/D, 在选择 0-10V 范围时, 它将 10V 八等分; 如果选择范围为 -10V 到 +10V, 同一个 A/D 就得将 20V 分为 8 等分, 能分辨的最小电压就从 1.25V 上升到 2.50V, 这样信号复原的效果就更差了。

增益 (Gain)

增益主要用于在信号数字化之前对衰减的信号进行放大。使用增益可以等效地降低 A/D 的输入范围, 使它能尽量将信号分为更多的等份, 基本达到满量程, 这样可以更好地复原信号。因为对同样的电压输入范围, 大信号的量化误差小, 而小信号时量化误差大。当输入信号不接近满量程时, 量化误差会相对加大。如: 输入只为满量程的 1/10 时, 量化误差相应扩大 10 倍。一般使用时, 要通过选择合适的增益, 使得输入信号动态范围与 A/D 的电压范围相适应。当信号的最大电压加上增益后超过了板卡的最大电压, 超出部分将被截断而读出错误的数据。

NI 公司采集卡的增益选择是通过在 LabVIEW 中设置信号输入限制 (input limits) 来实现的, LabVIEW 会根据选择的输入限制和输入电压范围的大小来自动选择增益的大小。

一个采集卡的分辨率、范围和增益决定了可分辨的最小电压, 它表示为 1LSB。例如, 某采集卡的分辨率为 12 位, 范围取 0-10V, 增益取 100, 则有 $1\text{LSB} = 10\text{V} / (100 \times 4096) \approx 24\mu\text{V}$ 。这样, 在数字化过程中, 最小能分辨的电压就为 $24\mu\text{s}$ 。

选择合适的增益和输入范围要与实际被测信号匹配。如果输入信号的改变量比采集卡的精度低, 就可以将信号放大, 提高增益。选择一个大的输入范围或降低增益可以测量大范围的信号, 但这是以精度的降低为代价的。选择一个小的输入范围或提高增益可以提高精度, 但这可能会使信号超出 A/D 允许的电压范围。

在使用 VI 之前需要了解如下的几个定义, 以图 14.21 所示的多通道模拟输入波形采集 AI Acquire Waveform.vi 为例:

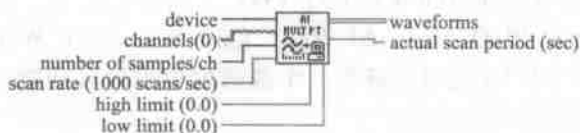


图 14.21 Acquire Waveform

device——设备号。在 NI 采集设置工具中设定。该参数告诉 LabVIEW 使用什么采集卡, 它可以使采集 VI 自身独立于卡的类型, 也就是说如果稍后使用了另一种卡, 并且赋予它同样的设备号, VI 程序可正常工作而无需修改。

channels——指定数据样本的物理源。例如，一个数据采集卡有 16 个模拟输入通道，你就可以同时采集 16 组数据点。在 LabVIEW VI 中，一个通道或一组通道都用一个字符串来指定。如表 14.2 所示。

表 14.2 一个通道用一个字符串指定

通道	通道串
通道 5	5
通道 0 到 4	0 : 4
通道 1, 8, 以及 10 到 13	1, 8, 10 : 13

scan rate (1000 scans/sec) ——是在多通道采样时，分配给一个通道得到的样本速率，缺省值是 1000/秒。

number of samples/ch——每通道要采集的样本数，缺省值是 1000。

high limit——被测信号的最高电平，其缺省值是 0。设为缺省值时系统将按照采集卡设置程序 MAX 中的设定处理。

low limit——被测信号的最低电平，其缺省值是 0。设为缺省值时系统将按照采集卡设置程序 MAX 中的设定处理。

high limit 和 low limit 的值将决定采集系统的增益。对大多数卡输入信号变化的缺省值是 10V 到 -10V，如果你将其设为 5 到 -5V，则增益为 2。如果你将其设为 1 到 -1V，则增益为 10。如果你设置一个理论上的增益是得不到支持的，LabVIEW 会自动将其调整到最近的预置值。典型的采集卡所支持的增益值有 0.5, 1, 2, 5, 10, 20, 50, 100。

waveforms——A/D 转换后的输出，是一个二维的 waveform 数组，其每一列对应于一个输入通道，同时包含有反映时间信息的 t_0 和 Δt 。

对于 LabVIEW 数据采集模块的分类，将由简到难地介绍有关内容。

1. 简易模拟输入 (Ease Analog VIs)

这是 LabVIEW 提供的一组标准的、简单易用的采集 VI。如图 14.22 所示。

从左到右，4 个 VI 的功能为：

- 从指定通道获得一个样本。
- 从由通道字符串规定的一组通道每通道获得一个样本。

这些样本返回到一个样本数组，顺序由通道号决定。



图 14.22 简易模拟输入模块

- 按指定的采样率由一个通道得到一个波形（一组覆盖一个周期的样本），这些样本返回到一个 Waveform 数组。

- 从由通道字符串规定的每个通道获得一个波形。这些样本返回到一个波形的 2 维数组，顺序由通道号和采样周期决定。通道数据的每个点占 1 列，时间增量由行决定。

【例 14-1】 采集一个直流电压信号。

- 准备一个直流电源（例如 0.5V）作为信号源连接到数据采集卡的 0 通道模拟输入端。

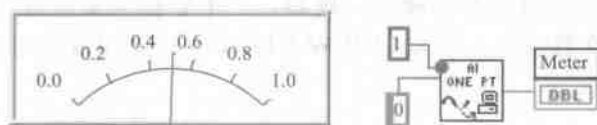


图 14.23 直流电压信号采集

- 构造前面板和框图如图 14.23 所示。
- 运行程序。可得到 Meter 指示 0.5V。

【例 14-2】 采集多通道数据。

- 准备一个方波信号源和一个正弦波信号源。分别连接到模拟输入通道 0 和 1。
- 设置前面板与框图如图 14.24 所示。
- 设置 scan 速率、通道号、每通道样本数如前面板所示。
- 运行该程序。
- 保存为 Acquire Multiple Channels.vi。
- 该程序是无缓冲、软件触发的。

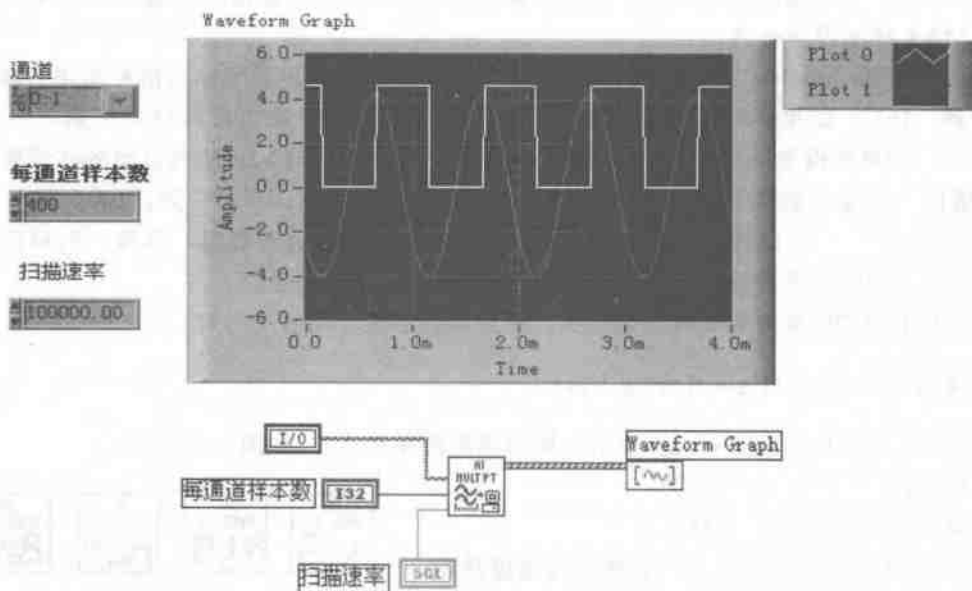


图 14.24 多通道数据采集

【例 14-3】 多通道波形的连续采集。

使用 LabVIEW 提供的 DAQ 向导搭建程序，操作步骤如下：

- 选 LabVIEW 进入画面选择 DAQ Solutions。如图 14.25 所示。
- 进入 Welcome to the Solution Wizard 选 Program the input scaling and conversion myself。
- 进入 Solution Wizard - Step 2 to 3 选 Custom DAQ Applications。

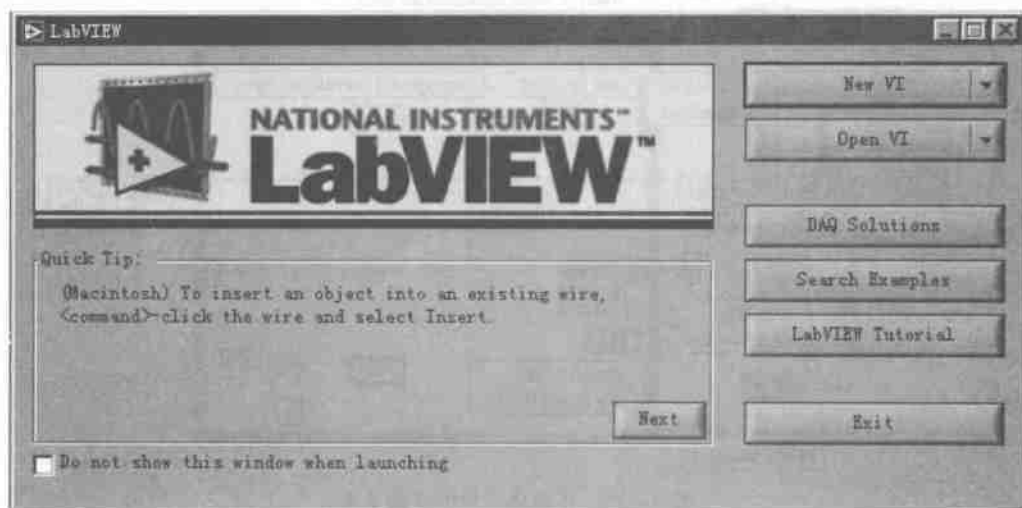
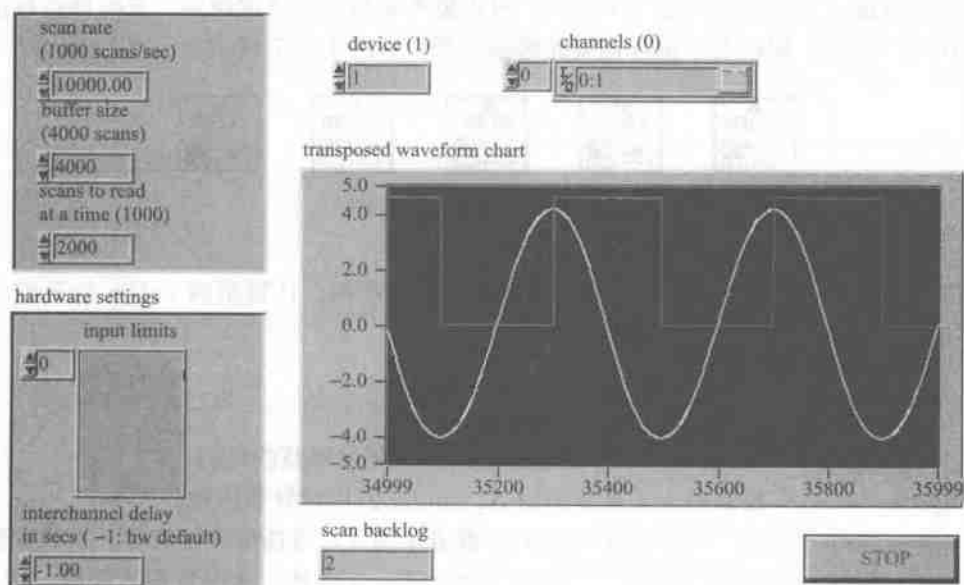


图 14.25 DAQ Solutions

- 进入 Solution Wizard - Step 3 to 3 选 Analog Input。
- 进入 Analog Input Functionality, 在 Step 1 中选择 0, 1 两个通道, 在 Step 2 中选择 Scan multiple sample from each channel continuously。
- 点击 OK 按钮。
- 回到 Solution Wizard - Step 3 to 3, 显示选中的各种配置, 点击 [Open Solution] 按钮, 可以看到形成的程序, 如图 14.26 所示。



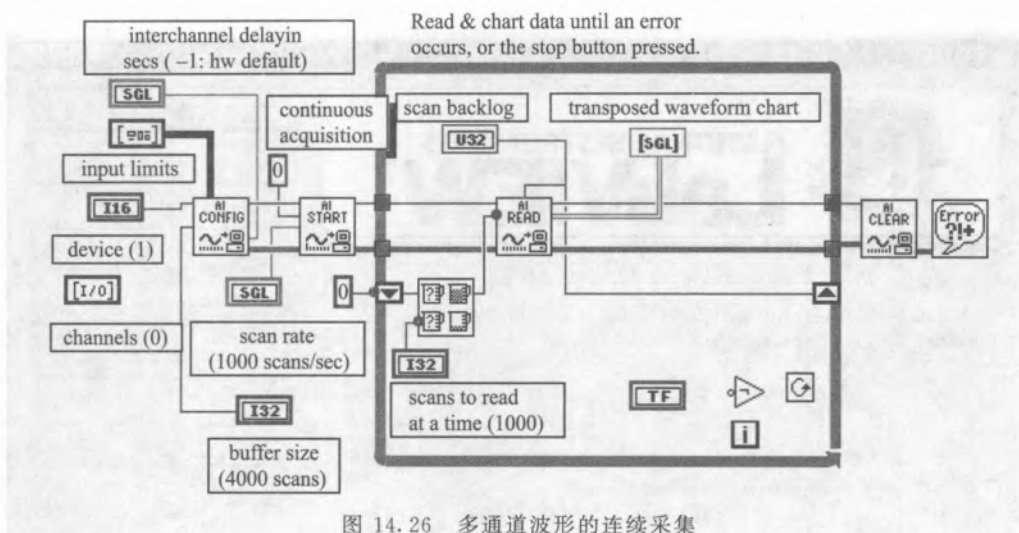


图 14.26 多通道波形的连续采集

2. 中级模拟输入 (Analog Input)

上面介绍的简单模拟输入的基本局限是执行采集任务的庸余。例如，你每一次调用 AI Sample Channel，都必须为特定类型的测量设置硬件，告诉它采样率等。显然，如果你要反复采集大量的样本，你未必需要在每一次重复时都去设置测量。一个典型的情况是连续采集，需要在程序中采用循环结构，按照简单模拟输入，每次采集前都在设置参数，不仅多余，而且造成了采集过程的不连续。

中级模拟输入有更好的功能与灵活性，可以更有效地开发你的应用。它的特点包括控制内部采样率，使用外部触发，执行连续外部触发等。如图 14.27 所示。



图 14.27 中级模拟输入模块

AI Config 对指定的通道设置模拟输入操作，包括硬件、计算机内 buffer 的分配。常用的端子有：

- Device——采集卡的设备号。
- Channel——指定模拟输入通道号的串数组。
- Input limit——指定输入信号的范围达到调节硬件增益的目的。
- Buffer size——控制用于采集数据的 AI Config 占用计算机内存的大小。
- Interchannel delay——扫描间隔设置。缺省值为-1，当选用缺省值时，系统按照采集卡的最高扫描速率（一般为几微秒），再加上系统消耗 10 微秒，来设置扫描间隔，对 MIO-16-E-4 卡来说，约为 14 微秒。用户也可以自行设置这个值，实验表明，对 MIO-16-E-4 卡最小可设到 2~3 微秒。

AI Start 启动带缓冲的模拟输入操作。它控制数据采集速率,采集点的数目,及使用任何硬件触发的选择。它的两个重要输入是:

- Scan rate (scan/sec) —— 对每个通道采集的每秒扫描次数。
- Number of scans to acquire —— 对通道列表的扫描次数。

AI Read —— 从被 AI Config 分配的缓冲读取数据,能够控制由缓冲读取的点数,读取数据在缓冲中的位置,以及是否返回二进制数或标度的电压数。它的输出是一个 2 维数组,其中每一列数据对应于通道列表中的一个通道。

AI Single Scan —— 返回一个扫描数据。它的电压数据输出是由通道列表中的每个通道读出的电压数据。使用这个 VI 仅与 AI Config 有关联,不需要 AI Start 和 AI Read。

AI Clear —— 清除模拟输入操作、计算机中分配的缓冲、释放所有数据采集卡的资源,例如计数器。

设置一个模拟输入应用时,首先使用的 VI 总是 AI Config。AI Config 会产生一个 taskID 和 Error cluster (出错信息簇)。所有别的模拟输入 VI 接受这个 taskID 以识别操作的设备和通道,并且在操作完成后输出一个 taskID。因为 taskID 是一个输入并向另一个模拟输入 VI 输出,所以该参数形成了采集 VI 之间的一个关联数据。

14.3.2 模拟输出模块

多功能的 DAQ 卡用数模转换器将数字信号转换成模拟信号,D/A 的有关参数有范围(Range)、分辨率(Resolution)、单调性(Monotonicity)、线性误差(Linearity Error)、建立时间(Settling Time)、转换速率(Slew Rate)、精度(Accuracy)等。如图 14.28 所示。



图 14.28 模拟输出模块

建立时间:是指变化量为满刻度时,达到终值 $1/2\text{LSB}$ 时所需的时间。这个参数反映 D/A 的 D/A 转换从一个稳态值到另一个稳态值的过渡过程的长短。建立时间一般为几十纳秒至几微秒。

转换速率:是指 D/A 输出能达到的最大变化速率,即电平变化除以转换所用时间,通常指电压满范围内的转换速率。

精度:分为绝对精度和相对精度。绝对精度是指输入某已知数字量时其理论输出模拟值和实际所测得的输出值之差,该误差一般应低于 $1/2\text{LSB}$ 。相对精度是绝对精度相对于额定满度输出值的比值,可用偏差多少 LSB 或者相对满度的百分比表示。D/A 的分辨率越高,数字电平的个数就越多,精度越高。D/A 范围增大,精度就会下降。

由建立时间和转换速度可以得到 D/A 转换输出信号电平的快慢。一个有着更小的建立时间和更高的转换速率的 D/A 可以产生更高的输出信号频率,因为它达到新的电平所需的时间更少。

AO Config 对指定的通道设置模出操作,包括硬件、计算机内 buffer 的分配。常用的端子有:

- Device——采集卡的设备号。
- Channel——指定模出通道号的串数组。
- Limit settings——指定输出信号的范围。
- taskID——用于所有后来的模出 VI 以规定操作的设备和通道。

AO Write 以电压数据的方式写数据到模出数据缓冲区。它是一个 2 维数组，其中每一列数据对应于通道列表中的一个通道。注意：通常其他函数为其准备的波形数据是一个 1 维数组，且数据分布在一行中，这里需要将其“虚扩”为二维数组，并做一次转置。

AO Start 启动带缓冲的模出操作。Update rate (scan/sec) 是每秒发生的更新数的个数。如果你将 0 写入 Number of buffer iterations 端子，则卡将连续输出给缓冲，直到运行 AO Clear 功能。

AO Wait 在返回之前一直等待直到波形发生任务完成。它的电压数据输出是由通道列表中的每个通道读出的电压数据。使用这个 VI 仅与 AO Config 有关联，不需要 AO Start 和 AO Read。

AO Clear——清除模出操作、计算机中分配的缓冲、释放所有数据采集卡的资源，例如计数器。

当设置一个模出应用时，首先使用的 VI 总是 AO Config。AO Config 会产生一个 taskID 和 Error cluster（出错信息簇）。所有别的模出 VI 接受这个 taskID 以识别操作的设备和通道，并且在操作完成后输出一个 taskID。该参数形成了采集 VI 之间的一个关联数据。

14.3.3 虚拟仪器电子测量系统

1. 数据采集模块

数据采集模块提供了整个电子测量系统的数据来源，是虚拟仪器的基本组成部分。数据采集的过程如图 14.29 所示。

在这个过程中用来自传感器的模拟量被转换为数字量。模拟信号 $x(t)$ 经脉冲序列采样后，成为时间离散信号 $x(n)$ ，再量化以后得到取值也是离散化的数字信号。图中 T_s 为采样周期，它的倒数就是采样率。

数据采集系统一般由数据采集硬件、硬件驱动程序和数据采集函数三部分组成，如图 14.30 所示。

数据采集 SubVI 的具体流程如图 14.31 所示。

LabVIEW 程序框图如图 14.32 所示。

2. 文件管理模块

信号处理系统既能实时显示采集到的数据，也可以将采集到的数据进行保存，供在线或者离线分析使用。文件管理模块主要由数据的存储和数据的读取两部分组成，它的软件流程图如图 14.33 所示。

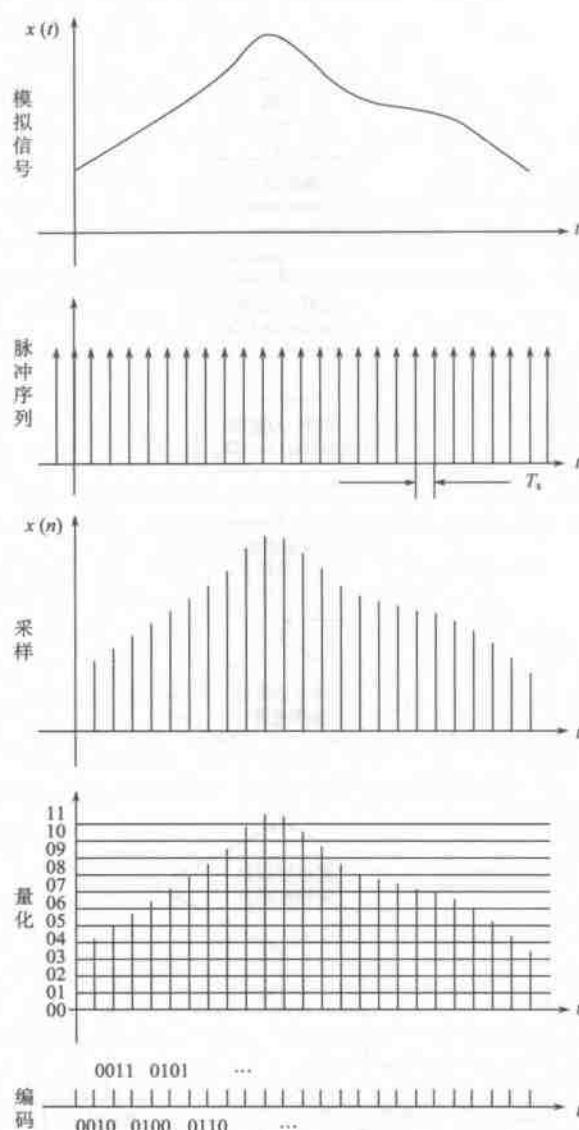


图 14.29 数据采集流程图

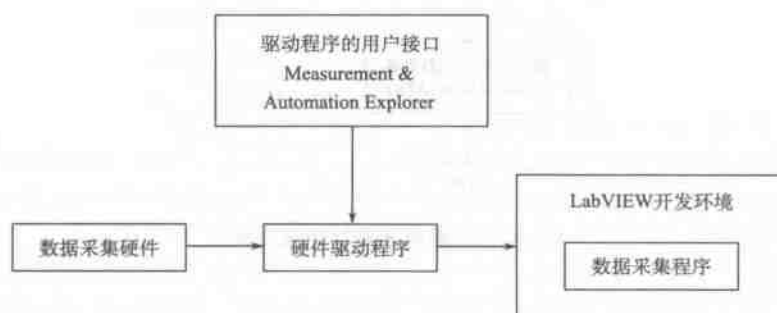


图 14.30 基于 LabVIEW 数据采集系统框图

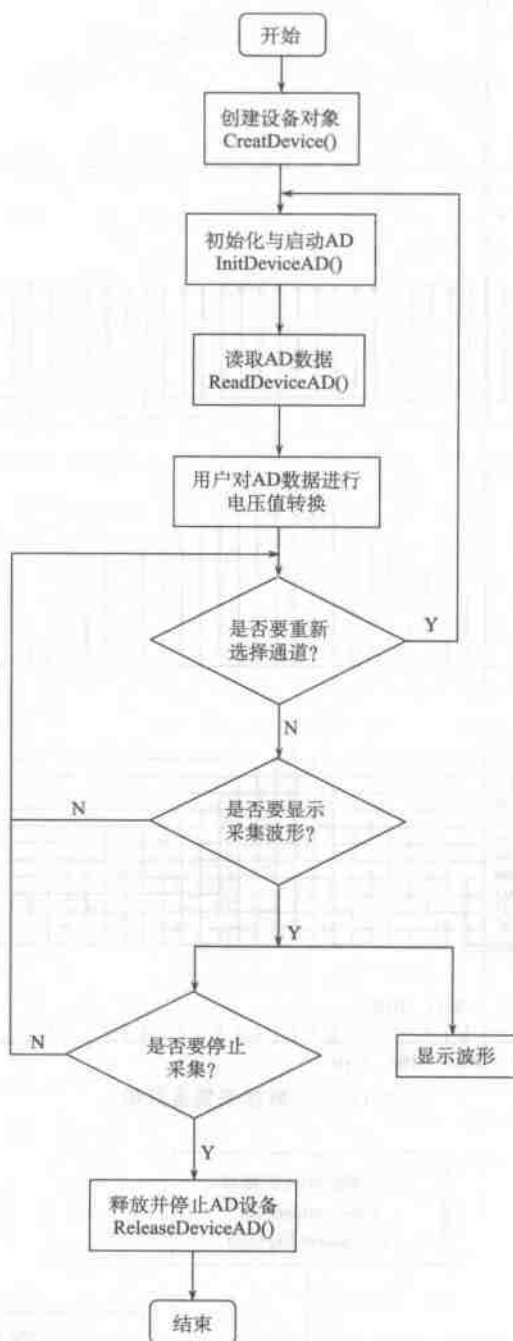


图 14.31 数据采集软件流程图

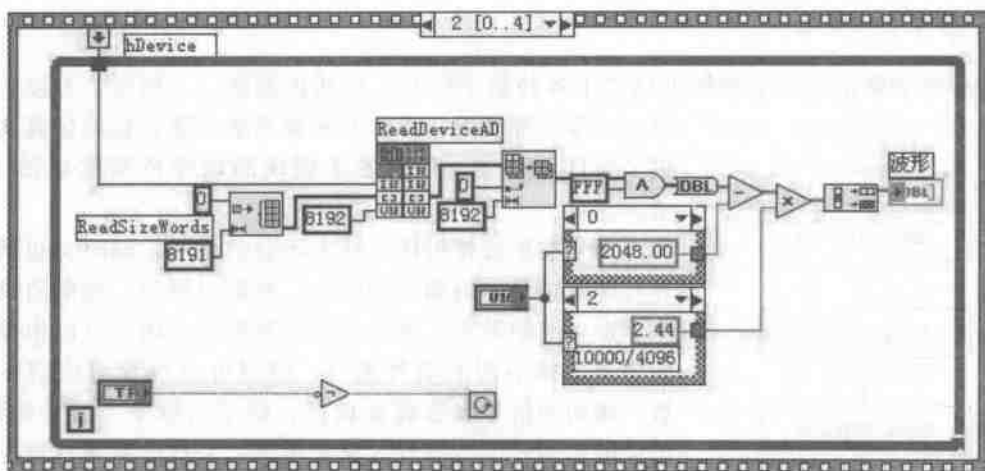


图 14.32 数据采集

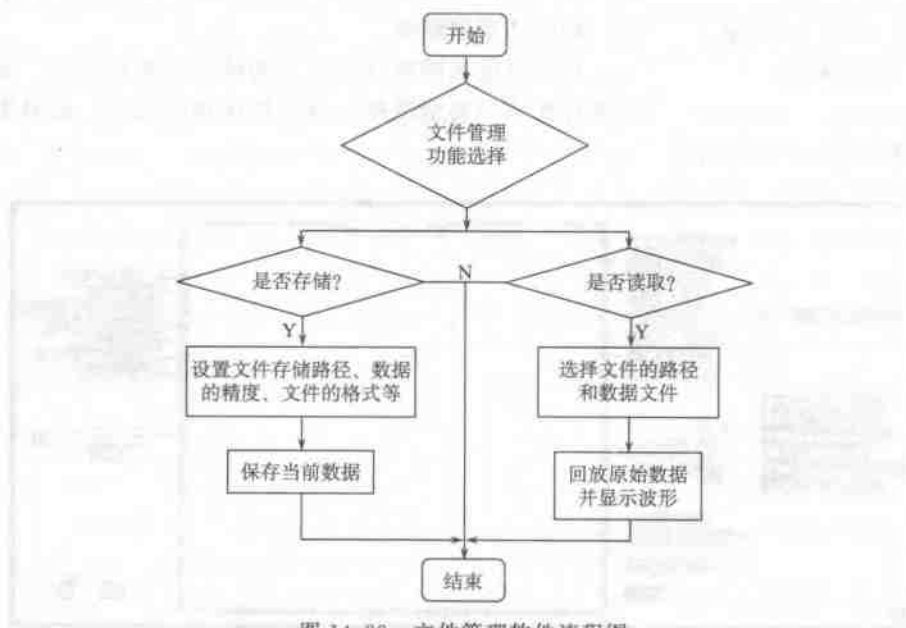


图 14.33 文件管理软件流程图

在存储数据的时候用二进制文件进行保存，可以方便地应用于 Matlab 进行小波分析、神经网络分析等。在调用数据的时候，直接在图线 (Waveform Chart) 中回放出原始波形，如图 14.34 所示。

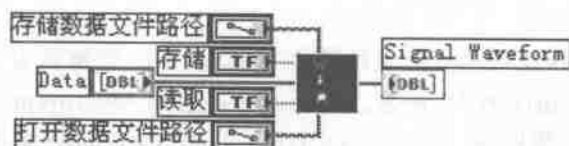


图 14.34 Waveform Chart

3. 信号发生模块

虚拟仪器的信号发生功能可以产生各种数字信号,包括正弦波、三角波、方波、锯齿波、白噪声等波形,为信号处理系统功能验证的仿真实验提供了条件和基础。信号发生模块的软件流程图如图 14.35 所示。



图 14.35 信号发生软件流程图

信号类型选择包括了基本函数的信号,同时又包括了几种特殊的信号,例如:白噪声、高斯白噪声、周期随机白噪声、多频波的发生、函数波形的发生等。用户可以根据自己的需要选择不同的信号类型,同时可以设置对应信号的参数。通用的信号参数设置包括:信号的频率、信号的幅值、信号的初始相位、信号的采样频率、采样个数等;对于多频波的信号,它的参数设置包括各频率成分的频率、振幅、相位;对于噪声信号,它的参数设置包括标准偏离、随机数种子个数、输出功率谱幅度。

信号发生功能可以完成多种信号波形的发生、显示,因此便存在信号类型选择以及参数设置的问题。信号发生的软件程序框图如图 14.36 所示。

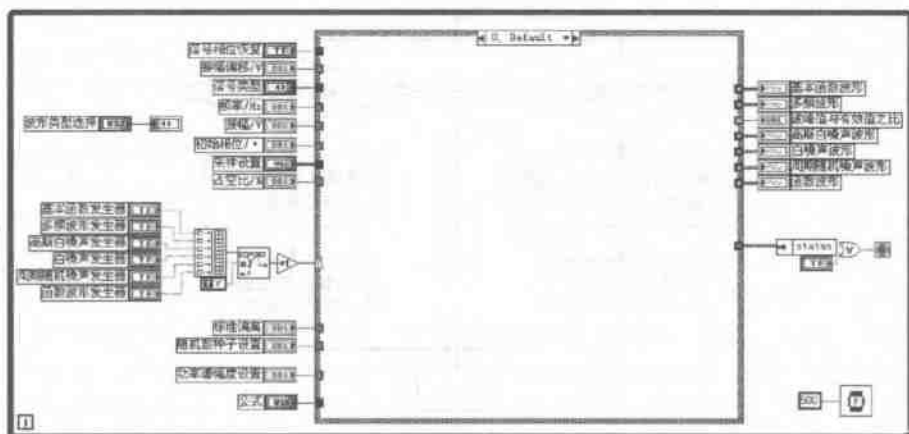


图 14.36 信号发生模块程序框图

14.3.4 数据采集卡的软件配置

1. NI-DAQmx

NI-DAQmx 是 LabVIEW 7.0 以来新增的 DAQ 软件。它包括支持 200 多种 NI 数据采集设备的驱动,并提供相应的 VI 函数。此外,它还包括 Measurement & Automation Explorer (MAX)、数据采集助理 (DAQ Assistant) 以及 VI Logger 数据记录软件。通过这些

工具并结合 LabVIEW，可以节省大量的系统配置、开发和记录数据的时间。

如图 14.37 所示，NI 公司提供的数据采集卡配置工具软件——Measurement & Automation Explorer (MAX)，可以配置 NI 公司的软件和硬件，如执行系统测试和诊断、增加新通道和虚拟通道、设置测量系统的方式、察看所连接的设备等。

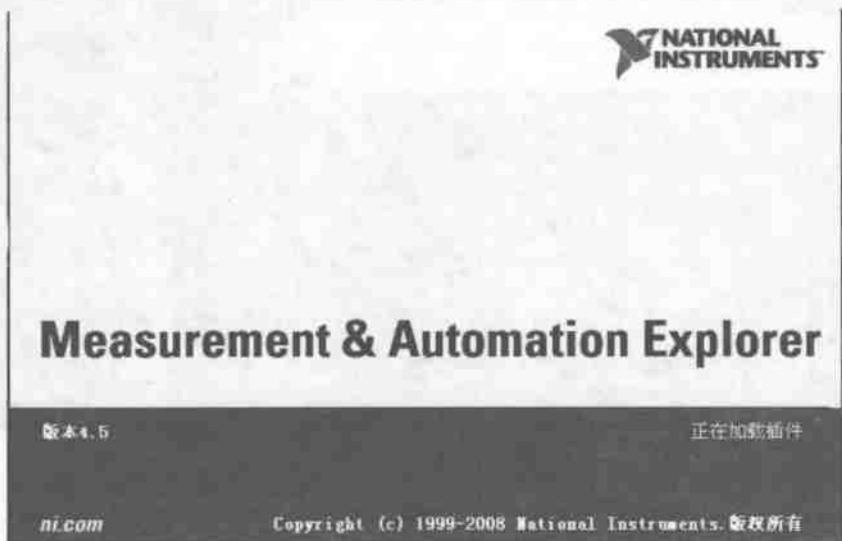


图 14.37 Measurement & Automation Explorer

借助 MAX，能够实现快速检测及配置所有硬件，通过测试面板验证硬件的运作状况，实施简便、交互式的测量以及给 I/O 通道命名等功能。如图 14.38、图 14.39 所示。

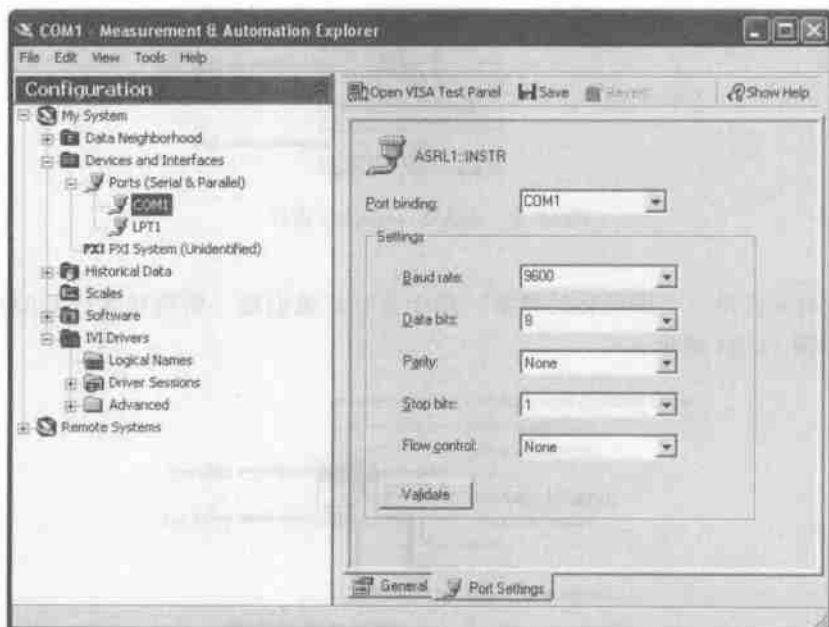


图 14.38 通过 MAX 配置串口属性

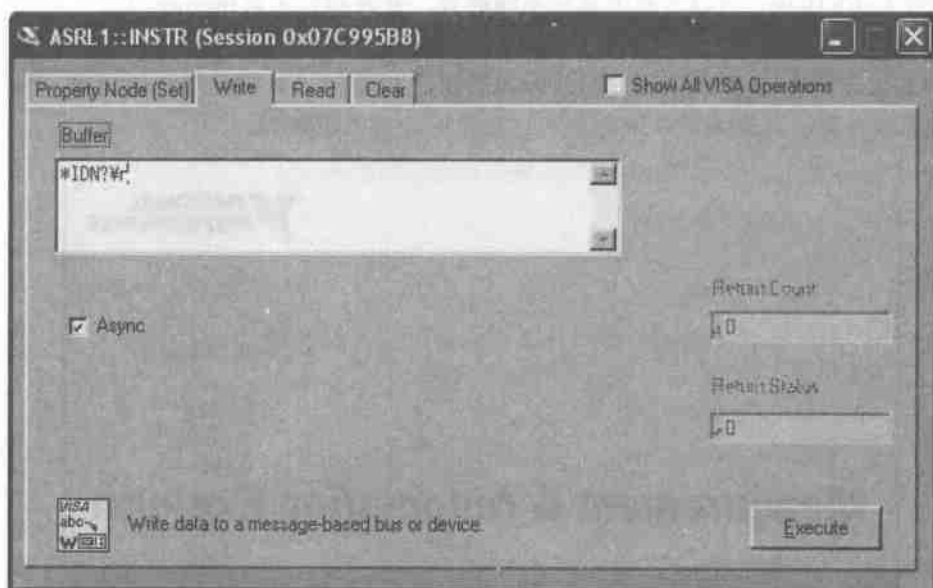


图 14.39 测试串口操作

2. DAQ 助手 (DAQAssistant)

在 NI-DAQmx 中, 一个 DAQmx 的任务是虚拟通道、定时和触发信息、以及其他与采集或生成相关属性的组合。从概念上来说, 任务就是要进行的测量或生成。信号输入部分可以使用 DAQ 通道 (DAQmx) 来实现, 也可以借助 DAQ 助手 (DAQ Assistant) 来实现。如图 14.40 所示。



图 14.40 DAQ Assistant 控件

DAQ Assistant 是一个图形化的界面, 用于交互式地创建、编辑和运行 DAQmx 虚拟通道和任务。如图 14.41 所示。

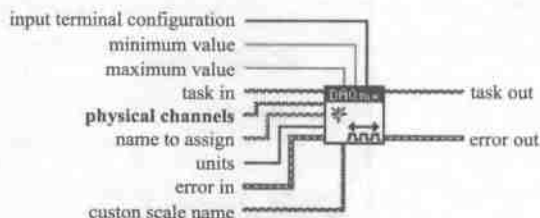


图 14.41 DAQmx 创建虚拟通道函数

DAQmx 虚拟通道包括一个 DAQ 设备上的物理通道和对这个物理通道的配置信息，例如输入范围和自定义缩放比例。DAQ 助手提供了一个对话框式的向导，用于测量任务的配置、测试和自动代码生成，配置和/或完成特定的采集或生成（Generation），其界面如图 14.42 所示。



图 14.42 DAQ Assistant 界面

配合 Express VI，DAQ Assistant 可以在数分钟内搭建一个专业的数据获取系统（如图 14.43 所示），通过创建虚拟通道函数配置完成一个应变测量。

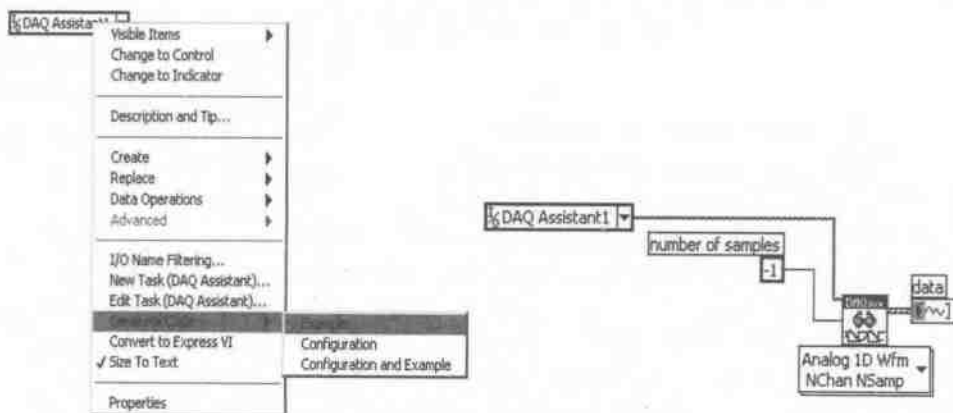


图 14.43 自动生成代码

zh.qitubk.com 奇兔电子书下载 - 永久免费

需要什么电子书，联系站长

邮箱地址：mike2025@foxmail.com